INHALTSVERZEICHNIS

1 Einleitung

Diese Arbeit beschreibt die Entwicklung und den Test einer elektronischen Kamera. Sie besteht aus einem einzigen hochintegrierten Halbleiterschaltkreis, der sowohl die Photosensoren als auch das komplette Auslesesystem enthält. Ihr Einsatzgebiet ist eine portable Orientierungshilfe für blinde und stark sehbehinderte Personen. Dieses System wird momentan als Gemeinschaftsprojekt der Institute für Angewandte Physik und Hochenergiephysik der Universität Heidelberg entwickelt. Die Grundidee dabei ist die Umwandlung optischer Informationen in mechanische Reize, die über den Tastsinn wahrgenommen werden. Dieses Konzept des taktilen Sehens wurde schon Anfang der siebziger Jahre entwickelt, scheiterte damals aber an der technischen Realisation [1,2]. Zum einen war die Elektronik zu voluminös um tragbar zu sein, zum anderen gab es kaum Möglichkeiten der Bildverarbeitung. Durch den gewaltigen Fortschritt im Bereich der Mikroelektronik ist die nötige Technik heutzutage leicht portabel zu realisieren. Auch bei der Bildverarbeitung kann man inzwischen auf erprobte und theoretisch verstandene Algorithmen zurückgreifen, wodurch wir hoffen, daß es möglich sein wird, dem Betroffenen die optischen Informationen so aufzubereiten, daß er sie durch seinen Tastsinn aufnehmen und verstehen kann.

Im gegenwärtigen Stand der Entwicklung besteht das System aus einer Kamera, deren Aufbau und Funktionsweise im folgenden noch ausführlich beschrieben wird, einem portablen Computersystem, das die Bilddaten in Kantenbilder reduzierter Auflösung umsetzt und einem mit Aktuatoren besetzten Gürtel, der diese auf die Haut des Patienten überträgt [3,4].

Schaltkreise, die wie der in dieser Arbeit vorgestellte Kamerachip, Photosensoren und weiterverarbeitende Elektronik gemeinsam auf einem Halbleiterbaustein integrieren, bezeichnet man als Visionchips. Fast immer werden sie in CMOS[1]-Technologie gefertigt, da diese durch ihre große kommerzielle Bedeutung leicht verfügbar ist und hohe Packungsdichten erlaubt. Ein Vorteil der Visionchips gegenüber den normalerweise als Bildsensoren verwendeten CCD[2]-Bausteinen liegt im größeren Kontrastumfang. Der Intensitätsunterschied zwischen Sonnenlicht und Mondschein beträgt etwa 6 Dekaden, ein Wert, den ein Visionchip bewältigt. Ein CCD-Sensor kann nur 3 bis 4 davon abdecken, man benötigt eine zusätzliche Steuerung des Lichteinfalls, z.B. durch eine Blende, um ihn an die Lichtverhältnisse anzupassen. Während dies bei zeitlichen Kontrasten eine Lösung darstellt, sind Gegenlichtverhältnisse für eine solche Kamera ein unlösbares Problem. Es ist aber sehr wichtig, daß ein System zur Blindenhilfe nicht bei jedem entgegenkommenden Scheinwerfer funktionsuntüchtig wird.

Visionchips ermöglichen massiv parallele analoge Bildverarbeitungsmethoden, da man die nötige Elektronik direkt neben jedem Sensorelement integrieren kann. Solche komplexen Pixel können optischen Informationen ähnlich vorverarbeiten, wie es in der Augennetzhaut eines Wirbeltieres geschieht. Beispiele dafür finden sich in [5]. Bei CCD-Bausteinen werden die Signale seriell ausgegeben, d.h. sie liegen zwangsläufig zeitlich quantisiert vor, zeitkontinuierliche Verfahren sind nicht realisierbar.

---

[1] Complementary Metal Oxid Semiconductor

[2] Charge Coupled Device

Nachteilig bei Visionchips ist die im Vergleich zur CCD-Kamera geringere Auflösung. Ein Pixel benötigt beim heutigen Stand der Technologie mindestens das Zehnfache an Fläche. Daher kommen sie als bildgebende Verfahren in der Videotechnologie momentan nicht in Frage. Für alle Bereiche künstlichen Sehens, wie z.B. die Robotik, in denen die verwendbare Auflösung durch die Leistung der nachgeschalteten Bildverarbeitungssysteme beschränkt ist, sind Visionchips aber eine lohnende Alternative. Auch das taktile Sehen fällt in diesen Bereich. Die Auflösung des Systems ist vom Tastsinn und den mechanischen Aktuatoren begrenzt. Die Kamera soll unter allen natürlich vorkommenden Lichtverhältnissen funktionieren und dabei so klein sein, daß sie problemlos in ein Brillengestell eingepaßt werden kann. Auch soll es möglich sein, zwei dieser Chips zu einer Stereokamera zusammenzuschalten, um Entfernungen bestimmen zu können. Ein integrierter Digital/Analog-Wandler vereinfacht dabei den Anschluß an ein herkömmliches Computersystem zu Weiterverarbeitung. Im Moment ist dies ein tragbarer Personalcomputer, der leicht durch ein miniaturisiertes System, wie z.B. ein CARD-PC der Firma Epson oder ein spezielles Bildverarbeitungs-ASIC[3], ersetzt werden kann.

---

[3] Application Specific Integrated Circuit

2 Adaptive Photosensoren

Der große Vorteil eines Visionchips liegt im großen dynamischen Bereich von mehr als 6 Dekaden. Allerdings läßt sich dieser kaum ausnutzen, hätte man einen linearen Zusammenhang zwischen Ausgangsspannung und Lichtintensität. Eine direkte digitale Repräsentation davon würde 20 Bit benötigen und die Signalamplitude bei schwacher Beleuchtung läge in der Größenordnung von Mikrovolt. Daher wird der Photostrom, der proportional zur einfallenden Intensität ist, üblicherweise logarithmiert. Zum einen kann man damit den Dynamikbereich des Eingangssignals auf einen beliebigen Ausgangsbereich komprimieren, zum anderen erhält man eine bessere Repräsentation der Bildstruktur. Verschiedene Objekte unterscheiden sich voneinander, indem sie unterschiedliche Bruchteile des auf sie treffenden Lichts in Richtung Kamera streuen. Dadurch werden auf dem Bildsensor Bereiche unterschiedlicher Helligkeit erzeugt. Deren Verhältnis zueinander hängt nicht von der absoluten Intensität ab. Nach einer Logarithmierung des Signals erhält man feste Differenzen, näherungsweise unabhängig von der Entfernung, dem Betrachtungswinkel und den vorhandenen Lichtquellen. Dies erleichtert eine spätere Rekonstruktion der im Bild dargestellten Objekte.

Die Kompression der Dynamik hat allerdings den Nachteil, daß geringe Kontraste noch kleiner werden und eventuell kaum noch aufzulösen sind. Eine Möglichkeit, dieses Problem zu lösen, haben T. Delbrück und C. A. Mead in [6] vorgestellt. Den von ihnen dazu entwickelte CMOS-Schaltkreis hat M. Loose aus unserer Arbeitsgruppe als Basis für einen adaptiven Photosensor benutzt, der nach erfolgreichem Test eines Prototyps jetzt in Form einer Matrix aus 64×64 Bildpunkten den Sensorbereich des Kamerachips bildet.

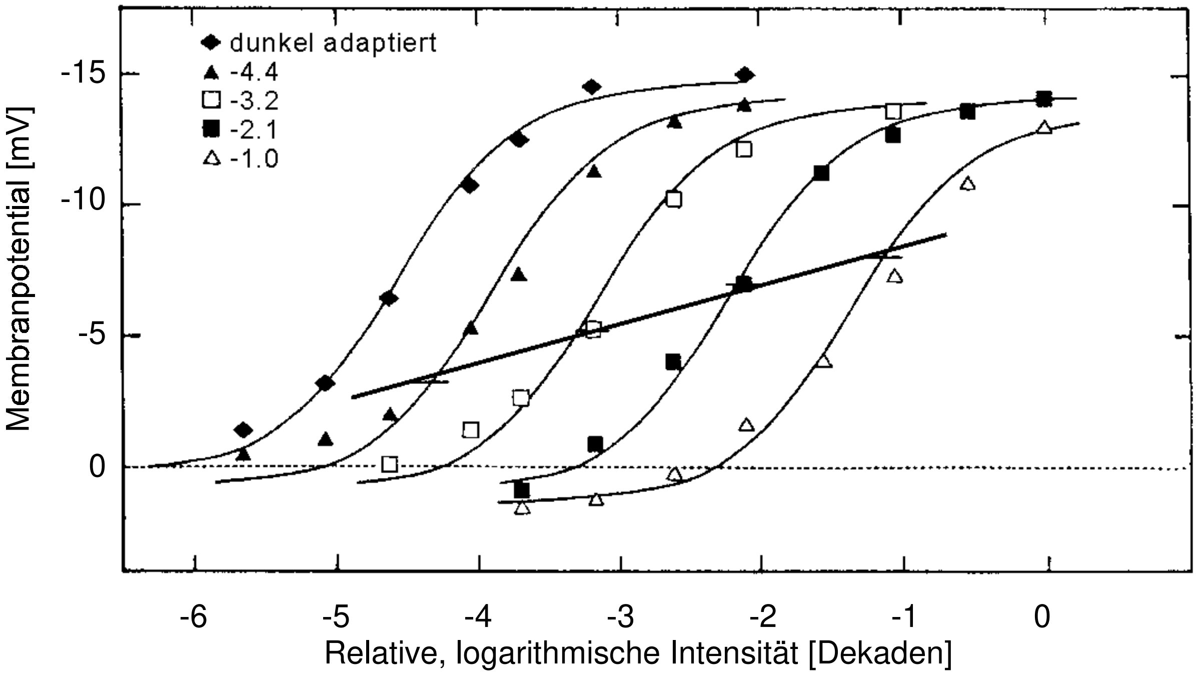


Abbildung 1: Reaktion eines Zapfens aus der Retina einer Schildkröte auf statische und transiente Reize (entnommen aus [7]).

Das Prinzip ist dem biologischen Vorbild einer Sinneszelle aus der Netzhaut nachempfunden. Abbildung 1 zeigt die Reaktion eines rotempfindlichen Zapfens aus der Schildkrötenretina auf verschiedene Lichtsignale, entnommen aus [7]. Das Membranpotential ist über dem Logarithmus der Intensität, bezogen auf eine maximale Intensität von 20 W/m^2, aufgetragen. Die flache Linie zeigt die Antwort der Zelle nach zwei Minuten konstanter Beleuchtung. Diese statische Reaktion hat eine deutlich geringere Steigung als die Reaktion auf transiente Reize, die durch die markierten Kurven dargestellt wird. Von der in der Legende angegebenen Grundintensität aus wurde die Beleuchtung schlagartig geändert. Jeder Meßpunkt entspricht dem Membranpotential bei einem dieser schnellen Lichtwechsel. Die Zelle komprimiert also den Dynamikbereich je nach Änderungsgeschwindigkeit der Lichtintensität unterschiedlich stark und paßt sich dabei immer an die aktuelle Grundhelligkeit an. Durch diese Adaptation werden Lichtwechsel unabhängig von der Hintergrundbeleuchtung wiedergegeben. Schwache Kontraste können so durch Augenbewegungen verstärkt werden, sich bewegende Objekte treten hervor.

Dieses Verhalten wird von der Schaltung aus Abbildung 2 nachgeahmt. Sie wurde von M. Loose in einer 1,2 µm CMOS-Technologie verwirklicht. Der eigentliche Photosensor ist eine parallel zur Chipoberfläche orientierte Diode, gebildet aus einer stark negativ dotierten Kathode und dem schwach positiv dotierten Substrat darunter als Anode. Da sie in Sperrichtung gepolt ist, verbreitert sich die Grenzschicht. Einfallende Photonen des sichtbaren und nahen infraroten Lichts können Elektron-Loch-Paare erzeugen, die im elektrischen Feld der Grenzschicht getrennt werden und zu einem der Lichtintensität proportionalen Strom durch die Diode führen. Der große Dynamikumfang dieser Anordnung ist darin begründet, daß die untere Grenze vom Sperrstrom, die obere vom Schmelzpunkt des Siliziums gebildet wird. Man kann also in beide Richtungen bis an physikalische Extrema des Materials gehen.

Unter natürlichen Beleuchtungsbedingungen werden allerdings nur Stromstärken von pA bis µA erreicht. Die Logarithmierung des Photostroms geschieht über den als T_{fb} bezeichneten MOS-Feldeffekttransistor. Er arbeitet im Subthreshold-Bereich, d.h. die Spannung zwischen Gate und Source ist kleiner als die Schwellspannung von etwa 0,7 Volt, ab der sich im Kanal die Inversionsschicht ausbildet. In diesem Betriebsmodus wächst der Drain-Strom I_D exponentiell mit der Gate-Source-Spannung U_{GS}.

$$I_D = I_0 e^{U_{GS}/nU_{Term}} \left(1 - e^{-U_{DS}/U_{Term}}\right)$$

I_0 ist dabei eine von den Prozeßparametern und der Geometrie des Transistors abhängige Konstante, n beträgt etwa 1,5 und U_{Term} ist das *thermische Spannungsäquivalent*[4]. Hält man das Gate-Potential U_{cap} fest, muß die Source-Spannung dem Logarithmus des durch das einfallende Licht erzeugten Stroms folgen. T_n, T_{cas} und T_p bilden einen invertierenden Verstärker, über den das Signal zum Ausgang gelangt. Die Rückkopplung der Ausgangsspannung auf U_{cap} bestimmt die besonderen Eigenschaften der Schaltung. Die Ladung des Kondensators C_1 repräsentiert die mittlere Intensität, auf die sich der Regelkreis eingestellt hat. Im vollkommen adaptierten Zustand ist U_{cap} gleich der Ausgangsspannung U_o. Erhöht sich die Beleuchtung um einen kleinen Betrag, steigt der Photostrom und U_s sinkt. Die Ausgangsspannung nimmt um die Änderung von U_s mal der Ausgangsverstärkung zu. Dadurch wird C_1 über einen speziellen, sehr hochohmigen Widerstand, das adaptive Element, auf den neuen Wert von U_o umgeladen. Steigt U_{cap}, verschiebt sich auch die Source-Spannung von T_{fb}, da der Drain-Strom, vom Photostrom vorgegeben, konstant bleiben muß. Damit wird die Änderung der Ausgangs-

---

[4] $V_{Term} = kT/e$ mit der Boltzmannkonstante k, der Temperatur T und der Elementarladung e.

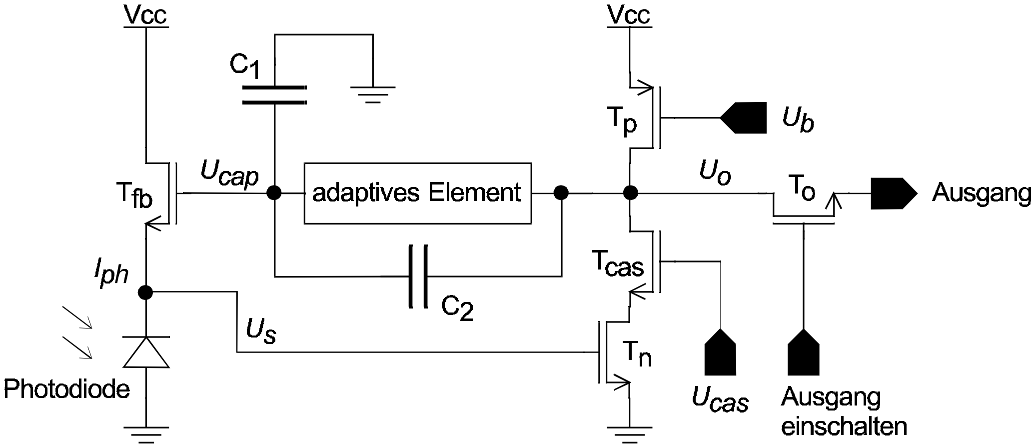


Abbildung 2: Schaltplan eines adaptiven Pixels

spannung wieder zurückgenommen. Diese negative Rückkopplung bewirkt bei statischen Signalen eine sehr flache logarithmische Kennlinie.

Transiente Signale können das Potential an U_{cap} über C_2 ändern. C_1 und C_2 bilden dann einen kapazitiven Spannungsteiler, der im Gegensatz zum adaptiven Element nur einen Bruchteil der Ausgangsspannung rückkoppelt. Damit ist die Steigung der Ausgangskennlinie steiler als bei statischen Signalen. Der Vergleich mit der Netzhautzelle zeigt, daß diese Schaltung deren Verhalten gut nachbildet. Abbildung 3 zeigt die gemessene Reaktion dieses Pixels auf transiente und statische Lichtsignale. Der nutzbare Dynamikbereich beträgt 7 Dekaden.

Das adaptive Element wird aus einem p-Kanal MOS-Transistor und einem parasitären bipolaren PNP-Transistor gebildet. Bei kleinen Spannungsdifferenzen liegt sein Widerstand in der Größenordnung von 10^{12} Ohm. Zusammen mit der Kapazität des Kondensators C_1 von 600 fF ergibt sich daraus eine Zeitkonstante von τ=RC=0,6 s. Durch die nichtlineare Kennlinie sowohl des MOS- als auch des bipolaren Transistors nimmt der Widerstand mit zunehmender Spannung ab. Dies hat den Vorteil, daß bei starken Kontrastsprüngen der Pixel schnell adaptiert, während er sich bei kleinen Schwankungen der Beleuchtungsintensität nur langsam auf einen neuen Wert einstellt.

Die Bias-Spannungen U_b und U_{cas} erlauben eine Justierung des Verstärkers. Vor allem mit U_b läßt sich der Querstrom durch T_n und T_p einstellen. Dadurch kann die Bandbreite reguliert werden. Da in einer Matrixanordnung nicht jeder Pixel eine eigene Ausgangsleitung haben kann, schaltet T_o die Spannung U_o auf die gemeinsame Leitung.

In der Abbildung 4 ist die Anordnung der Bauelemente auf dem Chip, das Layout, zu sehen. Alle Verbindungsleitungen sind so verlegt, daß sich die Pixel zu einer Matrix zusammenfügen lassen. Jeder Pixel belegt eine Fläche von 4096 μm^2. Da alle pn-Übergänge wie Photodioden lichtempfindlich sind, ist die obere Metallage als Abschirmung über die gesamte Schaltung, ausgenommen der eigentlichen Photodiode, ausgedehnt. Leider besitzt diese Abdeckung zwischen den Pixeln unvermeidbare Lücken, da die Metallschicht auch zur Verdrahtung benötigt wird und der Mindestabstand von 1,8 μm, der zwischen den Leitungen eingehalten werden muß, einen Durchlaß für einfallendes Licht bildet.

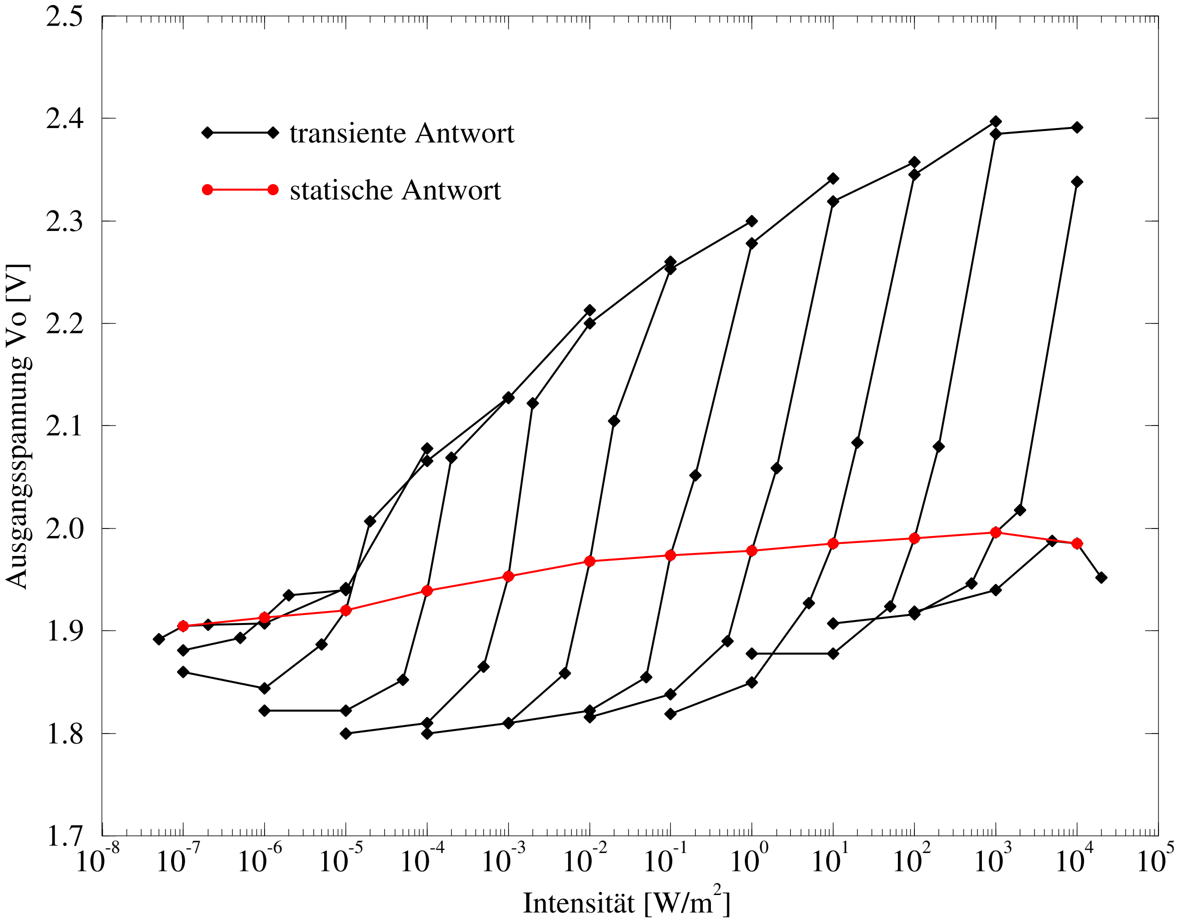


Abbildung 3: Gemessene Reaktion eines Pixels auf statische und transiente Signale

3 Der Kamerachip

Für die Realisation des Kamerachips galten folgende Bedingungen:

- möglichst hohe Auflösung, d.h. eine große Anzahl Pixel
- integrierte Analog/Digital-Wandlung mit 8 Bit Auflösung
- ‘single chip’ Kamera, d.h. keine weiteren aktiven Bauelemente auf der Kameraplatine
- niedrige Leistungsaufnahme
- eine Bildrate von mindestens 50 Bildern/Sekunde
- Fertigung in der 1.2 µm Technologie der Firma AMS[5]

Die letzte Bedingung folgte aus dem Vorliegen der Pixel in dieser Technologie, die restlichen Einschränkungen ergaben sich aus den Anforderungen an das Gesamtsystem. Die Anzahl der Bildpunkte wurde aus Kostengründen auf eine quadratische Matrix von 64 mal 64 beschränkt. Die Auslese geschieht durch Selektion einer Spalte von Pixeln, die dann ihr Ausgangssignal auf eine allen Pixeln einer Zeile gemeinsame Ausleseleitung legen. Diese 64 Analogsignale müssen dann digitalisiert und an das Bildverarbeitungssystem weitergegeben werden.

3.1 Digitalisierungskonzepte

Für die Konversion von 64 Signalen gibt es grundsätzlich zwei verschiedene Strategien, die allerdings auch miteinander kombiniert werden können:

- parallele Wandlung aller Signale einer Zeile und anschließendes digitales Multiplexen
- analoges Multiplexen und serielle Digitalisierung

Im zweiten Fall ergibt sich dann eine minimale Wandlungsrate von:

$$Rate = AnzahlSpalten \times \frac{Bilder}{Sekunde} \times AnzahlZeilen = 64 \times 50 \times 64 = 204800 \frac{Bytes}{Sekunde}$$

Allerdings hat eine Konversion mit dieser Rate den Nachteil, daß 20 Millisekunden zur Wandlung eines Bildes benötigt werden, was eine Verzerrung schnell bewegter Objekte mit sich bringt. Außerdem erschien es sinnvoll, die Auslese so zu konstruieren, daß ihre Geschwindigkeit in etwa derjenigen der Pixelelektronik entspricht. Wie in [3] beschrieben, benötigen die Pixel eine von der Lastkapazität abhängige Zeit, bis sich auf der Ausgangsleitung ein stabiler Wert eingestellt hat. Diese Verzögerung hängt vom ihrem Arbeitspunkt ab und liegt bei etwa 50 bis 100 µs. Daraus folgt eine Beschränkung der maximalen Bildrate auf etwa 200 ± 50 Bilder pro Sekunde. Der Analog/Digital-Wandler (ADC) sollte daher eine Datenrate von bis zu einem Megahertz bewältigen.

---

[5] Austria Micro Systems

Für eine serielle Konversion bei dieser Rate kommen zwei Wandlertypen [8] in Frage:

- Parallele A/D-Wandler (*Flash*-ADC)
- Sukzessive-Approximations-Wandler

Ein 8 Bit *Flash*-ADC konvertiert das Eingangssignal durch simultanen Vergleich mit 256 Referenzspannungen, die den Schwellen für die binären Ausgangswerte entsprechen. Mit dieser Technologie lassen sich Wandler bis über 500 MHz Konversionsrate herstellen [9]. Dem Vorteil hoher Geschwindigkeit stehen folgende Nachteile gegenüber: großer Platzverbrauch und hohe Leistungsaufnahme. Die für einen parallelen A/D-Wandler nötigen getakteten Komparatoren [10] basieren auf dem Vergleich gespeicherter Ladungsmengen, die Kondensatoren dafür belegen in der CMOS-Technologie viel Platz (siehe [11] als Beispiel für einen *Flash*-ADC in dem AMS 1.2 µm Prozeß). Da diese Kondensatoren bei jeder Wandlung umgeladen werden, verbrauchen die Komparatoren viel Strom, der dazu noch impulsweise bei jedem Schaltvorgang fließt.

Ein Wandler nach dem Verfahren der schrittweisen Annäherung (sukzessive Approximation) besitzt nur einen Komparator. Dafür ist die Vergleichsspannung nicht statisch, sondern wird iterativ an die Eingangsspannung angenähert. Nach dem Prinzip der binären Suche wird so das mögliche Intervall, in dem das Eingangssignal liegt, mit jedem Schritt halbiert. Der Wandler benötigt für jedes Bit Auflösung einen Zyklus. Um die Vergleichsspannung zu erzeugen ist ein Digital/Analog-Wandler (DAC) mit der gleichen Auflösung nötig. Um eine Wandlerrate von einem Megahertz bei acht Bit Auflösung zu erreichen, benötigt man also einen DAC mit einer Einstellzeit kleiner 125 ns über den gesamten Wertebereich.

Im Falle einer seriellen Wandlung benötigt man noch einen Analogmultiplexer, der die 64 Ausgänge der Pixelmatrix nacheinander auf den Eingang des ADCs legt. Hierbei können leicht Probleme mit einem Übersprechen der Schaltsignale auf das Nutzsignal auftreten [12].

Außerdem sind beide beschriebenen seriellen Wandler anfällig gegen Rauschen auf dem Eingangssignal, da sie, bedingt durch das kleine Zeitfenster, in dem sie dieses betrachten, auch dessen höherfrequente Anteile sehen. Dies gilt insbesondere für den Sukzessive-Approximations-Wandler, da sich hier der Fehler jeder Iteration aufsummiert und das Zeitfenster am kleinsten ist.

Die parallele Wandlung der 64 Zeilen verringert die Konversionsrate auf 15625 Hertz und verlagert das Multiplexen der Daten auf die digitale Seite. Da das Zeitfenster jetzt 64 µs statt 1 µs, bzw. 125 ns, beträgt, lassen sich höherfrequente Rauschanteile besser unterdrücken. Ein Möglichkeit, 64 ADCs bei geringem Platzbedarf zu realisieren, ist das *single slope* Verfahren. Es bietet gute Störsignal-Unterdrückung und niedrige Leistungsaufnahme. Pro Kanal benötigt es nur eine geringe Fläche, die notwendigen Schaltkreise lassen sich im selben Raster wie die Pixel erstellen, so daß man die Matrix einfach mit einer Spalte Wandler abschließen kann. Damit läßt sich die Auflösung des Kamerachips leicht ändern, der ADC skaliert einfach mit.

3.2 Der *single slope* Analog/Digital-Wandler

Das Prinzip der A/D-Wandlung besteht in der Umsetzung einer Spannung in eine Zeit, die dann mit einem digitalen Zähler gemessen wird. Ein Rampengenerator erzeugt eine linear mit der Zeit abfallende Referenzspannung, die ein Komparator laufend mit dem Eingangssignal vergleicht (siehe Abbildung 5). Synchron mit der Rampe wird ein Zähler gestartet. Unter-

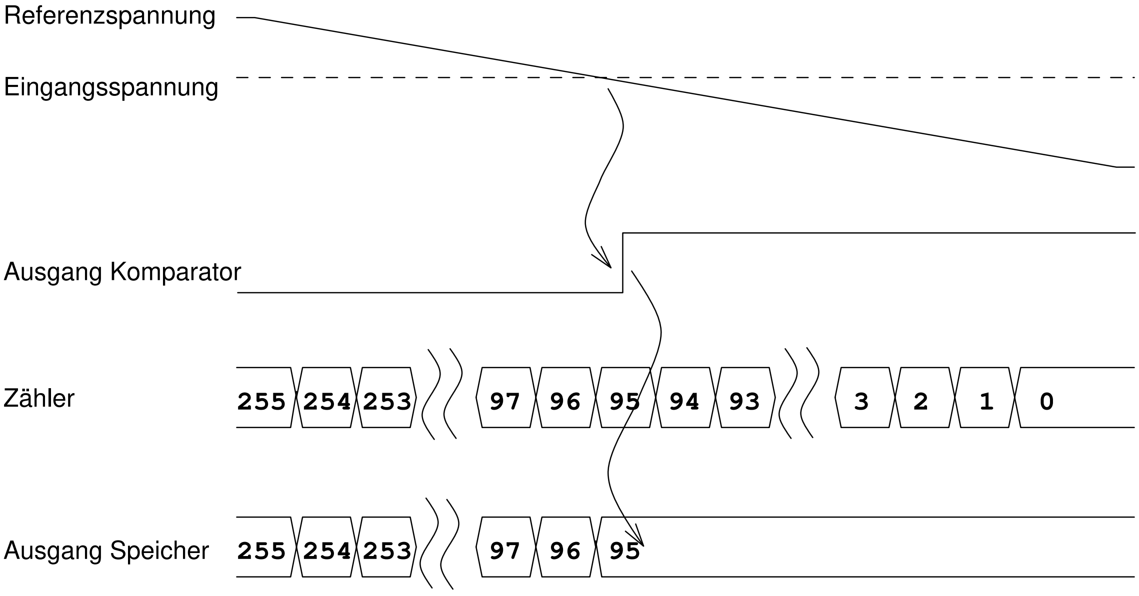


Abbildung 5: Funktionsprinzip eines *single slope* A/D-Wandlers

schreitet die Referenzspannung das Eingangssignal, schaltet der Komparator und hält damit den Zähler an. Dessen Stand ist dann proportional der Eingangsspannung. Ändert man die Steigung der Rampe im Verhältnis zur Taktfrequenz des Zählers, kann man den Eingangsspannungsbereich variieren. Der Nullpunkt des Wandlers läßt sich durch eine Verzögerung zwischen dem Start des Referenzspannungsgenerators und des Zählers verschieben. Beide Einstellmöglichkeiten wurden in dem Kamerachip verwirklicht, um den 8 Bit Wertebereich des ADC optimal an das Ausgangssignal der Pixel anpassen zu können.

Der Nachteil dieses Verfahrens ist die lange Umsetzungsdauer für eine Auflösung von n Bit: 2^n Taktzyklen im Vergleich zu n bei einem Sukzessive-Approximations-Wandler. Allerdings ist es einfacher, einen Zähler hoch zu takten, als das komplette System aus DAC und Steuerlogik. Die Geschwindigkeit des Komparators ist ebenfalls unkritischer, da, bedingt durch die lineare Zunahme der Referenzspannung, eine Verzögerung lediglich einen festen Offset zu Folge hat.

Der große Vorteil liegt in der Parallelisierbarkeit. Der Rampengenerator wird nur einmal benötigt, ebenso die Steuerlogik. Wenn man statt den Zähler anzuhalten, lediglich seinen momentanen Wert speichert, kommt man mit einem Zähler aus. Pro Kanal müssen nur der Komparator und ein 8 Bit Speicher vorhanden sein. Die Geschwindigkeit der Komparatoren paßt man so an die gewünschte Digitalisierungsrate an, daß man einen Tiefpaßfilter erhält. Störungen auf dem Eingangssignal, die hochfrequent im Bezug zur Rampe sind, sollen nicht zur Folge haben, daß ein Komparator schaltet. Allerdings müssen die Komparatoren noch dem Rampensignal folgen können[6]. Dann ist es möglich, die Pixel einer Zeile direkt an den entsprechenden ADC-Kanal anzuschließen. Es ist keine *Sample&Hold*-Schaltung nötig. Eine weitere Anwendung dieses Wandlertypes in einem Visionchip finden sich in [13].

---

[6] Es gibt keine bestimmte untere Schwelle. Die Verzögerung zwischen dem Zeitpunkt, an dem die Rampe die Eingangsspannung unterschreitet, und dem Ausgangssignal des Komparators sollte für alle Eingangsspannungen möglichst den selben Betrag haben. Allerdings sind Abweichungen nie ganz zu vermeiden. Bei einer Zunahme der Verzögerung wachsen sie ebenfalls an, und mit ihnen auch der Fehler des ADCs.

Bei Verwendung eines einzigen Zählers für alle Kanäle muß man statt eines Binärcodes den Graycode verwenden. Schaltet ein Komparator gerade im Moment eines Codewechsels, kann ein falscher Wert gespeichert werden wenn sich mehr als ein Bit ändert. Durch unvermeidliche Laufzeitunterschiede der Signale übernimmt eine Speicherzelle noch den alten, eine andere aber schon den neuen Wert. Die so gespeicherte Zahl repräsentiert dann im Binärcode einen falschen Zählerstand, wie Tabelle 1 zeigt.

	Binär	**Dezimal**
Alter Wert	`10001111`	`143`
Neuer Wert	`10010000`	`144`
Möglicher falscher Wert	`10011100`	`156`

Tabelle 1: Möglicher Fehler, wenn der Zählerstand gerade im Moment eines Codewechsels, bei dem sich mehrere Bits simultan ändern, gespeichert wird

Im Graycode ändert sich bei aufeinanderfolgenden Codewerten immer nur ein Bit, wodurch obige Fehler nicht auftreten können. Dies hat zusätzlich noch den Vorteil eines verringerten Übersprechens auf die analogen Komparatoren, da insgesamt weniger Signalwechsel stattfinden. Tabelle 2 zeigt beide Kodierungsarten im Vergleich. Mittels der Schaltung aus XOR-Gattern in Abbildung 6 läßt sich ein Binärcode in Graycode und wieder zurück konvertieren, wie man es für einen *single slope* A/D-Wandler benötigt.

Dezimal	**Binärcode**	**Graycode**
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101
10	1010	1111
11	1011	1110
12	1100	1010
13	1101	1011
14	1110	1001
15	1111	1000

Tabelle 2: Vergleich Binärcode ↔ Graycode

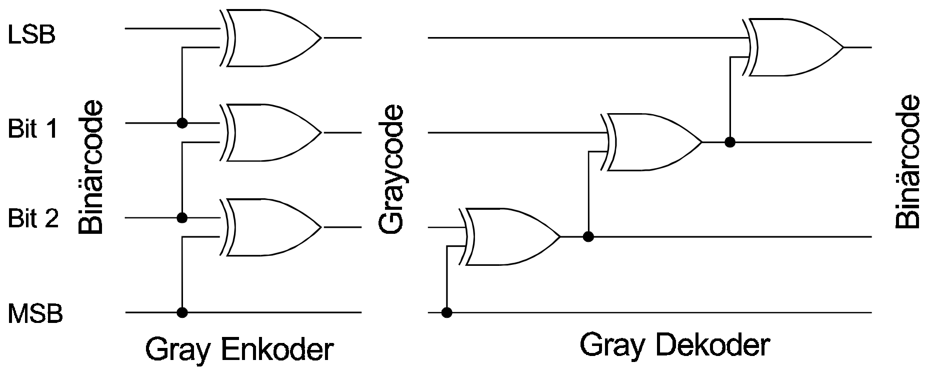


Abbildung 6: Gatterschaltung zur Umwandlung von Binär- in Graycode und umgekehrt

3.3 Aufbau des Kamerachips

Die Abbildung 7 zeigt die wesentlichen Komponenten des Chips:

- die Matrix aus 64×64 Pixeln
- Schieberegister zur Auswahl der Matrixspalte
- 65 Komparatoren
- 65 Meßwertspeicher (jeweils 8 Bit breit) für die gemessenen Zählerstände
- 65 Ausgabespeicher mit Schieberegister zur Auswahl der Zeile
- Rampengenerator und Zähler
- Gray En- und Dekoder
- Digitale Steuerlogik und Datenübertragungsschnittstelle

Das im letzten Abschnitt beschriebene ADC Konzept wurde um folgende Komponenten erweitert:

- Jeder Kanal besteht aus einem Komparator und zwei 8 Bit Speichern. Der Meßwertspeicher übernimmt den Zählerstand wenn der Komparator schaltet. Nach einem Zyklus, d.h. wenn der Zähler alle 256 Werte durchlaufen hat, werden die Daten aus dem Meßwert- in den Ausgabespeicher kopiert. Dann kann sofort ein neuer Wandlerzyklus beginnen, während die Werte aus den Ausgabespeichern aller Kanäle der Reihe nach ausgegeben werden.
- Neben den 64 Kanälen für die Matrixzeilen gibt es noch einen 65. ADC, der direkt mit einem Eingang des Kamerachips verbunden ist. Damit kann entweder eine externe Spannung gemeinsam mit dem Bild digitalisiert, oder durch Anlegen bekannter Referenzspannungen der Wandler charakterisiert werden.

Der Zähler, die Gray En- und Dekoder und die gesamte Steuerlogik bis hin zu den digitalen Ein- und Ausgängen des Chips wurden in der Hardware-Beschreibungssprache Verilog [14] erstellt. Diese ermöglicht eine Definition der gewünschten Schaltungseigenschaften auf der Basis von Ereignissen und dazugehörigen logischen Operationen. Ein sogenanntes Syntheseprogramm [15] erzeugt dann automatisch die fertige Schaltung aus Standardzellen. Dies sind kleine Funktionsblöcke wie diverse Gatter und Flip-Flops, die vom Chiphersteller geliefert werden und direkt auf dem Chip plaziert werden können. Die Anordnung und Verschaltung dieser Standardzellen wird ebenfalls von der Designsoftware durchgeführt.

Die Schieberegister und Speicher konnten nicht aus dieser Bibliothek genommen werden, da die von AMS gelieferten Zellen eine zu große Fläche in Anspruch nehmen und nicht in das 64 µm Raster der Pixelmatrix passen. Sie mußten daher von Hand erstellt werden, ebenso wie die analogen Komponenten: Pixel, Komparatoren und Rampengenerator.

Abbildung 8 zeigt das Layout des Kamerachips, wie es die Designsoftware darstellt. Die Lage der wichtigsten Funktionsblöcke wurde nachträglich eingezeichnet. In Abbildung 9 sieht man ein Mikroskopbild des fertigen Bausteins.

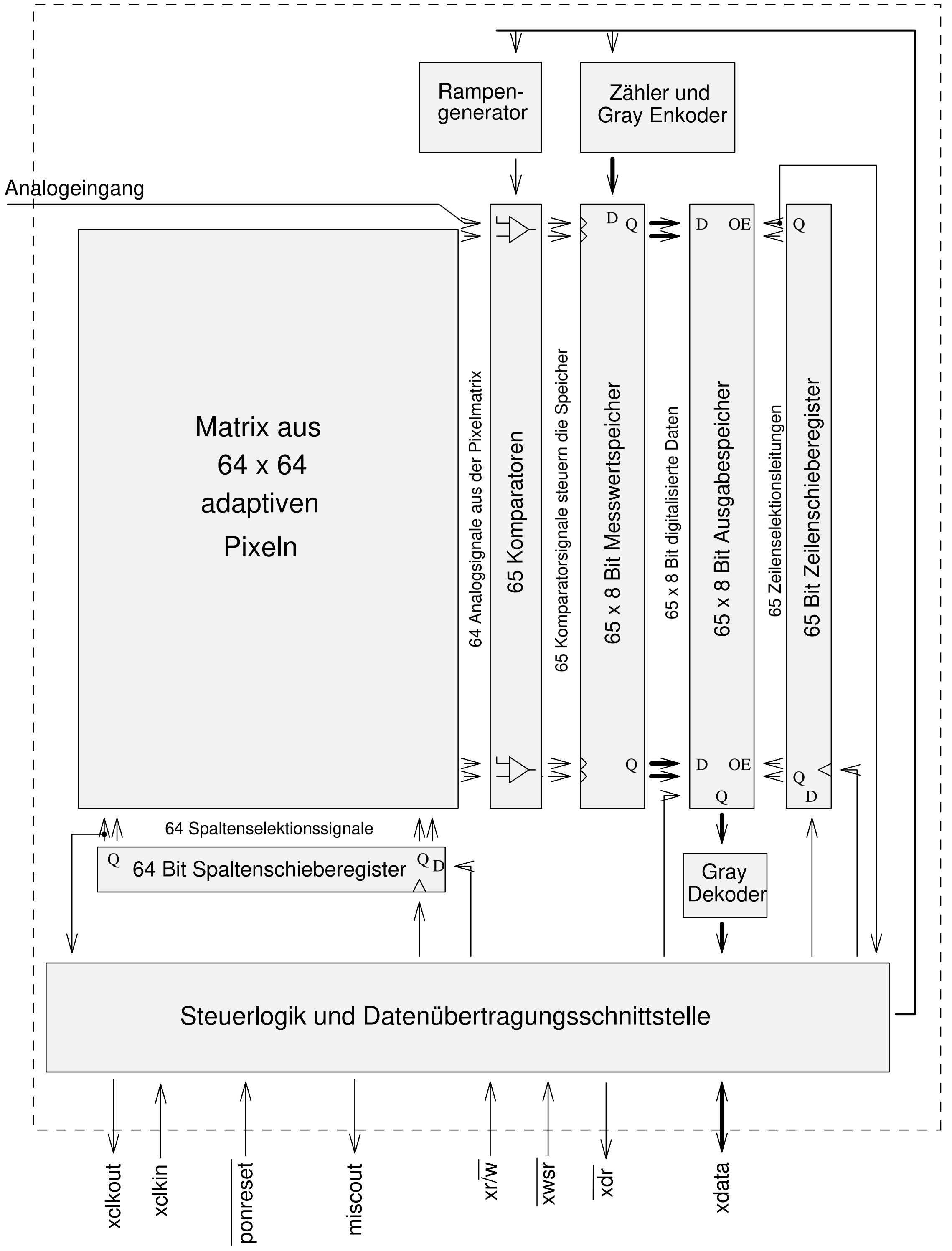


Abbildung 7: Blockschaltbild des Kamerachips

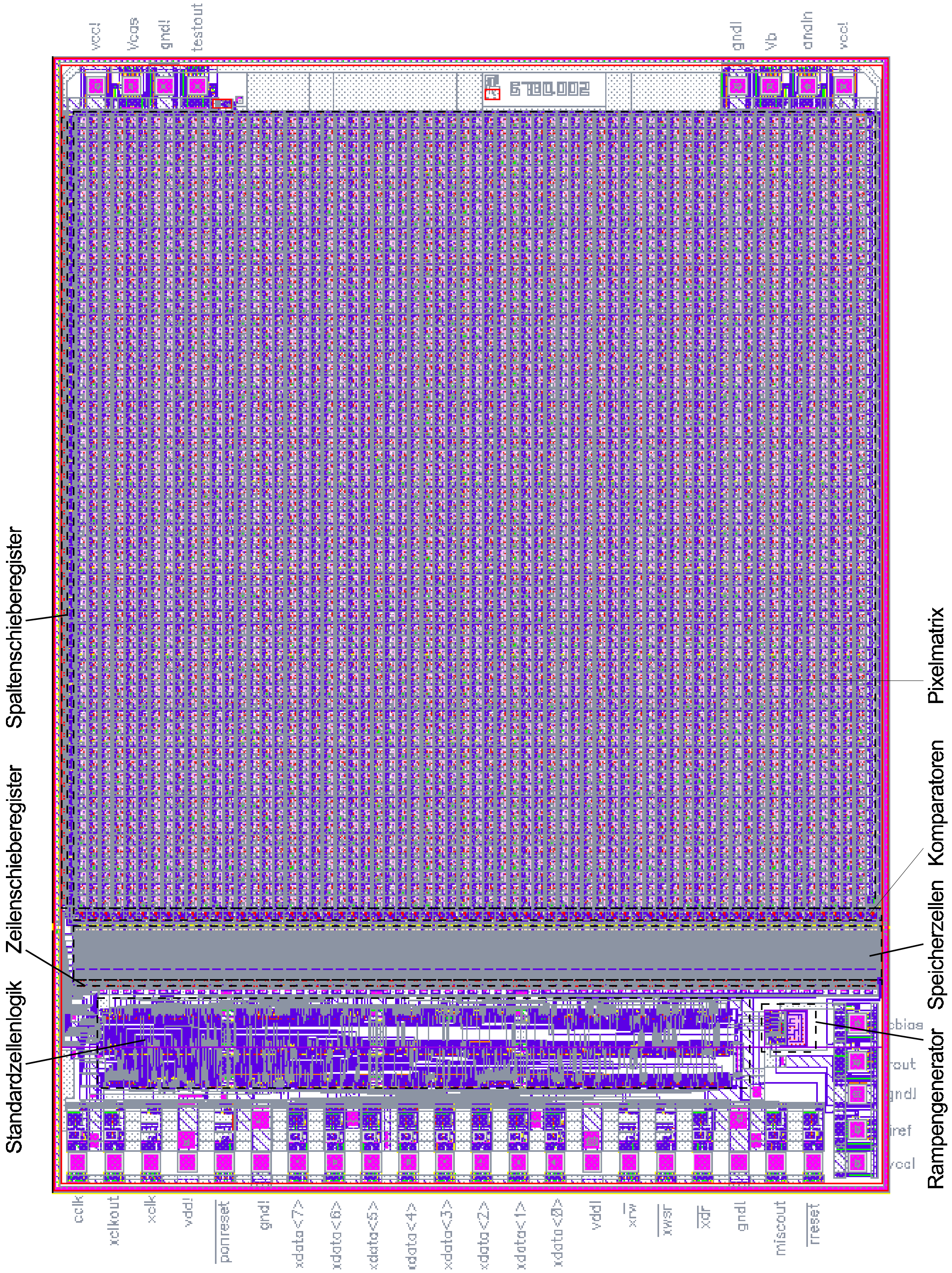


Abbildung 8: Layout des Kamerachips. Die Darstellung ist im Vergleich zum Blockschaltbild um 90° gedreht.

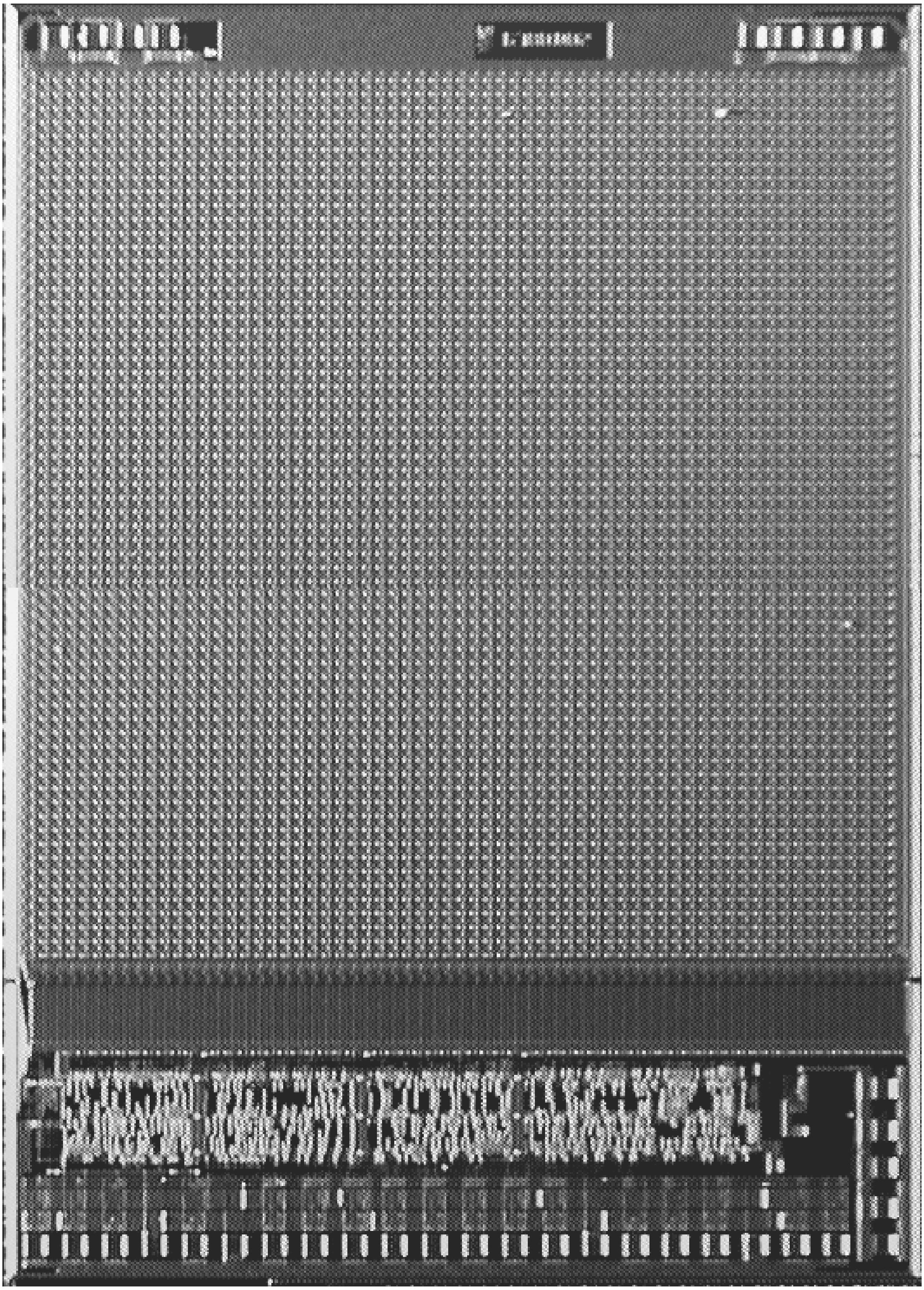


Abbildung 9: Mikroskopbild des Kamerachips. Der Chip ist im Original 4,35 mm breit und 5,88 mm hoch.

Auf beiden Bildern kann man den Unterschied zwischen den Standardzellen und den manuell erstellten Schaltungsteilen deutlich erkennen. Die dominierende Struktur ist die Pixelmatrix. Um mehrere Chips zu einer Kamera höherer Auflösung kombinieren zu können, wurden die Strukturen links und rechts von der Matrix so schmal wie möglich gehalten. Sie sind etwa 1½ Pixel (100 µm) breit. Auch Analog- und Digitalteil sind so weit als möglich voneinander getrennt. Lediglich der Rampengenerator mußte in der Nähe der Standardzellen plaziert werden, um den Chip nicht unnötig zu vergrößern. Der Block aus Pixeln und Komparatoren ist komplett von einem doppelten *Guardring*[7] [16] umgeben. Mit der Außenwelt wird der Chip über die *Bondpads* verbunden, im Bild als kleine Quadrate an den Schmalseiten zu erkennen. Sie bestehen aus einer Aluminiumschicht, auf die die Anschlußdrähte mittels Ultraschall geschweißt werden. Der Rest des Chips ist zum Schutz vor Umwelteinflüssen mit Siliziumdioxid überzogen (passiviert).

3.4 Digitale Steuerung

Die Steuerlogik bestimmt das Zusammenspiel sämtlicher Komponenten. Über die Datenübertragungsschnittstelle wird der Chip an ein Computersystem angeschlossen. Die Schnittstelle überträgt die Bilddaten zum Computer und ermöglicht diesem, bestimmte Parameter der D/A-Wandlung festzulegen. Nach diesen Vorgaben erzeugt die Steuerung dann die nötigen Signale, um ein- oder mehrere Bilder zu digitalisieren und auszugeben. Realisiert ist dies durch zwei miteinander kommunizierende Zustandsmaschinen (*state machines*). Eine für die Steuerung der Schieberegister und die Ausgabe der gespeicherten Daten, die andere für die parallel dazu ablaufende Digitalisierung. Der Taktoszillator für die digitale Logik ist im Standardzellenteil integriert. Als Zeitreferenz dient ein externer Quarz oder ein RC-Glied.

3.4.1 Datenübertragung

Der Kamerachip kommuniziert über 11 digitale Signale mit der Außenwelt, nämlich einem 8 Bit breiten, bidirektionalen Datenbus und drei Steuerleitungen, die in Tabelle 3 aufgelistet sind.

Name	**Richtung**	**Funktion**
XRW	Eingang	Schaltet zwischen Lesen (*low*) und Schreiben (*high*) um. Beim Schreiben wird eine eventuell laufende Auslese zurückgesetzt. Diese Leitung muß mindestens zwei Taktflanken lang auf logisch null gesetzt werden, um diesen Abbruch auszulösen. Damit wird eine höhere Störsicherheit erreicht.
XWSR	Eingang aktiv *low*	Signalisiert beim Schreiben die gültigen Daten, beim Lesen kann der aktuelle Zyklus beliebig verlängert werden.
XDATA	Bidirektional	Datenbus, XRW schaltet die Richtung um
XDR	Ausgang aktiv *high*	Signalisiert beim Lesen ein gültiges Datenbyte. Wird die Auslese nicht durch XWSR verzögert, wechselt XDR mit jedem Takt seinen Pegel, solange noch Daten im Ausgabespeicher sind.

Tabelle 3: Übersicht der zur Datenübertragung verwendeten Signale

---

[7] Ein *Guardring* besteht aus einer Reihe Kontakte zwischen einer Metalleitung auf Massepotential und dem Siliziumsubstrat. Seine Aufgabe ist es, das Substrat niederohmig mit Masse zu verbinden. Damit wird verhindert, daß sich dort freie Ladungsträger ansammeln.

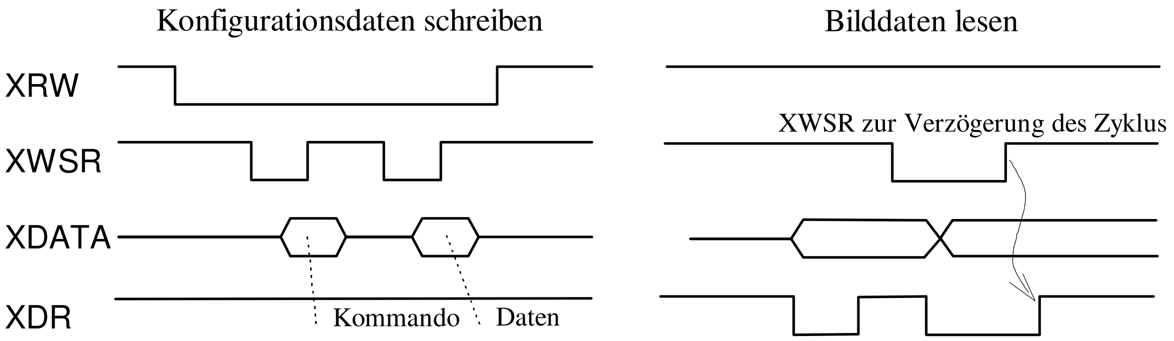


Abbildung 10: Signalverlauf bei der Datenübertragung

Um beim Schreiben die verschiedenen internen Konfigurationsregister auswählen zu können, ist der Schreibzugriff in einen Kommando- und einen Datenzugriff aufgeteilt. Je nach Kommando gelangen dann die nachfolgenden Daten in die entsprechende Speicherstelle. Tabelle 4 listet die definierten Werte auf.

Kommando	Funktion	Daten	Vorgabewert
READ	startet die Auslese	keine	keiner
CNTDELAY	Verzögerung zwischen dem Start der Rampe und dem des Zählers	Anzahl Taktzyklen von 0 bis 255	128
RAMPSLOPE	Steigung der Rampe	Wert von 0 bis 31, ein LSB entspricht 4 µs/V	16
RAMPDELAY	Verzögerung zwischen dem Einschalten einer Spalte und dem Start der Rampe	Anzahl Taktzyklen von 0 bis 255	16
MISC	Verschiedene Kontrollbits	Bit 5: MISCOUT Leitung Bit 4: Einzelbild (1) oder kontinuierlich (0) Bit 3: Einschalten Bits 0 bis 2 Bit 2: Spalten SR Daten Bit 1: Spalten SR Takt Bit 0: Spalten SR Löschen	alle Bits auf 0
CLEAR	setzt die Schnittstelle zurück	keine	

Tabelle 4: Liste der Kommandos, mit denen die verschiedenen Register des Kamerachips programmiert werden. Bei einem *Reset*-Signal werden die Vorgabewerte in die Register übertragen.

Mit der Steigung der Rampe und der Verzögerung zwischen deren Start und dem des Zählers, wird der Eingangsspannungsbereich des ADCs festgelegt. Da ein Pixel nach dem Einschalten seines Ausgangstransistors eine gewisse Zeit benötigt, bis er die von der Ausgangsleitung gebildete Kapazität auf den neuen Wert umgeladen hat, kann eine Wartezeit zwischen der Selektion einer Pixelspalte und dem Beginn der Analog/Digital-Umsetzung programmiert werden.

Um ein Bild auszulesen, überträgt man die gewünschten Werte für die Rampensteigung und die beiden Verzögerungswerte mittels Schreibzugriffen, wie sie in der Abbildung 10 gezeigt sind, in den Chip. Mit dem MISC-Kommando können noch bestimmte Optionen festgelegt werden: kontinuierliche oder Einzelbildauslese, der Zustand des MISCOUT-Steuerausgangs und ein Testmodus, mit dem sich die einzelnen Matrixspalten in einem beliebigen Muster aktivieren lassen, indem man das Spaltenschieberegister direkt ansteuert. Das Kommando READ, dem kein Datenbyte folgt, schließt die Programmierung ab. Sobald die XRW Leitung auf logisch eins gesetzt wird, beginnt die Steuerlogik des Chips damit, ein Bild auszulesen. Die digitalisierten Daten können mit der steigenden Flanke von XDR gelesen werden. Alle zwei Taktzyklen steht ein Byte bereit, bis der Ausgabespeicher leer ist. Setzt man XWSR auf logisch null, wartet die Ablaufsteuerung mit der Deaktivierung von XDR bis XWSR wieder auf logisch eins gewechselt hat. Damit kann die Ausgabe an langsame Schnittstellen angepaßt werden. Die Vorgabewerte werden beim Einschalten der Versorgungsspannung geladen. Damit ist es möglich, den Chip an einfachen Systemen zu betreiben, die nicht in der Lage sind, Daten zu übermitteln. Das READ-Kommando wird auch ohne Ansteuerung der XDATA-Leitungen gesendet, da diese durch Widerstände auf dieses Kommando gesetzt werden.

3.4.2 Zeitlicher Ablauf

Abbildung 11 zeigt die Abfolge der verschiedenen Zustände innerhalb der beiden *state machines*. Bei einem Schreibzugriff (XRW logisch null) werden sie zurückgesetzt. War das letzte Kommando ein READ, beginnt die Ablaufsteuerung nach dem Wechsel in den Lesemodus (XRW logisch eins) mit der Ansteuerung der ersten Spalte von Pixeln. Dazu wird am Eingang des Spaltenschieberegisters eine Eins angelegt und mit einem Taktimpuls in die erste Speicherzelle befördert. Deren Ausgang schaltet jetzt die 64 Pixel dieser Spalte ein. Gleichzeitig wird die ADC *state machine* gestartet, die den internen Verzögerungszähler, Zähler2, mit dem 'RAMPDELAY'-Wert geladen hat und beginnt, diesen auf Null herab zu zählen. Bis dahin bleibt der Rampengenerator auf seinem Maximalwert stehen. Ist der Zähler bei Null angekommen, wird die Rampe gestartet und der 'CNTDELAY'-Wert in den Verzögerungszähler übertragen. Erst wenn auch diese Zeit abgelaufen ist, wird der ADC Zähler dekrementiert und die eigentliche Messung beginnt. Bei Null angekommen wartet die ADC *state machine* auf das Signal der Ablaufsteuerung, daß die jetzt im Meßwertspeicher befindlichen Daten in den Ausgabespeicher übertragen wurden.

Mit einem Taktimpuls für das Spaltenschieberegister können die nächsten 64 Pixel digitalisiert werden, während die Daten im Ausgabespeicher, vom Zeilenschieberegister selektiert, Byte für Byte über die XDATA-Leitungen ausgegeben werden. Ist die gesamte Zeile übertragen, wartet die Ablaufsteuerung auf das Ende der gerade laufenden A/D-Wandlung, bevor sich der Zyklus wiederholt. Je nach dem, ob eine kontinuierliche oder eine Einzelbildauslese programmiert wurde, beginnt die Digitalisierung nach Ausgabe der gesamten Matrix wieder von vorne oder bleibt bis zum nächsten READ-Kommando stehen.

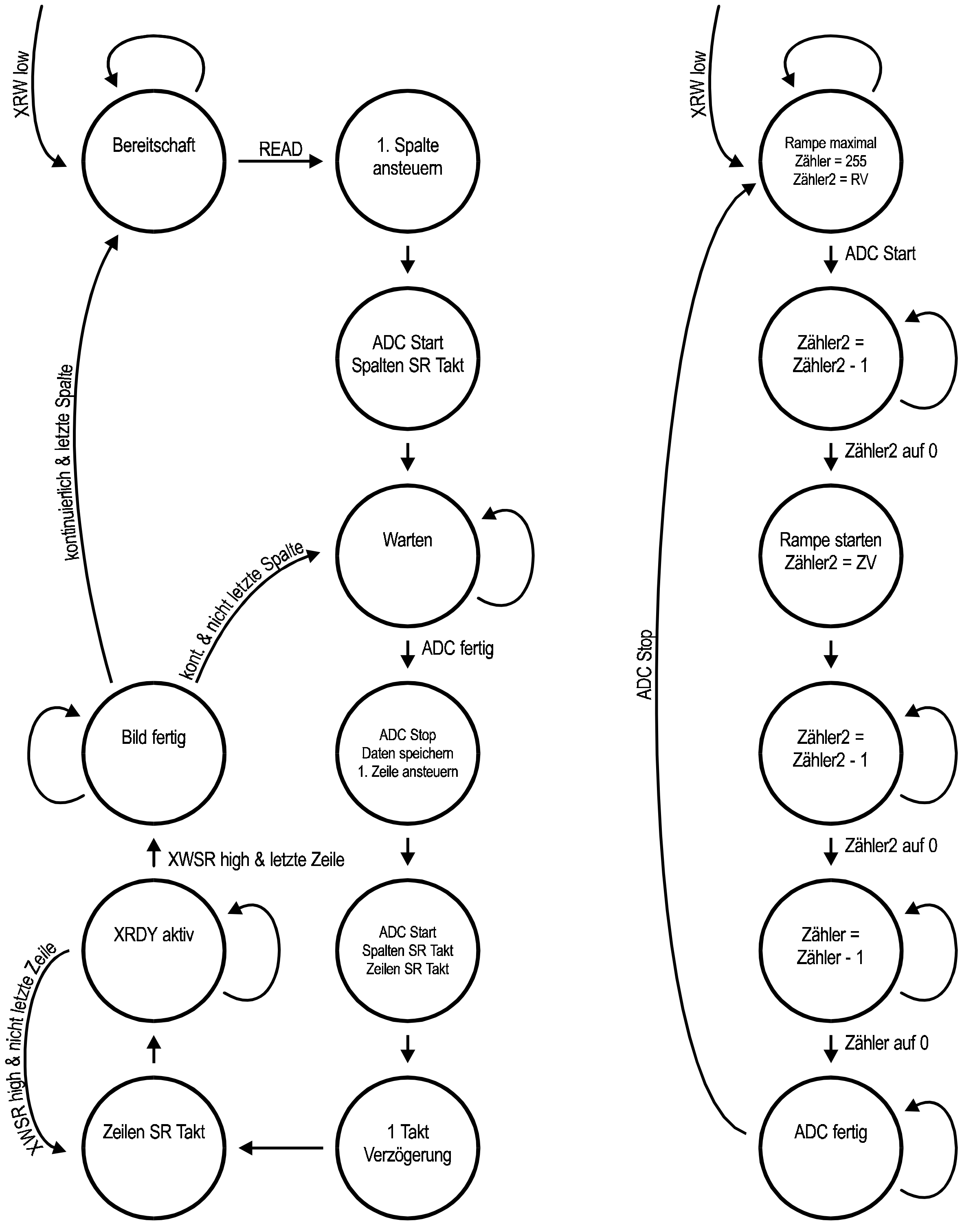


Abbildung 11: Zustandsdiagramme der Steuerlogik. Links die Ablauf- rechts die ADC-Steuerung. Die Abkürzungen bedeuten: SR - Schieberegister; RV - Rampenverzögerung (RAMPDELAY); ZV - Zählerverzögerung (CNTDELAY); Zähler - ADC Zähler; Zähler2 - interner Zähler.

3.5 Komponenten

3.5.1 Komparator

Der Komparator ist als zweistufiger Verstärker ohne Rückkopplung realisiert. Seinen Schaltplan zeigt Abbildung 12. T2 und T3 bilden eine Differenzeingangsstufe mit T1 als Konstantstromquelle. T6 arbeitet als Spannungsverstärker in Sourceschaltung. T4, T5 und T7 sind die entsprechenden Arbeitswiderstände. An einem Eingang liegt das Signal einer Zeile Pixel, am anderen der Ausgang des Rampengenerators. Das Ausgangssignal wird als komplementäres Taktsignal zu den Meßwertspeichern dieser Zeile geführt. Eine Bias-Spannung stellt den Arbeitsbereich des Komparators ein.

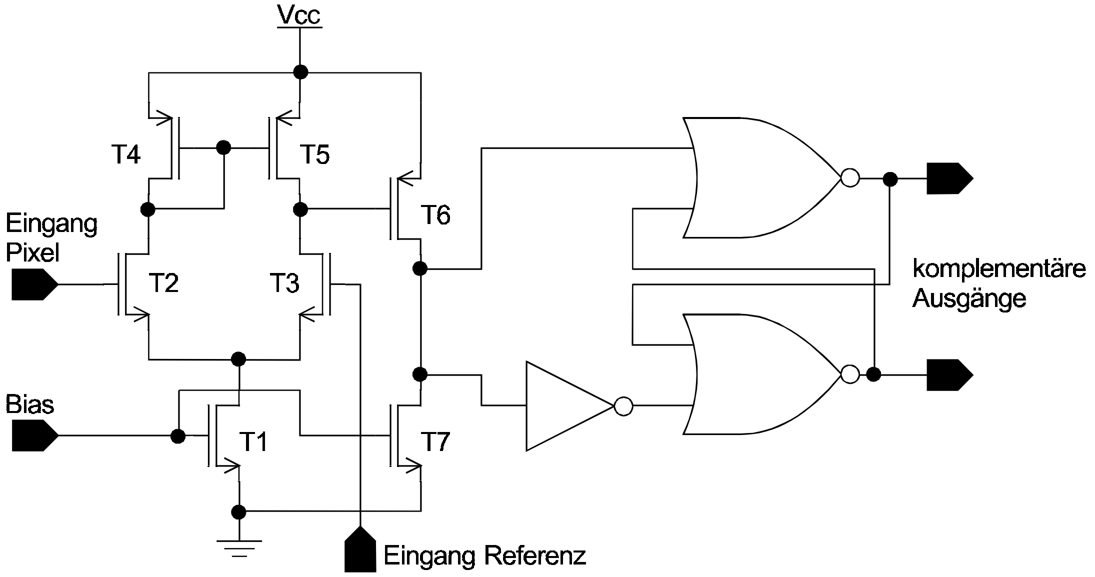


Abbildung 12: Schaltplan des Komparators. Alle Transistoren sind 1,2 µm lang. T2 bis T4 sind 4 µm, die übrigen 2 µm breit.

Für einen MOS-Transistor gelten näherungsweise folgende Beziehungen:

(3.1) $$|U_{DS}| < |U_{GS}| - |U_T| \Rightarrow I_D \approx \frac{\beta}{2}\left[2U_{DS}(U_{GS} - U_T) - U_{DS}^2\right]$$ ohmscher Bereich

(3.2) $$|U_{DS}| > |U_{GS}| - |U_T| \Rightarrow I_D \approx \frac{\beta}{2}(U_{GS} - U_T)^2\left[1 + \lambda\left(U_{DS} - (U_{GS} - U_T)\right)\right]$$ Sättigungsbereich

U_T ist hierbei die Schwellspannung (*threshold*) des Transistors. Sie beträgt ca. 0,7 Volt im verwendeten CMOS-Prozeß. U_{DS} und U_{GS} sind die Drain-Source- bzw. Gate-Source-Spannungen, I_D ist der Drainstrom. Folgende Transistorparameter werden in der Transkonduktanz β zusammengefaßt [17]:

(3.3) $$\beta = \mu C_{ox} \frac{Breite}{Länge}$$

C_{ox} ist die Kapazität pro Fläche der Oxidschicht zwischen Gate-Elektrode und dem Kanal, μ die Beweglichkeit der Ladungsträger in der Inversionsschicht. Mit der Breite und Länge des

Kanals kann man β variieren. Bei gleichen Ausmaßen ist das β eines PMOS- etwa um die Hälfte kleiner als das eines NMOS-Transistors [18]. Dies ist eine Folge der geringeren Beweglichkeit der Ladungsträger (Löcher- anstatt von Elektronenleitung). Der Kanallängenmodulationsfaktor[8] λ ist sehr klein und kann meist vernachlässigt werden, außer man zwingt dem Transistor bei konstanter Gate-Spannung einen Drain-Strom auf: U_{DS} muß dann gemäß Gleichung (3.2) folgen.

Der Komparator soll den Ausgangsspannungsbereich eines Pixels von 1 bis 2.8 Volt sicher abdecken. Damit T2 und T3 überhaupt leiten, muß deren Eingangsspannung noch um U_T größer als U_{DS} von T1 sein. Damit ergibt sich mit (3.1) eine obere Grenze für die Bias-Spannung:

$$\begin{aligned} U_{EINMIN} &= U_{DST1} + U_T \\ U_{DST1} &> U_{BIAS} - U_T \\ &\Rightarrow U_{EINMIN} > U_{BIAS} \end{aligned} \tag{3.4}$$

Ist diese Bedingung erfüllt, bestimmt die Bias-Spannung den durch T1 und die beiden Zweige des Differenzverstärkers fließenden Strom. Er beträgt etwa 1 µA bei 0,9 Volt. Stellt man sich T1 als Parallelschaltung zweier identischer Transistoren vor, mit gleichem Parameter β wie auch T2 bis T7, erhält man bei gleichen Eingangsspannungen an T6 eine Gate-Source-Spannung vom Betrag der Bias-Spannung und am Ausgang der zweiten Verstärkerstufe liegt dann die halbe Betriebsspannung Vcc an, da $|U_{GS}|$ von T7 gleich $|U_{GS}|$ von T6 ist. Dies folgt aus Symmetriegründen oder durch Einsetzen in (3.2), da I_D in allen Transistoren identisch ist.

Auch T2 und T3 befinden sich im Sättigungsbereich, da Vcc mit 5 Volt größer als die zweifache Bias-Spannung ist. Ändert sich nun die Eingangsspannung an einem dieser Transistoren, ändert sich auch dessen Drainstrom gemäß (3.2). Da der gesamte Strom durch T1 vorgegeben ist, nimmt der Strom im anderen Zweig entsprechend ab. T4 und T5 reagieren aber auf eine Stromänderung mit einer starken Verschiebung ihrer Drain-Source-Spannungen ($\lambda \cong 0$). Dies ändert das Gate-Potential von T6, wodurch dessen Drain-Anschluß auf Masse oder Vcc geht, da U_{GS} von T7 konstant ist. In der Simulation des Komparators reicht dafür schon eine Eingangsspannungsdifferenz von 10 mV aus.

Bei der Realisation dieser Schaltung muß dem Umstand Rechnung getragen werden, daß eine perfekte Symmetrie beider Zweige nicht erreichbar ist. Durch lokale Variationen im Herstellungsprozeß entstehen immer Transistoren mit leicht unterschiedlichen Parametern. Dies führt bei den Transistoren T2 und T3 bzw. T4 und T5 zu einem Offset des Komparators: die Eingangsspannungsdifferenz, bei der der Ausgang von Masse auf Vcc wechselt, liegt nicht mehr exakt bei Null, sondern gaußverteilt um Null herum. In der verwendeten CMOS-Technologie beträgt das Sigma etwa 10 Millivolt. Diese Verschiebung bewirkt im Kamerachip bei allen Pixeln einer Zeile, die sich ja den Komparator teilen, einen Fehler der digitalisierten Helligkeitswerte in der Größenordnung einiger LSB, der als statisches Streifenmuster im Kamerabild zu sehen ist.

Wenn man die Transistoren einer Differenzstufe durch Parallelschaltung verdoppelt und so im Quadrat anordnet, daß jeder Zweig auf einer Diagonalen liegt, läßt sich ein Teil der Prozeßschwankungen kompensieren. Variiert ein Parameter über die Fläche dieser Schaltung hinweg mit einem konstanten Gradienten, heben sich die Abweichungen größtenteils auf. In der

---

[8] Wenn V_{DS} im Sättigungsbereich weiter erhöht wird, verkürzt sich die effektive Kanallänge. Diesen Effekt nennt man Kanallängenmodulation. Er bewirkt eine Erhöhung des Sättigungsstroms, da der Drain-Strom proportional zu 1/L ist. Der Kanallängenmodulationsfaktor λ, mit dem diese Zunahme beschrieben wird, beträgt etwa $0{,}01\text{V}^{-1}$.

Abbildung 13 kann man dies für T4 und T5 sowie T2 und T3 erkennen. Um den Komparator so klein wie möglich zu halten, haben alle Transistoren die im Prozeß erlaubten Minimalmaße von 2 auf 1,2 µm. Da T2 bis T5 aus jeweils zwei parallel geschalteten Transistoren bestehen, besitzen sie effektiv die doppelte Breite, also 4 µm. Diese Dimensionierung weicht von der oben beschriebenen ab, danach sollte T1 breiter sein. Der Fehler in der Ausgangsspannung der Differenzstufe beträgt bei einer Bias-Spannung von 0,9 Volt etwa 80 mV, oder 10% vom Gesamthub dieser Stufe. Dies beeinträchtigt die Funktion des Komparators nicht.

Die beiden NOR-Gatter und der Inverter erzeugen aus dem Ausgangssignal des Komparators ein komplementäres Taktsignal, bei dem sicher gestellt ist, daß zu keinem Zeitpunkt beide Leitungen *high* sind. Durch die Rückkopplung der Ausgänge auf das jeweils andere Gatter kann ein Signal erst auf eins gehen, wenn das andere auf null liegt. Diese Form von Taktsignal wird von den Meßwertspeichern benötigt. In Abbildung 13 sind Gatter und Inverter zu sehen, sie schließen sich direkt an die zweite Komparatorstufe an.

3.5.2 Rampengenerator

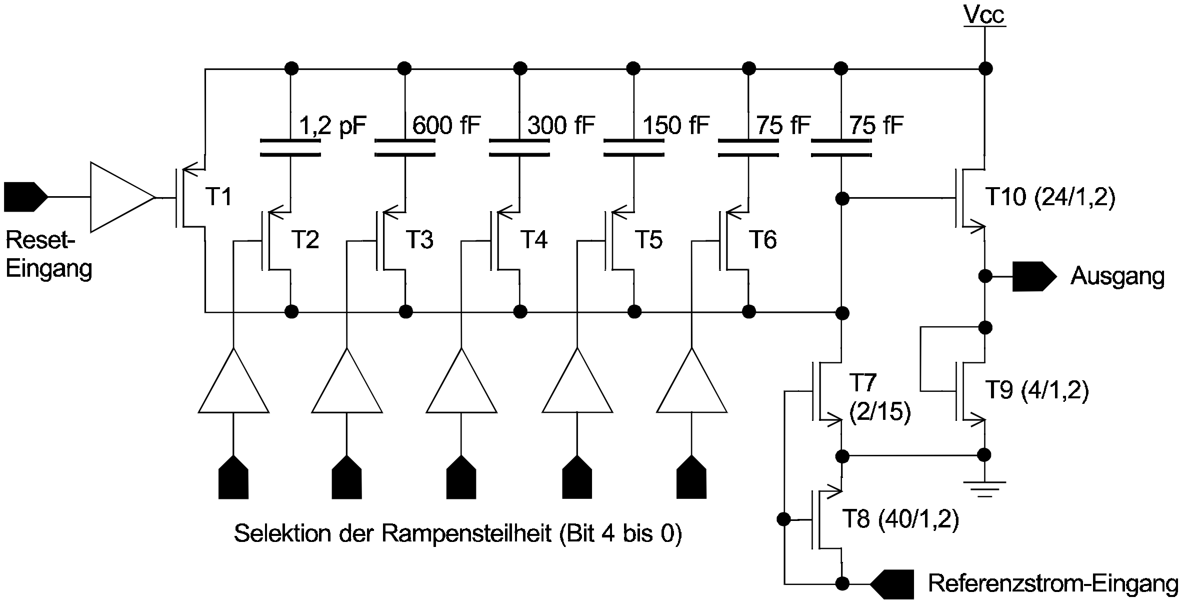


Abbildung 14: Schaltplan des Rampengenerators. Die Zahlen, die bei einigen Transistoren in Klammern stehen, sind Breite und Länge ihres Kanals.

Der Rampengenerator liefert die Referenzspannung für alle 65 Komparatoren. Sie hat die Form einer von 3 auf 0,8 Volt abfallenden linearen Rampe. Um sie zu erzeugen, wird eine Kapazität mit einem konstanten Strom geladen. Die Spannung am Kondensator ändert sich dann linear mit der Zeit:

$$\dot{U} = \frac{\dot{Q}}{C} = \frac{I_{const}}{C}$$

Als Stromquelle dient ein Transistor (T7 in Abbildung 14) mit einem langen, schmalen Kanal. Damit ist der Kanallängenmodulationsfaktor λ minimal, und der Drain-Strom aus Gleichung (3.2) näherungsweise unabhängig von der Drain-Source-Spannung. Er beträgt etwa 50 nA. Eingestellt wird der Strom über einen externen Referenzstrom. T7 und T8 bilden dabei einen Stromspiegel mit einem Spiegelverhältnis I_{DT7}:I_{DT8} von 1:1200. Damit kann der Referenzstrom einfach durch einen Präzisionswiderstand außerhalb des Kamerachips festgelegt werden.

Da die Ausgangsleitung des Rampengenerators quer über den ganzen Chip geführt werden muß, ist noch ein Impedanzwandler notwendig. Sonst könnten leicht Signale von anderen Schaltungsteilen kapazitiv auf diese Leitung eingekoppelt werden. Zu diesem Zweck bilden T9 und T10 einen Sourcefolger mit niedrigem Ausgangswiderstand.

Um die Rampensteilheit einstellen zu können, ist der Kondensator in binär abgestufte Untereinheiten von 75 bis 1200 fF aufgeteilt. Über die Transistoren T2 bis T6 werden die gewünschten Kapazitäten eingeschaltet. So entsteht durch Parallelschaltung ein Kondensator von 75 bis 2400 fF, programmierbar mit einer Auflösung von 75 fF. Dieser kann durch T1 entladen werden. Damit wird die Rampe zurückgesetzt. Sperrt man T1, beginnt der Ladevorgang, und das Potential, bezogen auf Vcc, sinkt mit konstanter Rate. Die Daten für die Rampensteilheit sowie das Reset-Signal zum Entladen kommen aus der Steuerlogik. Um Störsignale, die im digitalen Teil bei jedem Taktimpuls entstehen, vom Rampengenerator fernzuhalten, werden diese Leitungen über zwei hintereinandergeschaltete Inverter, sogenannte Buffer, auf die Gate-Anschlüsse von T1 bis T6 geführt. Sie sind in Abbildung 15 unten links zu sehen.

In der oberen Hälfte befinden sich die Kondensatoren. Sie bestehen aus zwei Lagen Polysilizium, von einer dünnen Oxidschicht getrennt. Man erkennt 32 identische Kondensatoren, die zu den verschiedenen Teilkapazitäten zusammengeschaltet sind.

3.5.3 Speicher

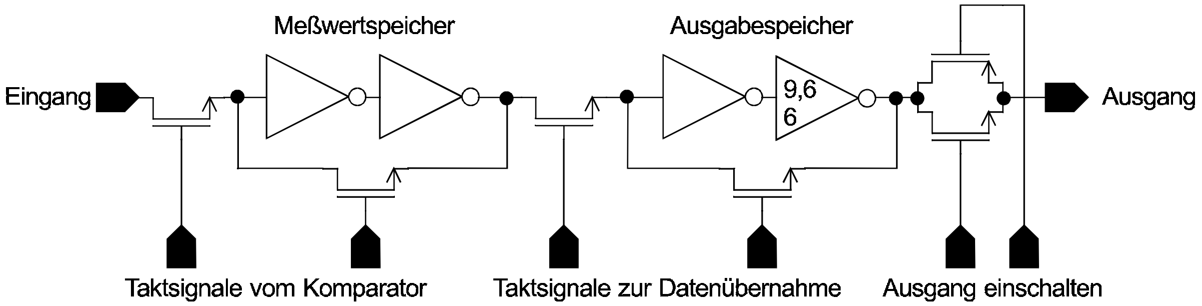


Abbildung 16: Schaltplan einer Speicherzelle. Die Zahlen, die im rechten Inverter stehen, sind die Kanalbreiten seines PMOS- (oben) bzw. NMOS-Transistors (unten).

Zu jedem ADC-Kanal gehören acht Speicherzellen. Sie enthalten jeweils ein Bit des Meßwert- sowie des Ausgabespeichers. Damit ist ein sehr kompaktes Layout (siehe Abbildung 17) möglich, da der gesamte Speicher des Kamerachips einfach durch eine Matrix aus 65 Zeilen und 8 Spalten dieser Zellen gebildet wird. Die zur Verdrahtung nötigen Leiterbahnen sind so in diese Speicherblöcke integriert, das durch Aneinanderreihen automatisch die richtige Speicherstruktur entsteht. Vertikal laufen dann die beiden 8 Bit breiten Datenbusse für den Zähler und für die Ausgabedaten, sowie die Signale zur Datenübernahme, durch die Matrix, horizontal die Signale vom Komparator und die Ausgangssteuerung.

Ein Datenbit wird in einem *latch* gespeichert. Diese Schaltung besteht aus zwei Invertern und zwei Transistoren, die als Schalter arbeiten (siehe Abbildung 16). Als Steuersignal dient ein nicht überlappendes, komplementäres Taktsignal. Im transparenten Modus leitet der Transistor am Eingang, der Transistor in der Rückkopplung sperrt. Am Ausgang des zweiten Inverters liegt also das Eingangssignal an. Der Speichervorgang erfolgt beim Übergang von der ersten Taktphase zur zweiten. Der Eingangstransistor wird abgeschaltet, die Rückkopplung aktiviert. Das Datenbit ist jetzt gespeichert. Mit sechs Transistoren (zwei pro Inverter plus die Schalter) ist dies die kompakteste Realisierung eines digitalen Speichers mit getrennten Ein- und Ausgängen, abgesehen von dynamischen Speichern, bei denen das Datum als Ladung eines Kondensators gespeichert wird. Diese benötigen aber spezielle Leseverstärker und die gespeicherte Ladung muß von Zeit zu Zeit wieder aufgefrischt werden, um den Verlust durch Leckströme auszugleichen.

Das erste *latch* speichert ein Bit des Zählers, gesteuert durch die Taktleitungen vom Komparator. Das zweite übernimmt als Zwischenspeicher für die Ausgabe nach einem Meßzyklus das Datum des ersten, um es dann während des nächsten Zyklus auszugeben. Da sich 65 Speicher eine gemeinsame Datenleitung teilen, befinden sich zwei Schalttransistoren zwischen dieser und dem Ausgang des *latches*. Dieses *transmission gate* wird vom Zeilenschieberegister aktiviert, so daß die Informationen Zeile für Zeile ausgegeben werden. Um einen Datenverlust durch *charge sharing* zu verhindern, sind die Ausgangstransistoren der zweiten Speicherzelle um einen Faktor 3 breiter als die des *transmission gates*. Unter *charge sharing* versteht man die Aufteilung einer vorhandenen Ladungsmenge beim Zusammenschalten mehrerer Kapazitäten. Durch die damit verbundene Spannungsänderung kann es bei rückgekoppelten Schaltkreisen zu Fehlern kommen. Die Kapazität der Datenleitungen beträgt etwa 3 pF. Haben aufeinanderfolgende Zeilen entgegengesetzte Logikpegel, muß diese umgeladen werden. Mit der Aktivierung des *transmission gates* fließen Ladungen vom Inverter auf die Leitung, damit verändert sich dessen Ausgangsspannung. Da diese aber über die Rückkopplung auch die Eingangsspannung bestimmt, kann das *latch* umkippen, d.h. statt seinen Inhalt auf die Datenleitung zu legen, übernimmt es deren Zustand! Um dies zu verhindern, muß sichergestellt werden, daß die Ladung am Ausgang langsamer abfließt als sie von der Stromversorgung nachgeliefert wird. Dies wird durch die Dimensionierung der Transistoren erreicht. Da man hier einen Kompromiß zwischen der Größe der Speicherzellen und der Geschwindigkeit, mit der die Ausgangsleitungen umgeladen werden können, finden muß, ist die Breite der Transistoren des zweiten Inverters sowie des *transmission gates* der die Geschwindigkeit bestimmende Faktor für den kompletten Kamerachip. Bei der obigen Dimensionierung benötigt das latch etwa 90 ns, bis sich der neue Logikpegel eingestellt hat (auf 10 bzw. 90 Prozent der Betriebsspannung bezogen).

Charge sharing ist auch der wichtigste Grund, warum sich die *high*-Phasen der Taktsignale nicht überlappen dürfen: sind nämlich beide Transistoren eingeschaltet, stellt sich am Eingang des ersten Inverters eines *latches* vorübergehend ein undefinierter Zwischenzustand ein, der auf die Eingangsleitung rückwirkt. Beim Meßwertspeicher könnte dies zu einer Beeinflussung einer benachbarten Zeile führen oder der Ausgabespeicher wäre in der Lage, das Bit im Meßwertspeicher umkippen. Wie in 3.5.1 erwähnt, wird ein geeignetes Taktsignal in jedem Komparator mit zwei NOR-Gattern und einem Inverter erzeugt.

3.5.4 *Schieberegister*

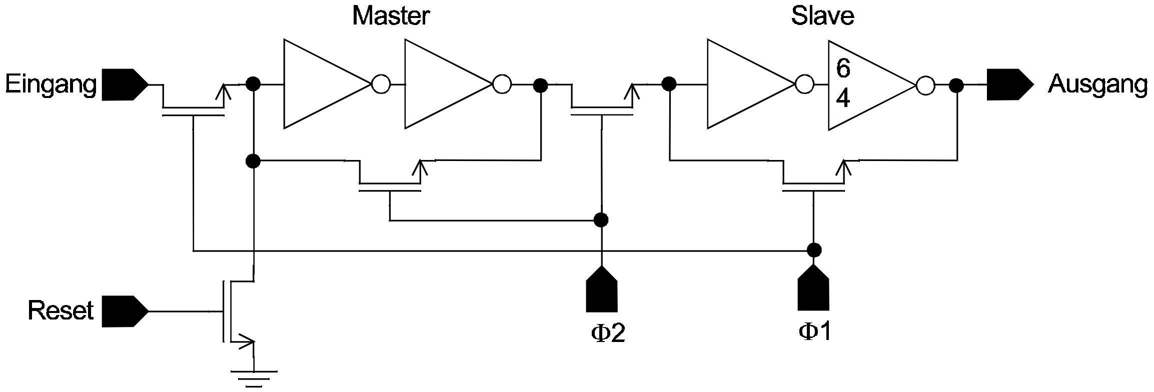


Abbildung 18: Schaltplan einer Schieberegisterzelle. $\phi1$ und $\phi2$ bezeichnen die beiden komplementären Taktsignale.

Zur Ansteuerung der Matrixspalten und zur zeilenweisen Auslese der Speicher dienen zwei Schieberegister von 64 bzw. 65 Bit Breite mit parallelen Ausgängen. Die einzelnen Zellen sind vom oben beschriebenen Speicher abgeleitet. Auch sie sind auf minimale Fläche optimiert und so layoutet, daß sich durch Anreihen das komplette Schieberegister ergibt (siehe Abbildung 19). Ein zusätzlicher *Reset*-Eingang ermöglicht das Löschen aller Zellen.

Die Schaltung (Abbildung 18) besteht aus zwei in Serie geschalteten Speichern, die als *Master-Slave* Flip-Flop arbeiten. Damit wird, im Gegensatz zum einfachen *latch*, in jeder Taktphase eine vollständige Trennung zwischen Ein- und Ausgang erreicht. Üblicherweise bezeichnet man die beiden komplementären Taktsignale in solch einer Schaltung mit $\phi1$ und $\phi2$. Ist $\phi1$ *high*, übernimmt der *Master* das Eingangssignal, während der Ausgang auf dem vom *Slave* gespeicherten Wert liegt. In der zweiten Taktphase, wenn sich $\phi2$ auf eins befindet, überträgt das Flip-Flop das Bit vom *Master* auf den *Slave*. Dabei bleibt es im *Master* gespeichert. *Charge sharing* Probleme treten nicht auf, da in dem Moment, in dem sich der Ausgangspegel ändert, die Daten im *Master* gespeichert sind und vom *Slave* ausgegeben werden, ohne daß eine Rückkopplung vom Ausgang zum *Master* existiert.

4 Die Kamera

Um den Kamerachip zu testen, wurde für ihn ein Kameraprototyp aufgebaut. Er ist in Abbildung 20 zu sehen. Dafür wurden die fertigen Chips vom Hersteller in Gehäuse eingesetzt, um sie leicht auswechseln zu können (siehe Abbildung 22). Die Kamera selbst basiert auf einer kleinen Leiterplatte, die auf der einen Seite mit den nötigen elektronischen Bauteilen, auf der anderen mit dem Sockel für das Chipgehäuse bestückt ist. Sie kann direkt an einen portablen IBM-PC-kompatiblen Computer, einen akkubetriebenen *Notebook*, angeschlossen werden.

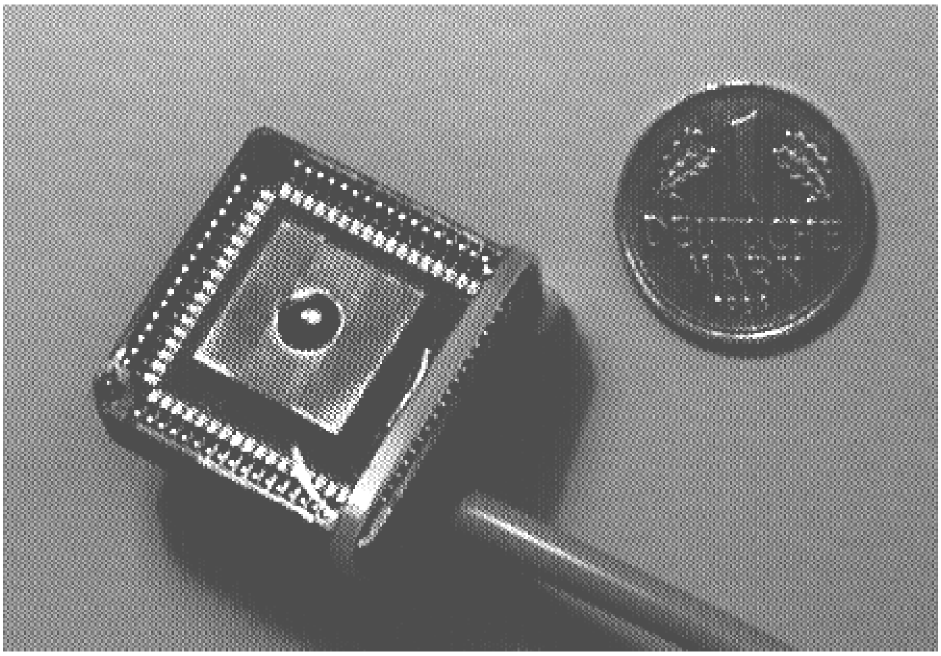


Abbildung 20: Photo des Kameraprototyps

Die Optik besteht aus einer einzigen, in ein Trägerplättchen eingeklebten Linse. Die richtige Brennweite kann durch verschieden dicke Abstandhalter zwischen dem Chipgehäuse und dem Linsenträger eingestellt werden. Verwendet wurden verschiedene Linsen mit 4 bis 6 mm Brennweite. Es hat sich aber gezeigt, daß für eine endgültige Kamera eine leistungsfähigere Optik nötig ist. Der gewünschte Öffnungswinkel von mindestens 90° führt bei einer Sensorfläche von 4,1 mm^2 zu Brennweiten im Bereich um 2 mm. Einzellinsen mit solch kurzer Brennweite haben einen ähnlich geringen Durchmesser und liefern auf den Randbereichen des Kamerachips keine befriedigende Abbildungsqualität mehr.

Die auf der Rückseite der Kamera untergebrachte externe Beschaltung ist umfangreicher als unbedingt nötig. Den Schaltplan zeigt Abbildung 21. Es wurde ein Digital/Analog-Konverter für die Erzeugung der Bias-Spannungen eingesetzt, der vom Computer programmiert werden kann. Damit können verschiedene Einstellungen schnell ausgetestet werden. Dieser DAC vom Typ Maxim 512 besitzt drei unabhängige analoge Ausgänge mit jeweils 8 Bit Auflösung. Einer davon ist mit V_{cas} und dem Analogeingang des Kamerachips verbunden. Da V_{cas} nur zur Einstellung der Pixel dient und keinen Einfluß auf den 65. A/D-Wandler hat, der ja mit dem

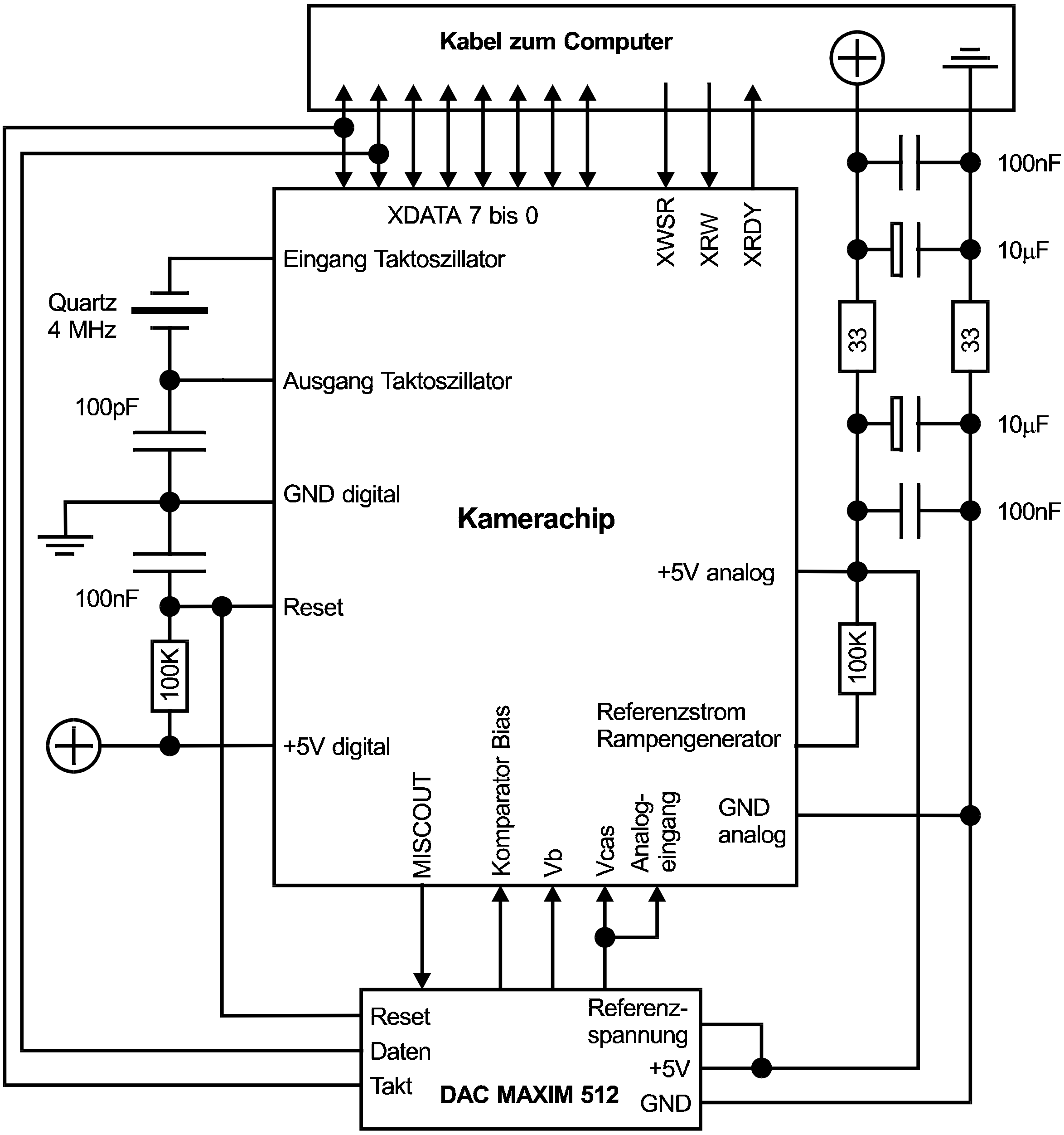


Abbildung 21: Schaltplan der Kamera

Analogeingang verbunden ist, kann dieser schnell über den DAC getestet werden. Damit kann auch ohne Beleuchtung ein Funktionstest des Chips durchgeführt werden. Zu Ansteuerung dieses Digital/Analog-Wandlers werden keine zusätzlichen Leitungen benötigt. Mittels des MISCOUT-Ausgangs des Kamerachips wird seine Schnittstelle aktiviert, dann überträgt man die Daten seriell über XDATA6, wobei XDATA7 als Taktsignal fungiert. Sind alle Bits übertrage, wird die MISCOUT-Leitung deaktiviert. Der DAC interessiert sich dann nicht mehr für die Signale auf den Datenleitungen, so daß der normale Auslesebetrieb stattfinden kann.

Ansonsten finden sich auf der Platine ein RC-Glied zur Erzeugung eines *Reset*-Signals beim Einschalten der Versorgungsspannung, eine Filterschaltung, um vom Digitalteil erzeugte Störsignale von der Stromversorgung der analogen Komponenten fernzuhalten, ein Referenzwiderstand für den Rampengenerator und das Schwingquarz der internen Oszillatorschaltung.

Anstelle des Quarzes kann auch ein RC-Glied verwendet werden. Damit läßt sich entweder Platz sparen, oder man setzt ein Potentiometer anstelle eines festen Widerstands ein, um die Taktfrequenz variieren zu können. Dies kann man auf dem Photo in Abbildung 23 sehen.

Der Anschluß an den Computer erfordert jene 11 Signalleitungen, die im vorangegangenen Kapitel beschrieben wurden, sowie eine 5 Volt Spannungsversorgung. Das Datenübermittlungsprotokoll erlaubt einen direkten Anschluß an eine IEEE1284 konforme parallele Schnittstelle, die im ECP[9]-Modus betrieben wird [19,20,21]. Diese Erweiterung der alten Centronics-Norm definiert einen bidirektionale Port mit asynchronem *Handshake*, dessen Anbindung an das interne Bussystem des Computers über eine 16 Byte tiefe Fifo[10] erfolgt. Damit sind je nach Rechnermodell Übertragunsraten von 1 bis über 2 Megabytes pro Sekunde möglich, ohne den Prozessor stark zu belasten. Dies ermöglicht Bildraten zwischen 240 und 500 Bilder pro Sekunde. Da die Stromaufnahme der Kamera unter 15 mA liegt, ist die Versorgung über den Akku des *Notebooks* möglich. Leider stellte das von uns verwendete Modell an keiner seiner Schnittstellen eine geeignete Spannung zur Verfügung, und wir behalfen uns mit einer 9 Volt Blockbatterie sowie einem kleinen Spannungsregler vom Typ 78L05.

Das Chipgehäuse und der dazugehörigen Sockel auf der Kameraplatine bestimmen die Größe des Prototyps. Für den späteren Einsatz mit Blinden ist eine Miniaturausführung in Vorbereitung. Der Chip wird dafür direkt auf eine kleine Platine von etwa 1,5 cm^2 *gebonded*[11], auf deren Rückseite nur noch ein Minimum an passiven Bauelementen untergebracht sein wird.

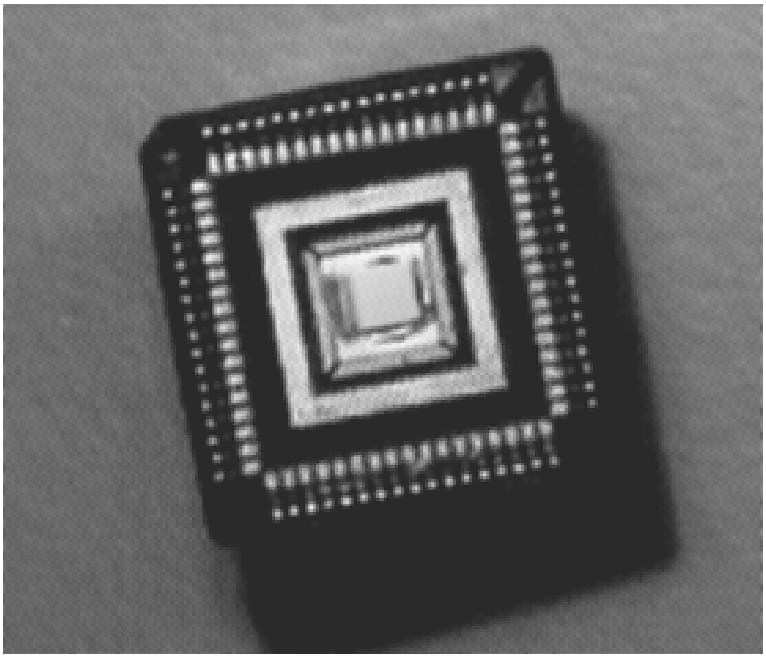


Abbildung 22: Die Kamera ohne Linsenhalterung. In der Mitte ist der Kamerachip zu sehen.

---

[9] Enhanced Capabilities Port

[10] First In First Out- in Form einer Warteschlange organisierter Speicher, der älteste gespeicherte Wert wird zuerst ausgegeben

[11] *Bonden* nennt man die Verdrahtung eines Mikrochips in einem Gehäuse oder auf einer Platine mittels haarfeiner Gold- oder Aluminiumdrähte

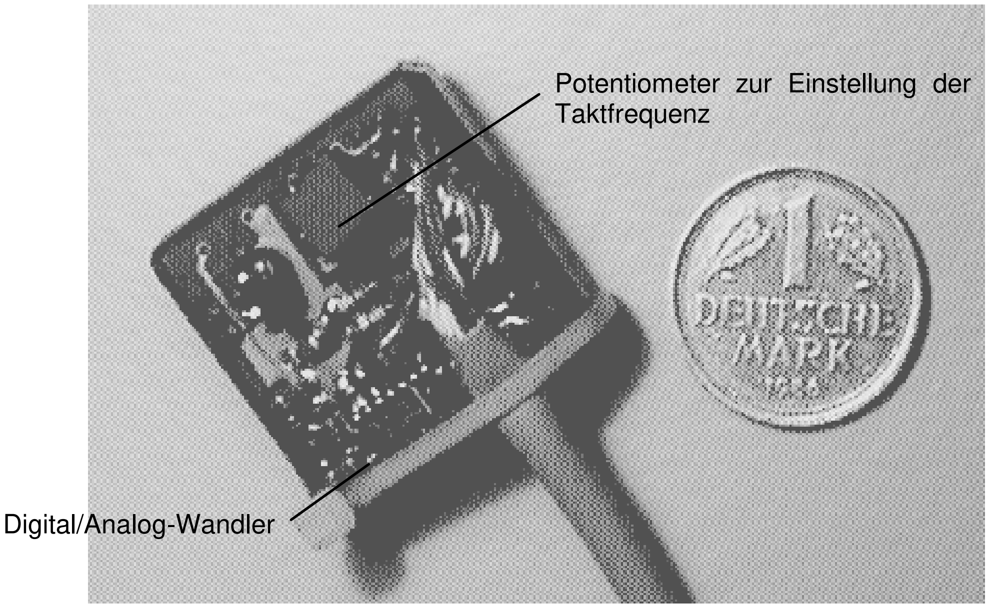


Abbildung 23: Blick auf die Rückseite der Kamera

5 Messungen

Um den Chip zu charakterisieren wurden eine Reihe von Messungen durchgeführt. Verwendet wurde dazu immer die im vorangegangenen Abschnitt beschriebene Schaltung, die mit dem Testrechner über ein dünnes (16 Adern à 0,016 mm^2), nicht abgeschirmtes Rundkabel von etwa 1,8 Metern Länge verbunden war. Damit entsprechen die bei den verschiedenen Messungen ermittelten Werte denjenigen, die unter realistischen Einsatzbedingungen zu erwarten sind. Auf die Messung unter Laborbedingungen, d.h. perfekte Abschirmung, getrennte Versorgung von Analog und Digitalteil, Entkopplung der digitalen Ein- bzw. Ausgänge des Chips von dem Verbindungskabel usw., wurde bewußt verzichtet, da das Ziel dieser Arbeit ein portables, einfach zu handhabendes Bildaufnahmesystem aus einem einzigen integrierten Schaltkreis war, das auch in gewissem Maße robust gegenüber den im normalen Umfeld anzutreffenden elektrischen Störungen sein sollte.

Alle Messungen wurden mit einer eigens für dieses Projekt entwickelten Steuer- und Bildverarbeitungssoftware, die später noch im einzelnen beschrieben werden wird, durchgeführt. Die vom Chip zum Rechner übertragenen Daten wurden auf dessen Festplatte abgelegt, und später mit handelsüblicher Numeriksoftware ausgewertet.

Von den fünf Chips, die wir von der Herstellerfirma erhalten hatten, waren drei aufgrund eines Produktionsfehlers nicht funktionsfähig. Durch ein Mißgeschick beim Montieren der Linse wurde später auch noch der vierte Baustein beschädigt, so daß die Messungen an der Pixelmatrix nur mit einem einzigen Chip möglich waren. Die qualitativen Untersuchungen, die vorher noch durchgeführt wurden, lassen aber nicht auf relevante Unterschiede schließen. Auch die Messungen an den Analog/Digital-Wandlern zeigten keine nennenswerten Differenzen zwischen den beiden zur Verfügung stehenden Chips, so daß aus Zeitgründen nur einer genauer untersucht wurde.

5.1 Analog/Digital-Wandler

Da die Ausgangssignale der Pixelmatrix nur über die A/D-Wandler zugänglich sind[12], ist deren Charakterisierung Voraussetzung für einen Untersuchung der Pixel selbst. Alle durchgeführten ADC-Tests waren statische Tests, d.h. eine feste Spannung wurde angelegt und ein Meßzyklus ausgelöst. Dynamische Tests waren mit dem System schlecht möglich, da die Echtzeitfähigkeit der Software und die Geschwindigkeit des Testrechners nicht ausreichend waren, um längere Meßreihen mit exakt festgelegter Auslesefrequenz durchzuführen. Da die im Betrieb der Kamera zu erwartenden Signalfrequenzen allerdings weit unterhalb der Wandlerrate von 16 kHz (bei einer Zyklusdauer von 64 µs) liegen, stellt dies keine große Einschränkung dar.

Die Zählerverzögerung und die Rampensteilheit wurden so eingestellt, daß der Wandler mit seinen 256 Codewerten einen Eingangsspannungsbereich zwischen 1 und 2,7 Volt besaß. Der

---

[12] Mit Ausnahme der 14. Zeile, die einen analogen Testausgang besitzt. Dieser dient einerseits dazu, bei einem totalen Versagen der A/D-Wandler trotzdem noch die Funktionsfähigkeit der Pixel testen zu können, andererseits um das zeitliche Verhalten der Pixel innerhalb eines Wandlerzyklus zu beobachten.

Oszillator wurde mit einem 4 MHz Quarz betrieben. Ein LSB[13], bzw. der Abstand zwischen zwei Codewechseln, betrug damit 6,7 mV. Die Bias-Spannung der Komparatoren lag bei 1 Volt. Als Spannungsquelle wurde an den Analogeingang des Kamerachips, der intern direkt an den 65. Komparator angeschlossen ist, ein präziser digitaler Funktionsgenerator vom Typ Hewlett Packard 33120 [22] angeschlossen. Angesteuert wird er über eine RS232 Verbindung direkt vom Testrechner. Dessen Programm fuhr den Bereich von 0,9 bis 2,8 Volt in 0,5 mV Schritten durch, wobei bei jeder Spannung vier Bilder eingelesen wurden. Da der Analogeingang unabhängig vom Spaltenschieberegister bei jedem Meßzyklus einmal gelesen wird, d.h. in den Daten jeder Bildspalte als 65. Wert erscheint, ergibt dies 256 Meßwerte pro Eingangsspannung. Aus diesen Daten wurden dann folgende Kenngrößen der Wandler bestimmt:

- Monotonie und fehlende Werte (*missing codes*)
- Differentielle Nichtlinearität
- Integrale Nichtlinearität
- Rauschen

Einen A/D-Wandler bezeichnet man als monoton, wenn eine Erhöhung der Eingangsspannung um 1 LSB zu einer Ausgangscodedifferenz ≥ 0 führt. *Missing codes* sind ganz im Sinne des Wortes Ausgangscodes, die auch beim kontinuierlichen Durchfahren des Eingangsspannungsbereichs nie erzeugt werden, der ADC läßt sie einfach aus. Beide Aussagen sind qualitativ zu verstehen; sie stellen nur eine obere Grenze der Nichtlinearitäten dar. Da der Wandler durch die freie Programmierbarkeit von Offset und Steilheit seiner Übertragungsfunktion keine feste Zuordnung zwischen analoger Eingangsspannung und digitalem Code besitzt, ist die differentielle Nichtlinearität (DNL), in die nur die relativen Fehler zwischen den Übergängen zweier Codes eingehen, die entscheidende Kenngröße. Definiert ist sie als die Differenz zwischen der gemessenen Breite B_i eines Codes und dem Sollwert der Breite, bezogen auf ein LSB. Als Sollwert wird einfach der Mittelwert aller Codebreiten $\overline{B}$ verwendet.

$$DNL_i = \frac{\overline{B} - B_i}{\overline{B}} \tag{5.1}$$

Unter der Breite eines Codes versteht man die Größe des Eingangsspannungsintervalls, das diesen Ausgangscode erzeugt. Die mittlere Breite definiert also gerade den Betrag des LSB des Wandlers. Gäbe es keine Linearitätsfehler, würde alle $\overline{B}$ Volt der nächste Code generiert.

Liegt die differentielle Nichtlinearität unter einem halben LSB, ist der Wandler mit Sicherheit monoton. Auch *missing codes* haben einen Fehler dieser Größe zur Folge. Aus der differentiellen Nichtlinearität läßt sich durch Aufaddieren die integrale Nichtlinearität (INL) berechnen:

$$INL_j = \sum_{i=1}^{j} DNL_i \tag{5.2}$$

Um die einzelnen Codebreiten zu erhalten, müssen die Übergänge zwischen den Ausgangscodes möglichst genau bestimmt werden. Dazu wurden die Meßdaten zuerst daraufhin untersucht, ob bei einer Eingangsspannung mehr als zwei Codes auftraten. Bis auf eine Ausnahme durch einen Designfehler, die später noch beschrieben wird, war dies nicht der Fall. Zu jeder Meßspannung enthielten die Daten entweder nur einen oder zwei aufeinanderfolgende Code-

---

[13] Least Significant Bit, niederwertigstes Bit eines Binärcodes

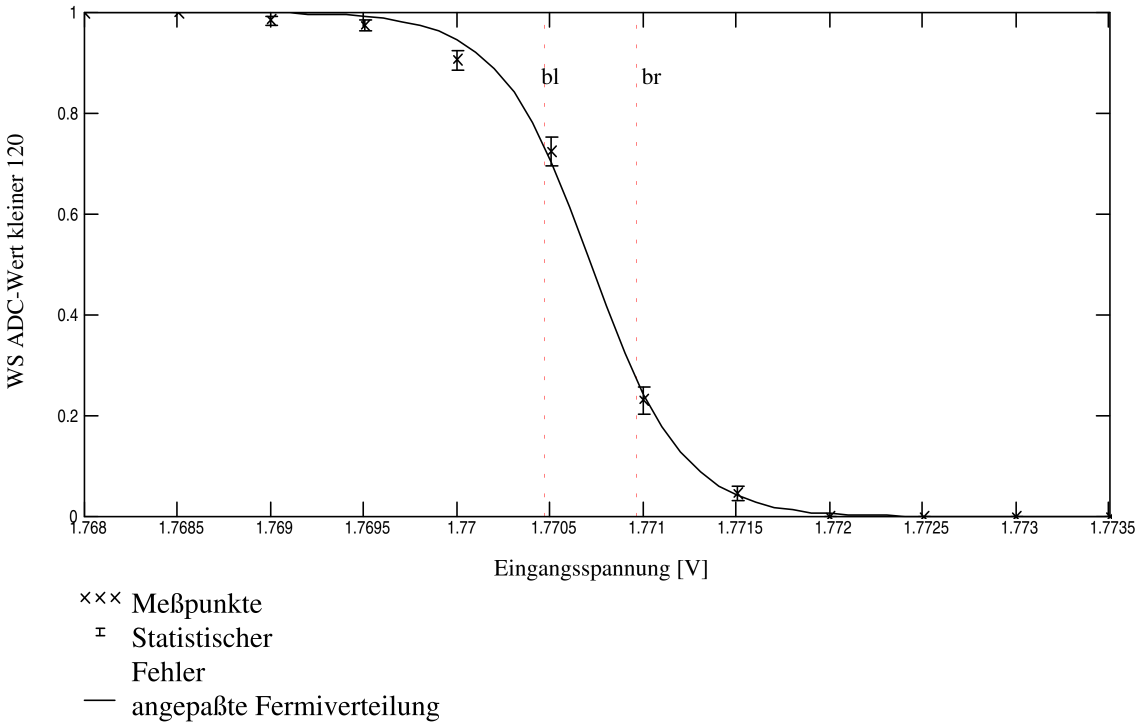


Abbildung 24: Übergang zwischen zwei ADC Codes

werte in einem bestimmten Verhältnis. Für jeden der 255 möglichen Übergänge von Code *c*-1 nach *c* wurde aus diesem Verhältnis die Wahrscheinlichkeit *p* bestimmt, bei der gegebenen Eingangsspannung einen Code kleiner *c* zu erhalten. Abbildung 24 zeigt den typischen Verlauf dieser Wahrscheinlichkeit bei einem Übergang zwischen zwei Codes. Die Fehlerbalken zeigen den statistischen Fehler:

$$\sigma = \sqrt{\frac{p(1-p)}{256}} \tag{5.3}$$

Um die Spannung *U* zu bestimmen, die eine Wahrscheinlichkeit *p* von ½ zur Folge hat, wurde an die Daten für jeden Übergang folgende Verteilungsfunktion angepaßt:

$$p(U) = \frac{1}{1+e^{\frac{U-U_0}{b}}} \tag{5.4}$$

Ein Fit an diese Funktion, die einer Fermiverteilung entspricht, liefert mit dem Parameter U_0 den gewünschten Wendepunkt. Der Parameter *b* wird durch die Breite des Übergangs festgelegt. Diese Breite ist ein Maß für das Rauschen des ADC Systems. Sämtliche systematischen Fehler stecken in der Position des Wendepunkts, während die zufälligen Variationen den Übergangsbereich verbreitern.

Um den Fehler der auf diese Weise gewonnenen Werte abzuschätzen, wurde wie folgt verfahren: Ein Meßwert, der an der Stelle des Wendepunkts läge, hätte nach (5.3) einen statistischen Fehler von 1/32. Dieser Fehler wird mit der Abweichung der Meßwerte von der Verteilungsfunktion gewichtet. D.h. je nach dem, wie gut sich die Fermiverteilung an die Meßpunkte anpassen läßt, verkleinert oder vergrößert sich der Fehler von 1/32. Diese Abweichung wird auf

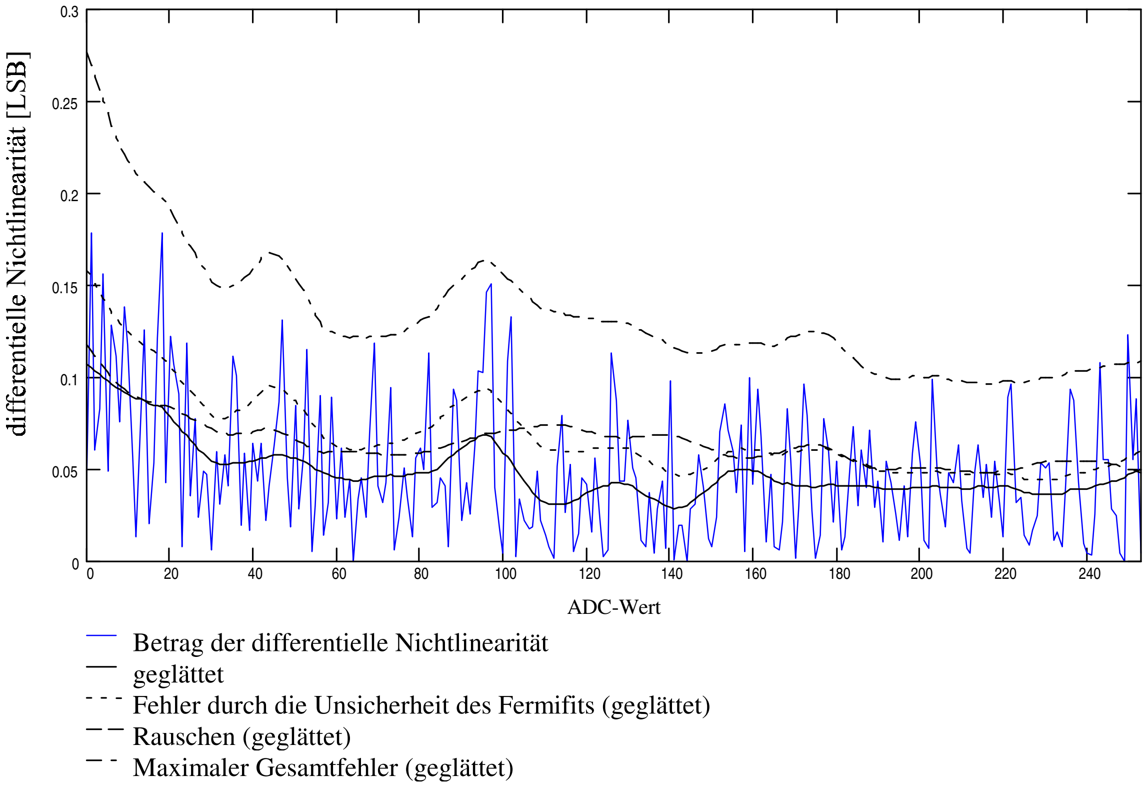


Abbildung 25: Differentielle Nichtlinearität und Rauschen

die Summe aller statistischen Fehler normiert. Dividiert durch den Betrag der Ableitung $\partial p/\partial U$ an der Stelle U_0 erhält man den Fehler ΔU des Wendepunktes U_0:

(5.5) $$\Delta U = \frac{1}{p'(U_0)} \frac{1}{32} \sqrt{\frac{\sum_i \left(p_i^{mess} - p_i^{fit}\right)^2}{\sum_i \sigma_i^2}}$$

Aus den 255 Übergangsspannungen U_i können die 254 Codebreiten B_i berechnet werden. Nach (5.1) ergeben sich daraus dann die differentiellen und aus (5.2) die integralen Nichtlinearitäten. Die Fehler ΔDNL_i in Einheiten von LSB folgen aus:

(5.6) $$\Delta DNL_i = \frac{\sqrt{\Delta U_{i+1}^2 + \Delta U_i^2}}{\overline{B}}$$

Der Betrag des Rauschens ergibt sich aus den Parametern b_i und b_{i+1} für die Breite der beiden Übergänge:

(5.7) $$Rauschen_i = \sqrt{b_i^2 + b_{i+1}^2}$$

In der Abbildung 25 sieht man der Verlauf der differentiellen Nichtlinearität und des Rauschens über den gesamten Codebereich des ADCs. Der leichte Anstieg im unteren Bereich ist vermutlich auf den Sourcefolger im Rampengenerator zurückzuführen. Dessen Ausgangswiderstand nimmt bei niedrigen Spannungen (im Bereich von 1 Volt und darunter) stark zu, damit wird die Leitung für die Referenzspannung, die ja quer über den ganzen Chip zu allen 65

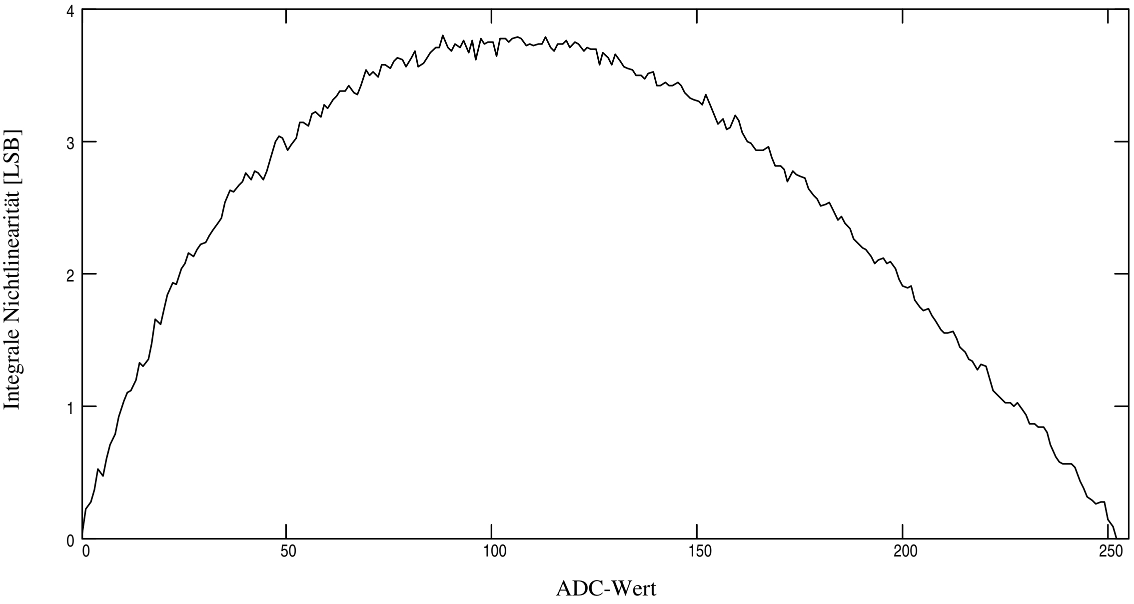


Abbildung 26: Integrale Nichtlinearität

Komparatoren führt, empfindlicher gegen Übersprechen. Ansonsten zeigt sich das *single slope* Konzept den Anforderungen gewachsen. Die DNL und das Rauschen haben mit 0,06 bis 0,1 LSB etwa denselben Betrag. Die Unterdrückung von Störsignalen aus dem Digitalteil funktioniert. Es wäre wohl möglich, auch noch eine relative Genauigkeit von 10 Bits zu erzielen.

Die Ursache für die in Abbildung 25 zu sehenden integralen Nichtlinearität von im Maximum fast 4 LSB ist ebenfalls der Ausgangsverstärker des Rampengenerators. Dessen Nichtlinearität spiegelt sich hier direkt wieder.

Beim Übergang vom Ausgangswert 127 auf 128 liefert der ADC fehlerhafte Daten. Je nach dem, wie nahe man sich mit der Eingangsspannung am Umschaltpunkt befindet, sind in den Ausgangswerten bis zu 20 Prozent Nullen enthalten. Die Ursache dafür liegt im Grayencoder (siehe Abbildung 6). Der Wechsel von 128 nach 127 sieht binär wie folgt aus (Tabelle 5):

Dezimal	Binärcode	Graycode
`128`	`10000000`	`11000000`
`127`	`01111111`	`01000000`

Tabelle 5: Der kritische Codewechsel von 128 nach 127

Durch das fehlende XOR-Gatter des 7. Bits ändert sich der Logikpegel dieser Leitung langsamer als die restlichen Zählerausgänge, da die Kapazität der Verbindung zu den 65 Meßwertspeichern sehr viel größer als die der Gattereingänge ist. Daher steht kurzzeitig ein falscher Binärwert am Grayencoder an, nämlich 11111111. Bei diesem Code sind alle Gatterausgänge *low*. Der entsprechende Graycode ist 10000000. Dies bedeutet, daß das 6. Bit von *high* auf *low* wechselt. Das 7. Bit ist sowieso schon dabei, auf null zu wechseln. Wenn dies geschehen ist, ändert sich der Ausgang des XOR-Gatters ebenfalls, da es jetzt den richtigen Eingangswert sieht. Dazwischen aber liegt für eine kurze Zeit der Wert 0 an den Meßwertspeichern an.

Schaltet ein Komparator gerade in diesem Moment, übernimmt der Speicher das falsche Datum. Dieses Problem könnte man durch Einfügen eines Buffers für das 7. Bit leicht lösen.

5.2 Pixelmatrix

Um das Verhalten der Pixel zu untersuchen, wurde die gesamte Matrix mit einer bestimmten Intensität gleichmäßig beleuchtet. Als Lichtquelle diente eine regelbare Halogenlampe mit Xenonfüllung. Mit einem Photometer konnte die absolute Intensität gemessen werden. Einige Sekunden lang wurden die Daten mit einer Rate von 20 Bildern pro Sekunde gespeichert. Auf diese Weise war es möglich, über einen Beleuchtungsbereich von 6 Dekaden die Ausgangssignale sämtlicher 4096 Pixel zu registrieren. Für die folgenden Darstellungen wurden jeweils die Daten von 50 Bildern pro Bestrahlungsintensität ausgewertet. Mittels des im Kameraprototyp eingebauten DACs konnte die Einstellung der A/D-Wandler überprüft werden, indem vor der Messung der Pixeldaten die ADC-Werte sämtlicher DAC-Ausgangsspannungen aufgezeichnet wurden. Die so kontrollierte Wandlereinstellung betrug 4,0 mV pro LSB. Bei dieser Einstellung, die im Vergleich zur Messung über den vollen Eingangsspannungsbereich aus dem vorangegangenen Abschnitt eine Erhöhung der Empfindlichkeit darstellt, liegt der nutzbare Eingangssignalbereich zwischen 1,0 und 2,0 Volt. Die Bias-Spannung der Komparatoren betrug 1,0 Volt, die der Pixel lagen bei 3,8 Volt für den Verstärker (V_b) und 3,1 Volt für den Kaskodentransistor (V_{cas}). Die Taktfrequenz des Chips war 2 MHz.

Abbildung 27 zeigt den Mittelwert des Ausgangssignals bei den verschiedenen Intensitäten. Die Grenzen ergaben sich aus dem Bereich, in dem es möglich war, die Halogenlampe so einzustellen, daß sowohl der Kamerachip als auch das Photometer gleichmäßig beleuchtet waren. Gemittelt wurden die Daten von 50 Messungen und allen 4096 Pixeln. Die Standardabweichung ist ebenfalls eingezeichnet. Abbildung 28 zeigt die Verteilung der Ausgangswerte der verschiedenen Pixel in Form eines Histogramms für jede Beleuchtungsintensität. Der Knick bei 0,1 Watt/m^2 kommt durch mangelhafte Abschirmung der Ausgangstransistoren der Pixel zustande. Als Abschirmung dient im Wesentlichen die obere, zweite Metallage des verwendeten CMOS-Prozesses. Da die Ausgangsleitung ebenfalls aus dieser Lage besteht, hat die Abschirmung zwangsläufig Lücken. Der Source-Bereich des Ausgangstransistors liegt direkt unter diesem Spalt. Er ist zwar so weit wie möglich mit der unteren, ersten Metallebene abge-

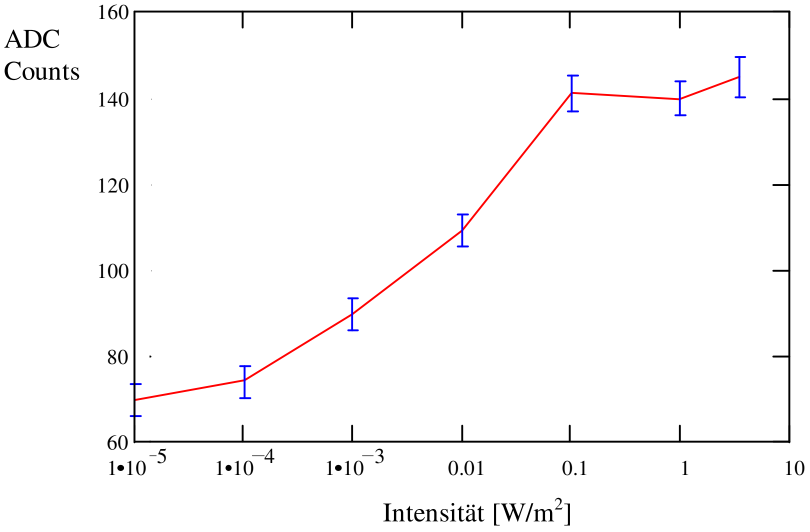


Abbildung 27: Über alle Pixel gemitteltes Ausgangssignal bei verschiedenen Lichtintensitäten

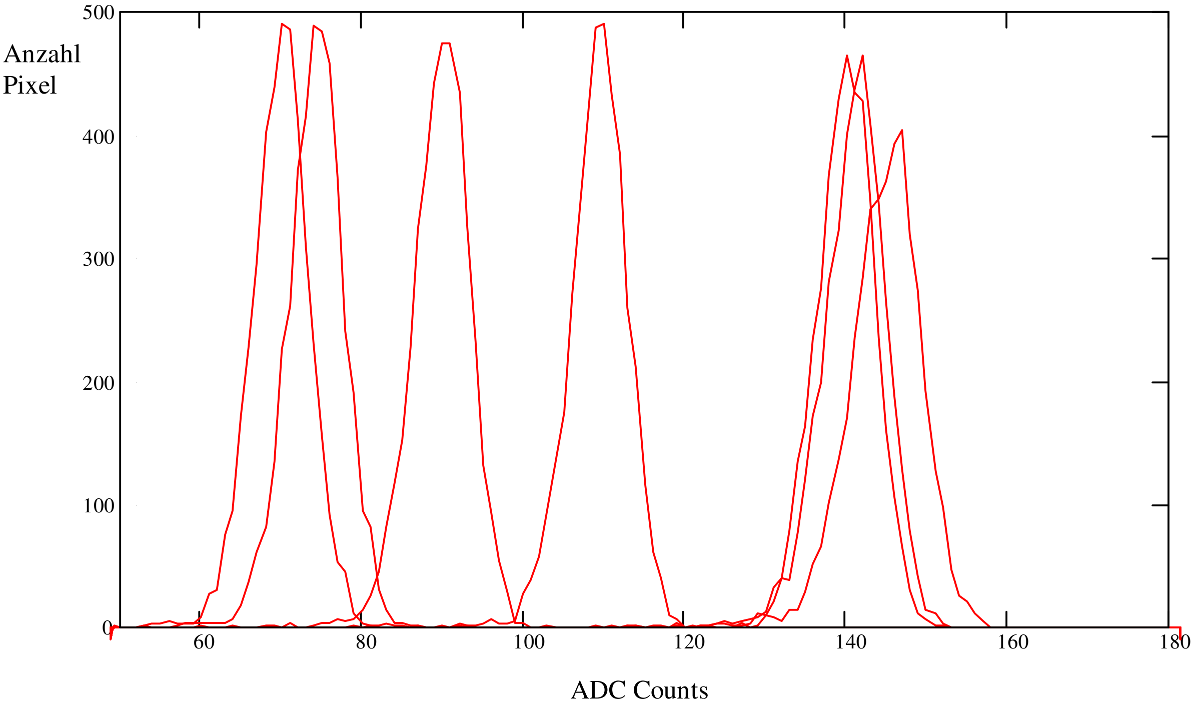


Abbildung 28: Histogramme der Ausgangswerte bei den selben Intensitäten wie in Abbildung 27. Die Intensität nimmt von links nach rechts zu.

deckt, aber gestreutes Licht kann ihn trotzdem noch treffen. Geschieht dies, bewirkt der so entstandene Photostrom ein Absinken des Potentials der Ausgangsleitung. Da 64 Pixel mit jeder Ausgangsleitung verbunden sind, ist dieser Effekt leider stark genug, um ein weiteres Ansteigen der Ausgangsspannung bei höheren Beleuchtungsintensitäten zu verhindern.

Abbildung 29 zeigt das RMS[14]-Rauschen des Kamerachips. Die Standardabweichungen der 50 Messungen pro Pixel wurden dazu über alle Pixel gemittelt. Um auch ein Maß für die Variation des Rauschens von Bildpunkt zu Bildpunkt zu haben, ist die Standardabweichung dieser 4096 Werte mit eingezeichnet. Das Rauschen enthält einen intensitätsabhängigen Anteil, der durch das Schrotrauschen der Photodiode bestimmt ist [3], und den Beitrag des ADC. Dieser liegt maximal bei 0,7 LSB. Ein halbes LSB davon ist das Quantisierungsrauschen[15], das zwangsläufig mit einer Analog/Digital-Wandlung verbunden ist, und knapp 0,2 LSB beträgt die Summe aller sonstigen Rauschquellen des Wandlersystems, die im vorangegangenen Abschnitt gemessen wurde (Umgerechnet auf die erhöhte Empfindlichkeit, d.h. die Verringerung des LSB von 6,7 auf 4 mV).

Die Streuung der zeitlichen Mittelwerte der Ausgangsspannungen der Pixel bei gleichmäßiger Beleuchtung hat ihre Ursache in Schwankungen von Prozeßparametern während der Herstellung. Besonders der im Subthreshold-Bereich als Logarithmierer des Photostroms arbeitende Transistor (siehe Kapitel 2) reagiert aufgrund seiner exponentiellen Abhängigkeit zwischen

---

[14] Root Mean Square - Wurzel aus der mittleren quadratischen Abweichung

[15] Das Quantisierungsrauschen entsteht durch die Abbildung des kontinuierlichen Signals auf diskrete Werte. Dabei entsteht zwangsläufig ein Fehler, der maximal ein halbes LSB betragen kann, nämlich dann, wenn der Eingangswert genau zwischen zwei möglichen Ausgangswerten liegt. Dieser Quantisierungsfehler kann einem weißen Rauschen gleichgesetzt werden.

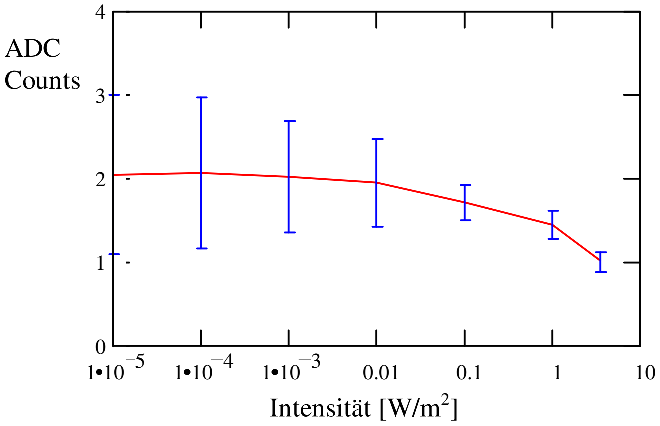


Abbildung 29: RMS-Rauschen des Kamerachips bei verschiedenen Beleuchtungsintensitäten

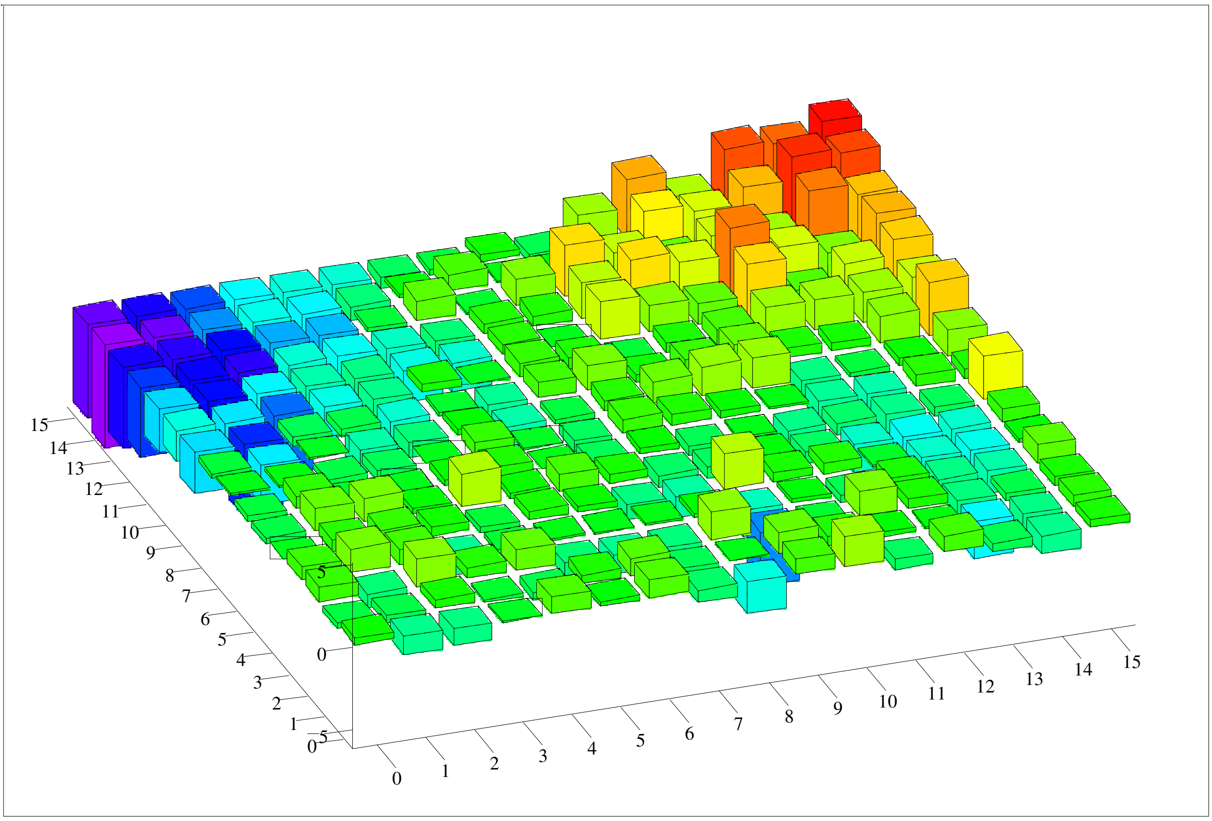
Drain-Strom und Gate-Spannung sehr empfindlich auf Variationen seiner Geometrie oder der Dicke der Gateoxid-Schicht. Abbildung 30 zeigt die räumliche Fluktuation der Ausgangswerte über die Chipoberfläche. Dabei wurden immer 16 Pixel zusammengefaßt und die Abweichung dieses Mittelwertes vom globalen auf der Z-Achse aufgetragen. Die Halbwertsbreite der Verteilung aus Abbildung 28 für eine Beleuchtungsintensität von 1 mW/m^2 beträgt 8 LSB. Vergleicht man damit die Schwankungen in Abbildung 30 sieht man, daß knapp die Hälfte der Abweichungen auf das Konto räumlicher Variationen geht, die sich auf einer Längenskala größer vier Pixeln, d.h. 256 µm, abspielen. Der Rest liegt darunter. Man kann davon sprechen, das quasi jeder Skalenbereich den gleichen Beitrag zur Gesamtbreite der Ausgangsspannungsverteilung enthält. Aus dieser Analogie zum weißen Rauschen, dessen spektrale Anteile über sämtliche Frequenzbereiche gleichverteilt sind, spricht man vom *'fixed pattern noise'*. Mit dem wesentlichen Unterschied, daß die Schwankungen nicht zeitlich, sonder räumlich und zwischen verschiedenen Chips auftreten.

Bei allen bisherigen Diagrammen wurde nur von den Abweichungen der Pixel gesprochen. Die digitalen Ausgangsdaten des Kamerachips enthalten aber noch einen zweiten Beitrag zum *fixed pattern noise*, nämlich die Offsetvariationen der Komparatoren. Bei der Auswertung der Daten wurden beide Beiträge auf folgende Weise getrennt: Die Meßwerte einer Zeile, die ja jeweils zu einem Komparator gehören, wurden gemittelt.

Abbildung 32 zeigt diese Mittelwerte für die verschiedenen Intensitäten. Die Schwankungen von Zeile zu Zeile stammen dann im Wesentlichen von den Offsetunterschieden zwischen den einzelnen Komparatoren. Wie zu erwarten, ist dieser Fehler unabhängig von der Beleuchtung. Erst bei sehr hohen Intensitäten zeigen sich kleine Veränderungen im Kurvenverlauf, da auch die Komparatoren vom Licht beeinflußt werden. Die Differenz zwischen Zeilenmittel und globalem Mittel wurde dann für jedes aufgenommene Bild berechnet und dazu verwendet, die Daten der Pixel zu korrigieren.

In der Abbildung 31 ist das Ergebnis einer diskreten Fouriertransformation der Zeilenmittel bei einer Beleuchtungsintensität von 1 mW/m^2 dargestellt. Trotz der kleinen Stichprobe von nur einem Chip ist zu erkennen, daß das Rauschspektrum des *fixed pattern noise* in allen Wellenzahlbereichen, die ja mit der räumlichen Ausdehnung der Basisfunktionen korrespondieren, Beiträge besitzt. Würde man eine größere Anzahl Chips untersuchen, bekäme man ein im wesentlichen gleichverteiltes Spektrum.

Abbildung 33 zeigt ein weiteres Beispiel für die Auswirkungen der Prozeßschwankungen auf die Eigenschaften der Pixel. Dargestellt sind Histogramme der Steigungen der statischen Kennlinie für verschiedene Beleuchtungssprünge. Diese wurden durch Subtraktion der zeitlich gemittelten Daten für verschiedene Intensitäten berechnet. Aufgrund der bereits beschriebenen Probleme der Abschirmung nimmt die Steigung im oberen Beleuchtungsbereich ab, außerdem verbreitert sich die Verteilung und wird unregelmäßig. Im unteren Bereich zeigt sie sich ebenso wie diejenige der absoluten Ausgangswerte gaußverteilt. Auch dies zeigt, daß der Begriff *fixed pattern noise* als Analogie zum weißen Rauschen für diese Art von Variationen zutreffend ist.



P

Abbildung 30: Räumliche Variation der Ausgangswerte (in LSB) über die Chipoberfläche. Die 64 Komparatoren liegen vorne. Die dargestellten Werte sind jeweils über einen Block aus 4 mal 4 Pixeln gemittelt. Die Intensität betrug 1 mW/m^2.

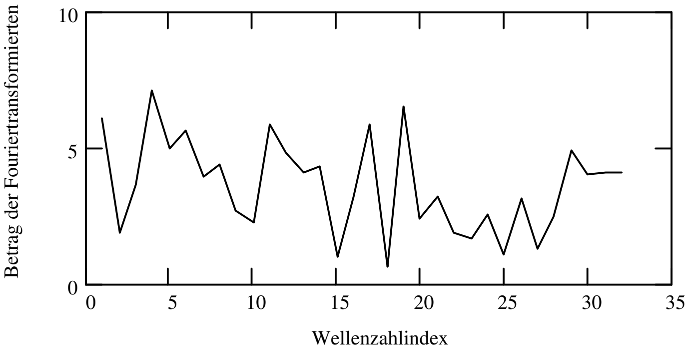


Abbildung 31: Fouriertransformierte des Offsetfehlers. Der Wellenzahlindex gibt an, wie oft eine Periode der Basisfunktion in das aus den Werten der 64 Komparatoren gebildete Intervall paßt.

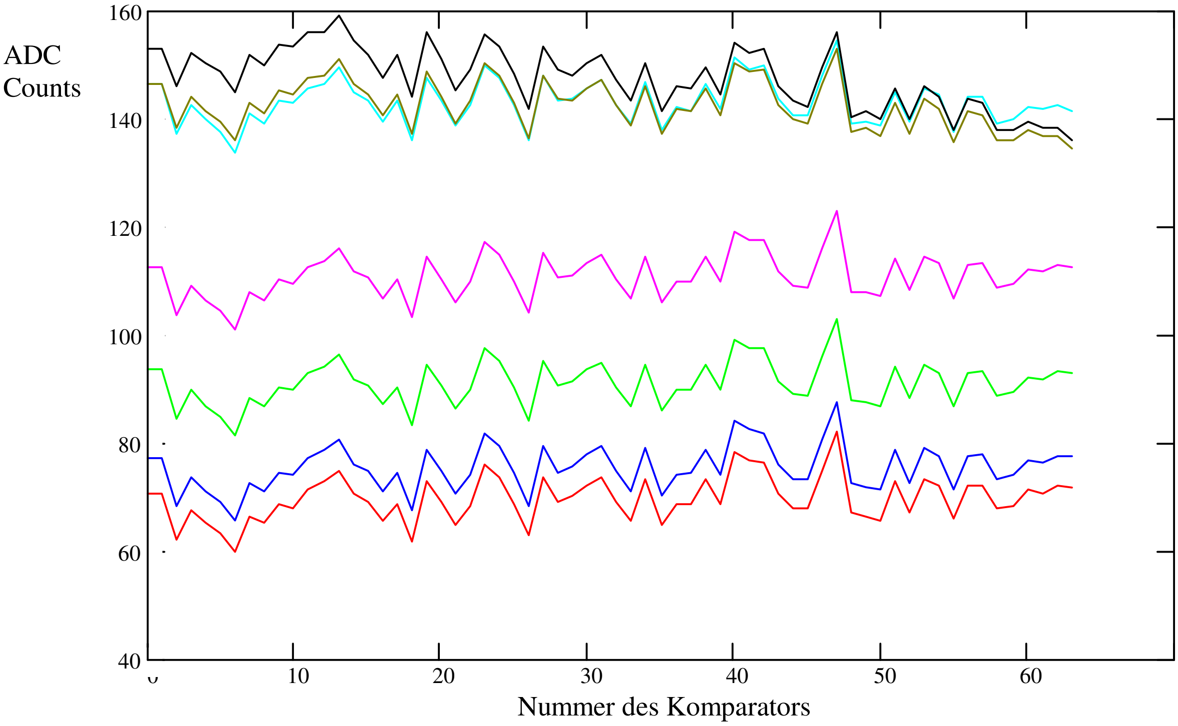


Abbildung 32: Variation des Offsetfehlers der Komparatoren. Von unten nach oben bei den selben Intensitäten wie in Abbildung 27 dargestellt. Die Standardabweichung der mittleren Kurve entspricht einer Offsetvariation von 16 mV.

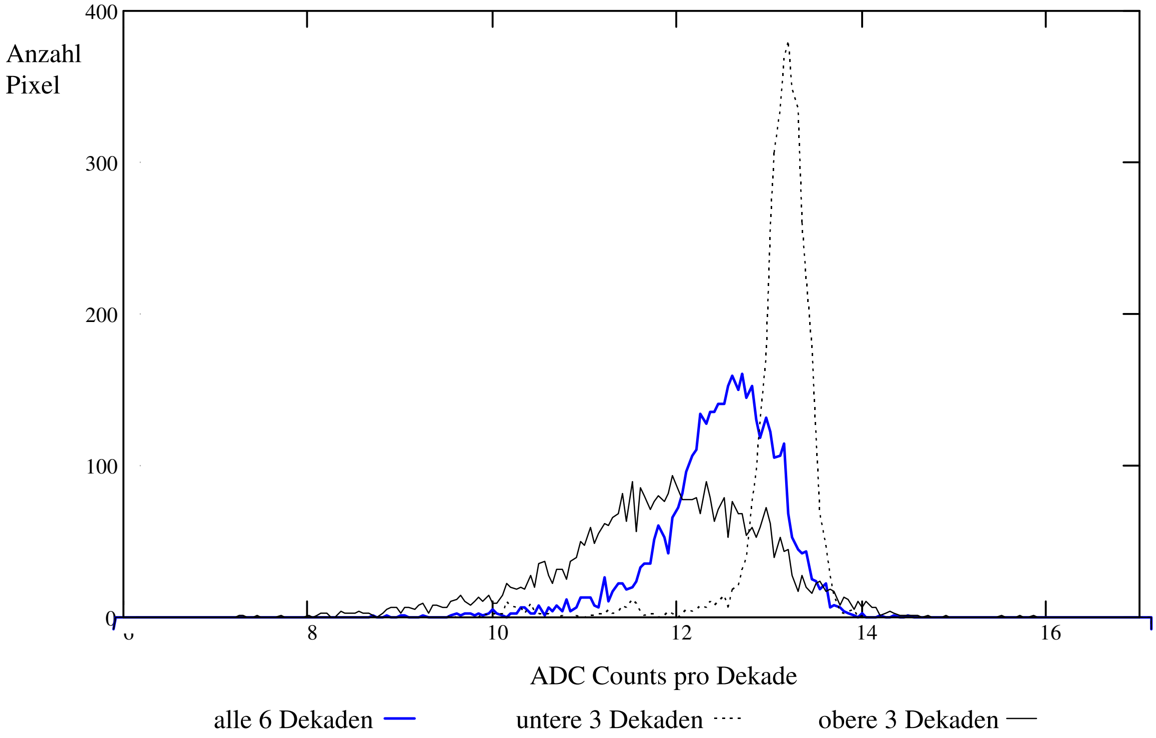


Abbildung 33: Histogramme der logarithmischen Steigung der statischen Übertragungskurve aller Pixel. Die dicke Linie zeigt die Steigung über den gesamten Bereich von 10^{-5} bis 3,5 Watt/m^2. Die anderen jeweils für 10^{-5} bis 10^{-2} sowie von 10^{-2} bis 3,5 Watt/m^2.

6 Die Software

6.1 Konzept des Visor-Programmes

Um die von der Kamera gelieferten Daten in den Speicher des Computers einzulesen, dort weiterzuverarbeiten und an den Blinden auszugeben, wurde eine spezielle Softwareumgebung geschaffen. Sie hat folgende Möglichkeiten:

- Programmierung der Kamera (Bias-Spannungen und Timing) sowie die Verwaltung verschiedener Kameraeinstellungen
- Aufbau einer Bildverarbeitung aus einer Abfolge verschiedener Filteroperationen
- automatische Korrektur des *fixed pattern noise*
- Simulation des Kamerachips zum Testen der Bildverarbeitung
- Aufzeichnung und Wiedergabe von Bildsequenzen
- Ausmessen des Analog/Digital-Wandlers der Kamera, entweder mittels des eingebauten DACs oder eines externen Funktionsgenerators, angesteuert über eine RS232 Schnittstelle.

Als Programmiersprache kam C++[23] zum Einsatz. Diese Sprache bietet die Möglichkeit, das Gesamtprogramm modular zu gestalten und gleichzeitig kritische Subroutinen, wie z.B. eine Matrixmultiplikation oder Hardwarezugriffe, effektiv (im Sinne ihres Laufzeitverhaltens) zu implementieren. Teilfunktionen des Programms können auch in normalem C ausgeführt werden, da dieses als Untermenge in C++ enthalten ist. Damit muß nicht jeder, der das System um eine bestimmte Bildverarbeitungsfunktion erweitern möchte, C++ beherrschen.

Realisiert wurde das Programm unter dem Betriebssystem ‘Windows 95’ der Firma Microsoft, da dieses auf dem *Notebook* standardmäßig vorhanden war und Möglichkeiten zur schnellen Darstellung der Bilder als auch zum Ansteuern der Kamera bietet. Vermutlich wäre auch die UNIX-Variante Linux geeignet gewesen, allerdings fehlten hier weitergehende Kenntnisse in der Programmierung des Grafiksystems (X11) sowie direkter Hardwarezugriffe, die im beschränkten Rahmen einer Diplomarbeit nicht aufzuholen sind. Um nicht fest an ein Betriebssystem gebunden zu sein, wurde eine C++ Klassenbibliothek[17] verwendet, die die API[18]-

---

[16] Bei C++ handelt es sich um eine objektorientierte Programmiersprache, die auf dem Syntax von C aufbaut. Wesentliches Element ist die ‘Klasse’. Eine Klasse enthält sowohl die Daten als auch die Funktionen, um ein bestimmtes Objekt zu realisieren. Sie kann wie eine normale Variable erzeugt und verwendet werden, wobei sich hinter ihrem Namen eine Funktionalität beliebigen Umfangs verbirgt. Typisches Beispiel sind die Fensterklassen einer grafischen Benutzeroberfläche. Eine neue, selbstdefinierte Klasse kann die Eigenschaften von vorhandenen Klassen erben und um neue Fähigkeiten erweitern. Damit lassen sich schnell Objekte erzeugen, die genau den an sie gestellten Anforderungen genügen, ohne das man das Rad jedesmal neu erfinden müßte. Dabei bieten die Klassen eine Kapselung aller lokalen Objektdaten. Zusammen mit der bei C++ üblichen strengen Typisierung aller Objekte lassen sich so auch umfangreiche Programme modular und übersichtlich realisieren.

[17] Eine Klassenbibliothek faßt eine Anzahl von Klassen zusammen. Dies geschieht sowohl auf der Schnittstellenebene, d.h. die Klassen folgen alle bestimmten Konventionen, als auch auf der Compiler/Linker Ebene. Eine Klassenbibliothek verwendet auch intern die eigenen Klassen und reduziert somit die Größe und Anzahl der nötigen Bibliotheken. Für das im

Funktionen kapselt und die Programmierung der grafischen Benutzeroberfläche stark vereinfacht.

Das Programm kann drei verschiedene Datenquellen verwalten:

- eine Kamera an der parallelen Schnittstelle
- Bilddaten über eine TCP/IP[19]-Verbindung von einem anderen Computer
- einen variablen Ausschnitt aus einer Grafikdatei (zum Testen der Bildverarbeitung)

Man kann nun mit Einzelbildern oder einer einstellbaren, festen Bildrate arbeiten. In jedem Fall werden die Daten der gewählten Quelle Bild für Bild durch die Bildverarbeitung geschickt. Diese besteht aus einer baumartigen Anordnung aus sogenannten Filtern. Es gibt verschiedene Filtertypen, die jeweils eine bestimmte Operation durchführen. Der Filter an der Wurzel dieses Baumes verarbeitet die Daten zuerst. Er hat in seiner Konfiguration eine Liste von Filterobjekten, an die er seine Ausgangsdaten weitergibt. Diese nachgeordneten Module rufen weitere Filter auf, usw. Auf diese Weise können verschiedene Bildverarbeitungsstrategien entworfen und mit den selben Bildfolgen simultan getestet werden. Abbildung 34 zeigt ein Beispiel für solch eine Anordnung. In Abbildung 35 sind einzelne Bilder aus einer realen, mit der Kamera aufgenommenen Sequenz zu sehen.

Zur Zeit implementierte Filter sind:

- Faltung in der Bildebene, d.h. Multiplikation der Bilddaten mit einer Filtermatrix
- Nichtlinearer Medianfilter [24] zur Glättung
- Faltung entlang der Zeitachse, d.h. für jeden Bildpunkt wird das Skalarprodukt zwischen einem Filtervektor und den letzten Werten dieses Pixels gebildet
- Skalierung des Bildes und Verringerung der Bildrate, Ausgabe des so reduzierten Bildes über die serielle Schnittstelle zu Ansteuerung von Ausgabegeräten
- Mischen von Filterdaten aus verschiedenen Zweigen des Bildverarbeitungsbaums
- Korrektur von *fixed pattern noise*
- Darstellung eines Bildes in histogrammierter Form

Sämtliche Filter sind von einer Filterklasse abgeleitet, die deren grundlegende Funktionalität bestimmt. Dabei handelt es sich um die Interaktion mit dem Benutzer, die Eingabe von Parametern, die Bildschirmdarstellung, das Verwalten der Konfigurationsdaten und die Aufnahme und Wiedergabe der bearbeiteten Bilddaten. Um einen konkreten Filter zu realisieren, muß dann lediglich der entsprechende Algorithmus hinzugefügt werden. Dazu ist es nicht nötig,

---

Text beschriebene Programm wurde die Object Windows Library (OWL) von der Firma Borland verwendet. Sie ist neben Windows auch für OS/2 und UNIX verfügbar. Außerdem liegt sie im Quellcode vor.

[18] Application Program Interface - Sammelbegriff für diejenigen Funktionen des Betriebssystems, die von der Anwendungssoftware verwendet werden dürfen (z.B. zum Lesen aus einer Datei, zur Ausgabe eines Textes oder zum Erstellen eines Fensters).

[19] Transmission Control Protocol / Internet Protocol - mit dieser Abkürzung bezeichnet man die Protokollkombination, die im internationalen Internet verwendet wird. Als Schnittstelle zur Software wurde das Winsock-Interface verwendet, das eine Portierung der weitverbreiteten Berkley-Sockets auf das Windows-Betriebssystem darstellt.

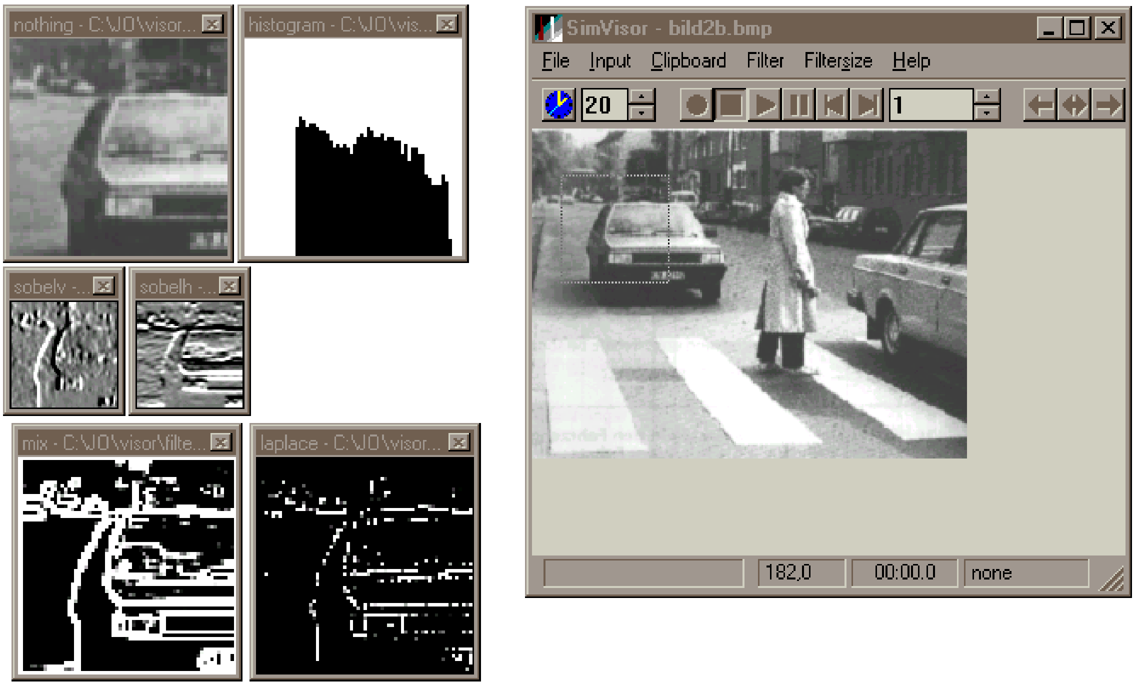


Abbildung 34: Beispiel für die Bildverarbeitung. Ein Ausschnitt aus einer Grafikdatei wird durch zwei verschiedene Kantenfilter geschickt und gleichzeitig noch als Histogramm dargestellt. Das urspüngliche Bild ist im Hauptfenster des Programms zu sehen. Links davon befinden sich die verschiedenen Filter, jeweils durch ein Fenster repräsentiert. Die eine Filtermethode besteht aus zwei Sobel-Operatoren, einem für horizontale (sobelh) und einem für vertikale Kanten (sobelv), die quadratisch addiert werden (mix), die andere aus einem Laplace-Operator (laplace) [24].

das gesamte Programm neu zu übersetzen, es reicht, die Datei mit der gewünschten Filterklasse zusammen mit den restlichen Objektdateien zu linken.

6.2 Korrektur des *fixed pattern noise*

Wie im vorangegangenen Kapitel beschrieben, handelt es sich beim *fixed pattern noise* um Variationen zwischen den Pixeln, deren Ursachen Prozeßschwankungen bei der Herstellung sind. In der Abbildung 36 kann man diese Abweichungen sehen. Die senkrechten Streifen sind Folge der Offsetschwankungen der Komparatoren der 64 ADC Kanäle. Auch dies gehört zum fixed pattern noise des Kamerachips. Da all diese Variationen zeitlich konstant sind, lassen sie sich korrigieren. Die nötigen Korrekturwerte könnte man zwar durch einmaliges Ausmessen gewinnen, aber man müßte diese Daten dann bei jeder Änderung der Bias-Spannungen oder der ADC-Einstellungen auf die neuen Werte umrechnen. Außerdem muß man sicherstellen, daß die gespeicherten Korrekturdaten mit dem gerade verwendeten Kamerachip übereinstimmen.

Um diese Probleme zu umgehen, wurde ein Filter entworfen, der eine automatische Offsetkorrektur aller Bildpunkte vornimmt. Er macht sich dabei das Verhalten der adaptiven Pixel zunutze. Die Korrektur arbeitet unter der Annahme, daß ohne fixed pattern noise sämtliche Pixel den gleichen zeitlichen Mittelwert besitzen würden. Dies folgt daher, daß die Ausgangsignale der Pixel vom transienten Teil der Beleuchtung dominiert werden. Da die Kamera in ihrem

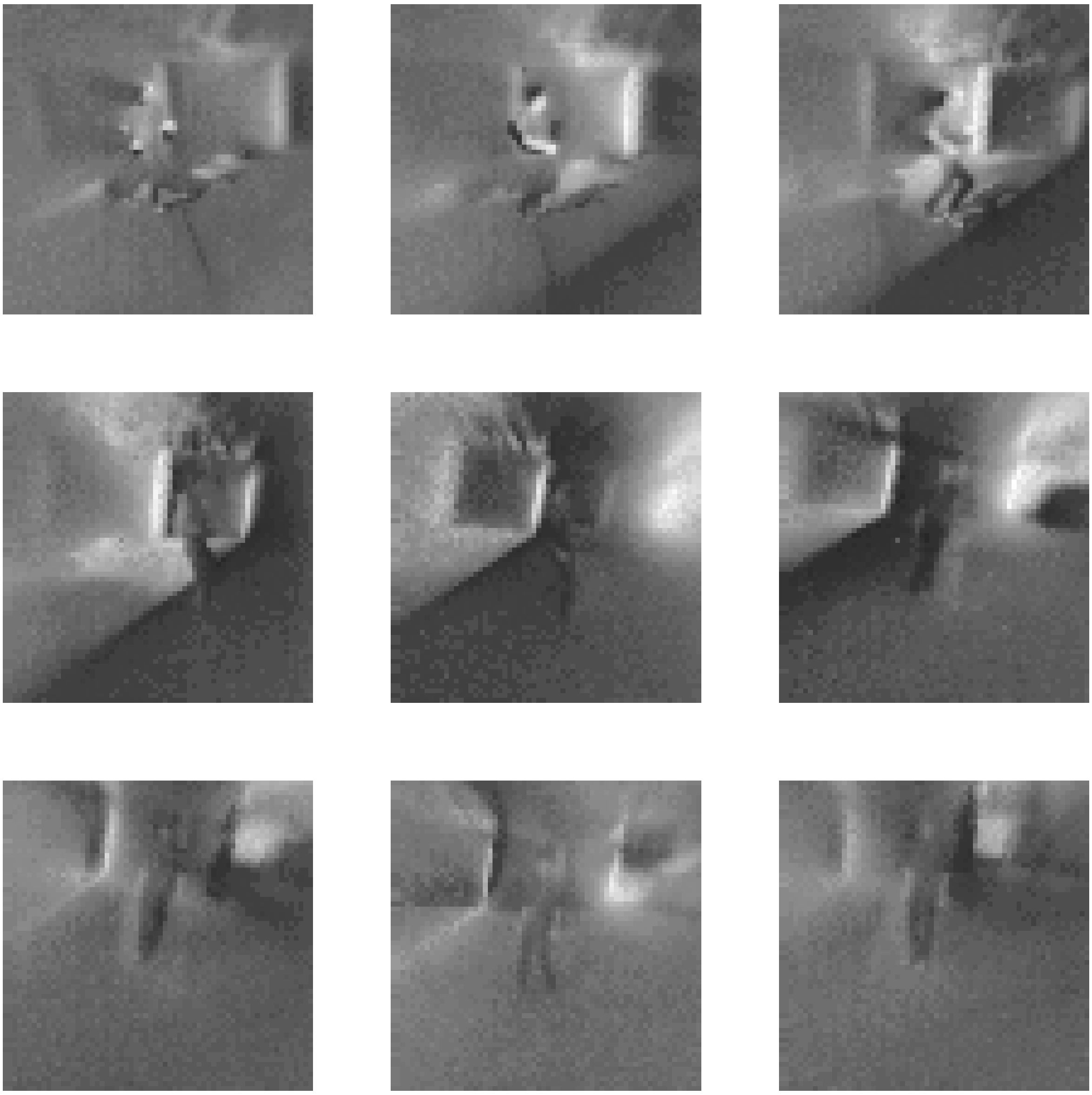


Abbildung 35: Ausschnitt aus einer aufgezeichneten Bildsequenz. Die eine Hälfte des Hofs liegt im Schatten. Da die Kamera im ersten Bild adaptiert war, ist dies nicht zu sehen. Nur der sich bewegende Fußgänger erscheint. In der mittleren Zeile verfolgt die Kamera dessen Bewegung, wodurch der Helligkeitsunterschied deutlich sichtbar wird. Bleibt der Läufer stehen, adaptieren die Pixel wieder, wodurch der Kontrast seines Bildes zurückgeht.

geplanten Einsatz am Kopf getragen wird, ist sie ständig in Bewegung. Die Änderungen in der Lichtintensität entstehen dann durch die Verschiebung der Kanten der im Bild befindlichen Objekte. Im Mittel wird jeder Pixel genauso viele Wechsel von Hell nach Dunkel wie umgekehrt sehen. Damit ist aber auch der Mittelwert seines Ausgangssignals konstant. Nur bei einer Änderung der gesamten Beleuchtung, z.B. beim Betreten eines Gebäudes, verschieben sich diese Mittelwerte. Allerdings nicht sehr stark, da die Steigung der statischen Kennlinie der Pixel flach ist.

Um die Korrekturwerte zu berechnen, werden die zeitlichen Mittel der einzelnen Pixel von ihrem gemeinsamen Durchschnitt subtrahiert. Addiert man diese Werte zu den Bilddaten, erhält man das gewünschte Ergebnis, nämlich den selben Mittelwert für alle Bildpunkte und damit eine Korrektur des *fixed pattern noise*. Um einer möglichen Änderung der Mittelwerte Rechnung zu tragen, wie sie nicht nur durch einen Beleuchtungswechsel, sondern auch durch Modifikation der Bias-Spannungen oder der ADC-Einstellung, zustande kommen kann, wird die Mittelung über die Zeit so durchgeführt, daß jüngere Werte einen stärkeren Einfluß haben als ältere. In einer Pseudocode-Darstellung sieht der Algorithmus wie folgt aus:

```
Pixel korrigieren und Mittelwerte berechnen:
    FOR t ← 1 TO AnzahlPixel
        NeuesBild(t) ← AltesBild(t) + Offset(t)
        Mittel(t) ← Mittel(t) + AltesBild(t)
        GlobalesMittel ← GlobalesMittel + AltesBild(t)
    NEXT t
    Anzahl ← Anzahl + 1
Mittelwerte halbieren wenn eine bestimmte Grenze erreicht ist:
    IF Anzahl > MaxAnzahl*2 THEN
        FOR t ← 1 TO AnzahlPixel
            Mittel(t) ← Mittel(t) / 2
        NEXT t
        GobalesMittel ← GlobalesMittel / 2
        Anzahl ← Anzahl / 2
    ENDIF
Neue Offsets ausrechnen:
    FOR t ← 1 TO AnzahlPixel
        Offset(t) ← ( GlobalesMittel /AnzahlPixel - Mittel(t) )/Anzahl
    NEXT t
```

Dieser Programmteil wird für jedes Bild aufgerufen. Die Feldvariable *AltesBild* enthält die Eingangsdaten, die Ausgabe wird im Feld *NeuesBild* abgelegt. *GlobalesMittel*, *Mittel*, *Offset* und *Anzahl* werden anfangs mit 0 initialisiert. Der Grund, warum die Mittelwerte gerade halbiert werden, liegt in der Geschwindigkeit. Eine Division durch 2 entspricht dem Verschieben des Bitmusters der Zahl um eine Stelle nach rechts, eine Operation, die üblicherweise in nur einem Taktzyklus abläuft. Man erhält auch so das gewünschte Ergebnis: je weiter ein Bild zurückliegt, desto weniger trägt es zum Mittelwert bei. Mit dem Parameter *MaxAnzahl* läßt sich einstellen, nach wie vielen Bildern die Mittelwerte halbiert werden. In der tatsächlichen Implementierung dieses Verfahrens werden auch die neuen Offsets nicht für jedes Bild bestimmt, um Rechenzeit zu sparen.

Abbildung 36 zeigt die Wirkung dieses Algorithmus auf die in Kapitel 5.2 schon einmal besprochenen Meßdaten. Von dem bei einer Beleuchtungsintensität von 100 mW/m^2 aufgezeichneten Film wurden etwa 12 Sekunden abgespielt. Dies entspricht 240 Bildern. In einem Filter lief dabei der Korrekturalgorithmus. Links und in der Mitte ist das letzte Bild dieses Films zu sehen. Im unveränderten Bild sieht man die senkrechten Streifen, die von den Offsetvariationen der Komparatoren herrühren. Im mittleren Feld ist das korrigierte Bild zu sehen. Die Streifenstruktur ist vollständig verschwunden. Die im Histogramm noch sichtbare Breite kommt vom Rauschen der Pixel. Die Ordinate ist logarithmisch aufgetragen, die tatsächliche Halbwertsbreite liegt etwa bei zwei LSB.

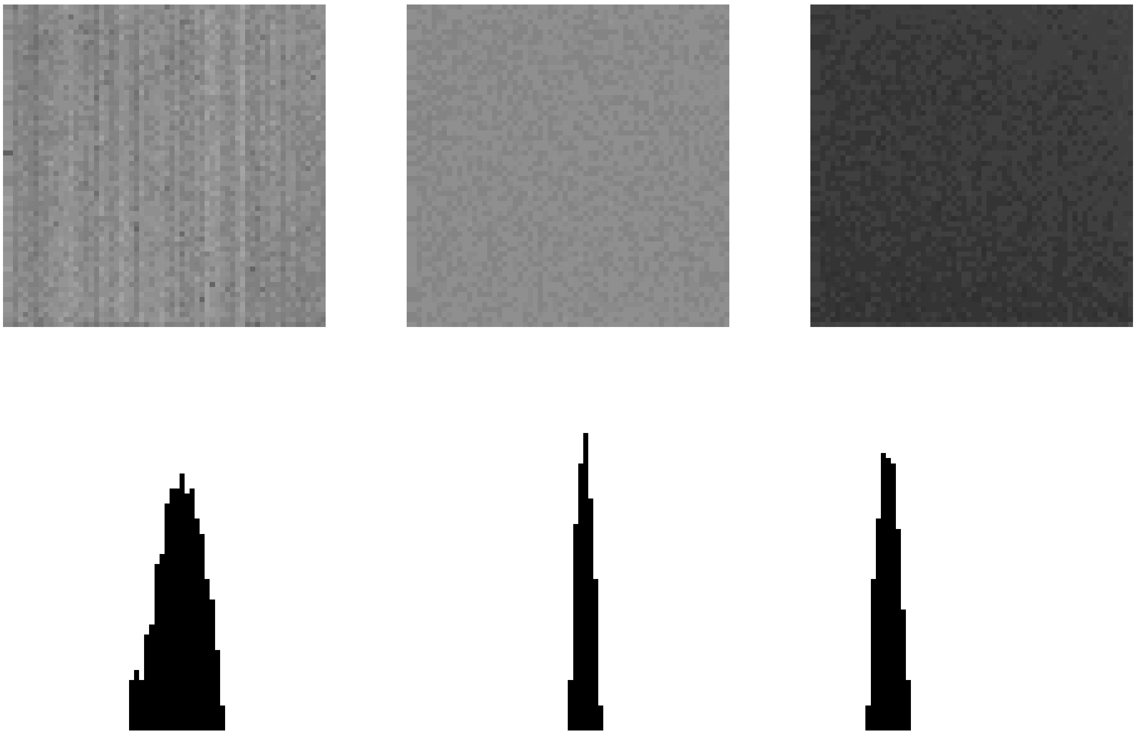


Abbildung 36: Bildsignal der Kamera bei 100 mW/m^2 (links), das selbe Bild korrigiert (Mitte), Verringerung der Beleuchtung auf 1 mW/m^2 (rechts) unter Beibehaltung der Korrekturwerte des mittleren Bildes, die untere Zeile zeigt das jeweilige Bild in histogrammierter Form (die Ordinate ist logarithmisch).

Rechts wurde ein einziges Bild von der Aufnahme bei 1 mW/m^2 abgespielt. D.h. die zur Korrektur verwendeten Offsets waren noch die bei 100 mW/m^2 berechneten. Man kann eine leichte Verbreiterung im Histogramm sehen, die Streifenstruktur bleibt verschwunden. Die Verbreiterung ist eine Folge der Variationen in der Steigung der statischen Kennlinie der Pixel (siehe Kapitel 5.2, Abbildung 33). Diese liegen aber nur bei etwa 0,5 LSB, mehr als eine Größenordnung unter den Offsetvariationen. Daher läßt sich der *fixed pattern noise* mit einer reinen Offsetkorrektur unterdrücken. In Abbildung 37 ist ein Bild aus einem bei Sonnenlicht im Freien aufgenommenen Film zu sehen. Der Korrekturalgorithmus lief hier kontinuierlich seit mehr als 10 Minuten mit und der Parameter *MaxAnzahl* betrug 100.

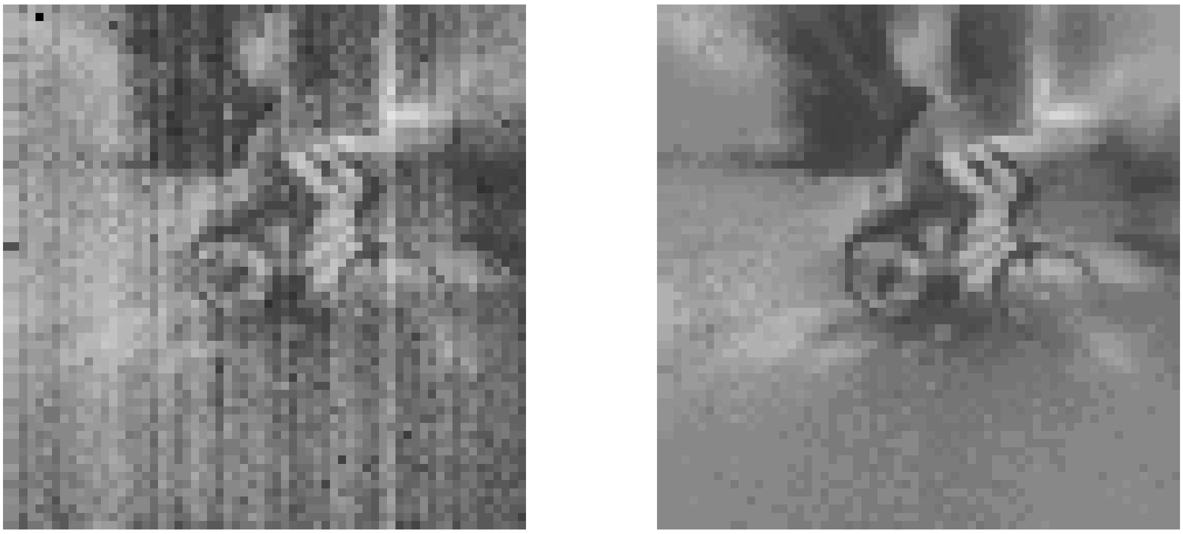


Abbildung 37: Beispiel für eine reale Szene mit und ohne Korrektur

7 Zusammenfassung und Ausblick

Der Versuch, mit Visionchips die Eigenschaften biologischer Systeme nachzuahmen, um dadurch eine Art intelligente Sensoren zu erhalten, ist sicher lohnenswert. Betrachtet man die Ergebnisse, die mit dem Kamerachip erzielt wurden, kann man sehen, daß dieser Weg realisierbar ist, aber noch einige technologischen Schwierigkeiten bewältigt werden müssen. Das entscheidende Argument für einen Visionchip ist der theoretisch mögliche große Kontrastumfang. Um diesen auch ausnutzen zu können, muß auf jeden Fall die Abschirmung der Ausgangstransistoren der Pixel verbessert werden. Erst dann bietet der Kamerachip in diesem Bereich tatsächlich einen Vorteil gegenüber einem CCD basierten System.

Die Auflösung von 4096 Bildpunkten ist wohl zu niedrig. Allerdings besteht hier ohne weiteres die Möglichkeit, diese noch um eine Größenordnung zu erhöhen, indem man auf einen CMOS-Prozeß mit kleineren Strukturen wechselt und die Chipfläche maximiert. Das ist dann weniger eine technisches als ein finanzielles Problem.

Die Integration von Digital- und Analogschaltungen hat keine Schwierigkeiten bereitet. Es war ohne weiteres möglich, beide ausreichend voneinander abzuschirmen. Man könnte in zukünftigen Bausteinen noch etwas mehr auf ein echtes ‘single chip’ System abzielen, indem man die Erzeugung von Referenz- und Bias-Spannungen komplett in den Chip verlagert und das parallele Interface auf einen seriellen Bus umstellt, an den dann auch mehrere Sensoren angeschlossen werden könnten. Weitere Einsatzmöglichkeiten für solch einen Chip wären zum Beispiel autonome Roboter. Hier stellen sich ja ähnliche Probleme wie bei Blinden: nämlich die Orientierung anhand optischer Informationen in einer natürlichen Umgebung.

Eine wichtiger Schwerpunkt in der weiteren Entwicklung des Projekts ‘taktiles Sehen’ muß die Bildverarbeitung sein. Die unterschiedliche Reaktion der Pixel auf transiente und statische Signale führt zwar zu einer Verstärkung von bewegten Kanten, aber es entstehen auch neue, nicht in der Realität vorhandene Kanten an den Grenzen zweier auf unterschiedliche Intensitäten adaptierten Regionen des Chips. Die Bildverarbeitung muß in der Lage sein, diese verschiedenen Kanten voneinander zu trennen und die Umrisse von Objekten klar herauszuarbeiten. Nur so läßt sich die Information auf ein Maß verringern, daß sie über den Tastsinn aufgenommen werden kann. Das momentan vorhandene Softwaresystem enthält noch keine Algorithmen, die dies leisten würden.

Es ist auch möglich, diese Bildverarbeitung durch analoge Netzwerke direkt auf dem Kamerachip durchzuführen. Damit würde man sich wieder mehr an das biologische Vorbild der Netzhaut anlehnen. Allerdings erfordern solche Schaltungen auch mehr Platz, was auf Kosten der Auflösung gehen würde. Hier ist noch weitere Forschung nötig, bevor entschieden werden kann, auf welcher Basis die Orientierungshilfe für Blinde letztendlich arbeiten wird. Die momentane Ausführung der Pixel nach dem Entwurf von Delbrück und Mead hat jedenfalls den Vorteil, daß sich der *fixed pattern noise* der Analogschaltungen leicht korrigieren läßt.

LITERATURVERZEICHNIS

1 P. BACH-Y-RITA, *„A Tactile Vision Substitution System based on Sensory Plasticity“*, Proceedings of The Second Conference on Visual Prosthesis, Academic Press New York and London 1971,S. 281-290

2 C. C. COLLINS, *„Tactile Vision Synthesis“,* Proceedings of The Second Conference on Visual Prosthesis, Academic Press New York and London 1971,S. 267-279

3 MARKUS LOOSE, *„Layout und Test eines Systems adaptiver Photorezeptoren in analoger CMOS-Technologie“*, ASIC-Labor, Institut für Hochenergiephysik, Heidelberg, 1996

4 RALF JESCHKE, *„Entwicklung und Bau eines taktilen Blindenhilfssystems“*, Institut für Angewandte Physik, Heidelberg, 1996

5 MISHA MAHOWALD, *„An Analog VLSI System for stereoscopic Vision“*, Kluwer Academic Publishers, Norwell, Massachusetts, USA, 1994

6 T. DELBRÜCK, C. A. MEAD, *„Analog VLSI phototransduction by continuousm, adaptive, logarithmic photoreceptor circuits“*, Computation and Neural Systems Program, California Institute of Technology, Pasadena, Memo No. 30, 1994, S. 1-23

7 R. A. NORMANN, I. PERLMAN, *„The effects of background illumination on the photorezeptors of red and green cones“*, Journal of Physiology, Vol. 286, 1979, S. 491-507

8 ZANDER, *„Datenwandler“*, Vogel Verlag, Würzburg, 1990

9 *„New Releases Databook IV“*, Maxim, 1995, Kap. 7-9: MAX101

10 GEIGER, ALLEN, STRADER, *„VLSI Design Techniques for analog and digital circuits“*, McGraw-Hill, New York, 1990, S. 511-514

11 KELLER, HÖLSCHER, *„A 6-Bit Flash ADC“*, Interner Bericht HD-ASIC06, Institut für Hochenergiephysik, Heidelberg, 1995

12 GEIGER, ALLEN, STRADER, *„VLSI Design Techniques for analog and digital circuits“*, McGraw-Hill, New York, 1990, S. 289 ff

13 LEE, SIMONI, SARTORI, TORELLI, *„A photosensor array for spectrophotometry“*, Sensors and Actuators A46-47, 1995, S. 449-452

14 Ulrich Golze, *„VLSI-Entwurf eines RISC-Prozessors“*, Vieweg, Braunschweig, 1995

15 *„Cadence Online Library Openbook: Synergy“*, Cadence Design Systems, San Jose, USA

16 GEIGER, ALLEN, STRADER, *„VLSI Design Techniques for analog and digital circuits“*, McGraw-Hill, New York, 1990, S. 61 u. 62

17 UYEMURA, *„Circuit Design for CMOS VLSI“*, Kluwer Academic Publishers, Norwell, Massachusetts, USA, 1994, S. 30 ff

18 *„1.2 μm CMOS Process Parameters“*, Ausrtian Micro Systems, Unterpremstätten, Östereich, 1993, S. 6 und 7

19 *„1284 EPP/ECP Info“*, http://www.fapo.com/ieee1284.htm

20 *Datenbuch PC87332VLJ*, National Semiconductor Corporation, Santa Clara, CA, USA, 1996, S. 77-80

21 *Datenbuch FDC37C665GT*, Standard Microsystems Corporation, Hauppauge, N.Y., USA, S. 100-112

22 *„HP 33120 Service Guide“*, Hewlett-Packard, USA, 1994

23 BJARNE STROUSTRUP, *„Die C++ Progammiersprache“*, Addison-Wesley, Bonn, 1992

24 BERND JÄHNE, *„Digitale Bildverarbeitung“*, Springer Verlag, Heidelberg, 1992