

# Fakultät für Physik und Astronomie

Ruprecht-Karls-Universität Heidelberg

Diplomarbeit  
im Studiengang Physik

vorgelegt von

**Felix Rettig**  
aus Mannheim

Januar 2007



# **Entwicklung der optischen Auslekette für den ALICE-Übergangsstrahlungsdetektor am LHC (CERN)**

Eine hochzuverlässige optische Datenstrecke aus 1 080 Glasfasern mit einer Bandbreite von 2,7 TBit/s zur Auslese und Zwischenspeicherung der Trigger- und Rohdaten

Felix Rettig

Die Diplomarbeit wurde ausgeführt am

**Kirchhoff-Institut für Physik**

unter der Betreuung von

**Herrn Prof. Dr. Volker Lindenstruth**



## **Entwicklung der optischen Auslekette für den ALICE-Übergangsstrahlungsdetektor am LHC (CERN):**

Bei der Untersuchung von Schwerionenkollisionen im Experiment ALICE entstehen sehr große Anzahlen von Teilchen. Die Detektoren produzieren Datenmengen, die in Echtzeit nicht vollständig ausgewertet werden können. Ein Triggersystem trifft daher eine Vorauswahl relevanter Ereignisse. Ein Teil des Triggersystems ist der Übergangsstrahlungsdetektor. Im Detektor selbst werden die Rohdaten auf Parametrisierungen steifer Spursegmente reduziert und diese über 1 080 Glasfasern an eine zweite Stufe gesendet. Dort werden Teilchenspuren rekonstruiert und Transversalimpulse als Basis des Triggerbeitrags berechnet. Für diesen Vorgang stehen nur etwa  $6\ \mu\text{s}$  zur Verfügung. Die Rohdaten folgen über die gleiche Strecke.

In dieser Arbeit wird die Entwicklung der hochzuverlässigen optischen Übertragung mit einer Bandbreite von 2,7 TBit/s vorgestellt. Die Optimierung der Sendereigenschaften und der Empfang der Daten in modernen FPGAs bilden den ersten Teil. Ein Strahlentoleranztest und ein erster Testbetrieb belegen die Zuverlässigkeit der Datenübertragung. Im Mittelpunkt des zweiten Teils steht ein FPGA-Design zur Zwischenspeicherung der Rohdaten bei voller Bandbreite und zur Weiterleitung an das *Data Acquisition System* und den *High-Level Trigger*.

## **Development of the optical read-out chain for the ALICE Transition Radiation Detector at the LHC (CERN):**

A huge number of particles arise from heavy-ion collisions in the experiment ALICE. The vast amount of data produced by the detectors cannot be processed in real-time. Thus, a trigger system is used to select events of interest. One part of this system is the Transition Radiation Detector. Its front-end electronics reduces the raw data of all channels to parametrizations of stiff tracks, called tracklets. These are shipped to the next stage via 1 080 optical fibers. There, particle tracks are reconstructed and associated transversal momenta are calculated to take a decision for the TRD's trigger contribution. The overall time must not exceed  $6\ \mu\text{s}$ . Raw data read-out is performed via the same fibers.

This work is devoted to the development of the highly reliable optical data links with an overall bandwidth of 2.7 TBit/s. The optimization of the high-speed optical signals and the reception of the giga-bit signals within modern FPGAs is focused on in the first part. A radiation tolerance test and first test runs prove the high reliability of the links. The second part presents an FPGA design for event raw data buffering at full bandwidth and forwarding to the Data Acquisition System and the High-Level Trigger.



# Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b>	<b>13</b>
<b>2</b>	<b>Das Experiment</b>	<b>19</b>
2.1	Der Large Hadron Collider . . . . .	19
2.2	Das Experiment ALICE . . . . .	20
2.2.1	Die Detektoren . . . . .	21
2.2.2	Das Triggersystem . . . . .	23
2.3	Der Übergangsstrahlungsdetektor (TRD) . . . . .	24
2.3.1	Funktionsprinzip und Aufbau . . . . .	24
2.3.2	Die Front-End-Elektronik des TRD . . . . .	27
2.3.3	Das Triggersystem des TRD . . . . .	29
2.3.4	Die Auslekette . . . . .	30
<b>3</b>	<b>Das ORI-Board</b>	<b>33</b>
3.1	Aufbau und Funktionsprinzip . . . . .	33
3.2	Datenpfad-Komponenten . . . . .	35
3.3	Laserdiode und Laserdientreiber . . . . .	36
3.4	Optimierung der Ansteuerparameter . . . . .	42
3.5	Messung der Fehlerraten . . . . .	46
3.6	Diagnosesystem für den Lasertreiber . . . . .	48
<b>4</b>	<b>Strahlentoleranztest</b>	<b>51</b>
4.1	Strahlungsbedingte Effekte an Halbleiterstrukturen . . . . .	52
4.1.1	Kumulative Effekte . . . . .	52
4.1.2	Singuläre Effekte . . . . .	53
4.2	Fragestellung des Tests . . . . .	55
4.3	Aufbau und Testverfahren . . . . .	55
4.4	Berechnung der benötigten Protonenfluenzen . . . . .	57
4.5	Ergebnisse . . . . .	59
4.6	Verbesserungsvorschläge . . . . .	63
<b>5</b>	<b>Das TMU-Board</b>	<b>67</b>
5.1	Die Spurrekonstruktionseinheit (GTU) . . . . .	67
5.2	Aufbau des TMU-Boards . . . . .	68
5.3	Die SFP-Module . . . . .	71

5.3.1	SFP-Busstruktur . . . . .	73
<b>6</b>	<b>Datenempfang und Latenz</b>	<b>75</b>
6.1	Die MGT-Blöcke . . . . .	75
6.1.1	Physikalische Anordnung und Verteilung des Referenztakts . . . . .	75
6.1.2	Physical Media Attachment des Empfängerteils . . . . .	77
6.1.3	Physical Coding Sublayer des Empfängerteils . . . . .	79
6.2	Clock Correction, Verteilung der Empfangsdaten . . . . .	82
6.3	Betrachtung der Latenz . . . . .	83
<b>7</b>	<b>Pufferung der Ereignisdaten</b>	<b>87</b>
7.1	Anforderungen an das Design . . . . .	87
7.2	Aufbau und Funktionsprinzip . . . . .	88
7.3	Der Event Shaper . . . . .	90
7.3.1	Der Aligning Buffer . . . . .	91
7.3.2	Der Schreibdatenpfad . . . . .	94
7.3.3	Die Speicherverwaltung . . . . .	97
7.3.4	Der Datenstrom-Monitor . . . . .	105
7.4	Der SRAM-Controller . . . . .	105
7.5	Die Read-Out-Einheit . . . . .	107
7.5.1	Der Read Initiator . . . . .	109
7.5.2	Der Read Acceptor . . . . .	112
7.5.3	Der Dispatcher . . . . .	114
7.6	Ressourcenbedarf und Status . . . . .	114
<b>8</b>	<b>Erster Testbetrieb am CERN</b>	<b>117</b>
8.1	Der Testaufbau . . . . .	117
8.2	Testergebnisse für die optische Übertragung . . . . .	118
8.3	Testergebnisse für die gesamte Ausleseketten . . . . .	119
<b>9</b>	<b>Zusammenfassung</b>	<b>123</b>
<b>A</b>	<b>Anhang</b>	<b>125</b>
	<b>Literaturverzeichnis</b>	<b>137</b>



# Abbildungsverzeichnis

1.1	Phasendiagramm hadronischer Materie . . . . .	15
2.1	Der Large Hadron Collider . . . . .	20
2.2	Detektoren des ALICE-Experiments . . . . .	22
2.3	Mittlere Pulshöhen für Elektronen und Pionen . . . . .	24
2.4	Pulshöhenverlauf über die Driftzeit . . . . .	24
2.5	Funktionsweise des Detektors in $x$ - $z$ -Ebene . . . . .	25
2.6	Funktionsweise des Detektors in $x$ - $y$ -Ebene . . . . .	25
2.7	Aufbau des Detektors . . . . .	26
2.8	Aufbau eines Multi Chip Moduls . . . . .	27
2.9	Auslesebaum eines Readout Boards . . . . .	28
2.10	Triggersequenz der Front-End-Elektronik . . . . .	29
2.11	Triggersequenz bis Level-2 . . . . .	30
2.12	Auslesekette des TRD . . . . .	30
3.1	Schematischer Aufbau des ‚Optical Readout Interface Boards‘ . . . . .	34
3.2	Kennlinien der Laserdiode . . . . .	37
3.3	Streuung der optischen Leistungen verschiedener Laserdioden . . . . .	38
3.4	Modulation des Laserbiasstroms . . . . .	39
3.5	Prinzipschaltbild des Lasertreibers im APC-Modus . . . . .	40
3.6	Augendiagramme des Laserbiasstroms . . . . .	43
3.7	Optimierte Signalform des Laserbiasstroms . . . . .	44
3.8	Augendiagramme weiterer Signale . . . . .	45
3.9	Augendiagramm des Eingangssignales am Serializer . . . . .	46
3.10	Erster Aufbau zur Messung der Fehlerrate . . . . .	47
3.11	Der Testempfänger für optische Signale auf einer ACEX-Karte . . . . .	49
3.12	Sender- und rekonstruierter Empfängertakt beim Testempfänger . . . . .	50
4.1	Bestrahlungsziele auf dem ORI-Board . . . . .	55
4.2	Der Messaufbau für den Strahlentoleranztest . . . . .	56
4.3	Strahlengang des Strahlentoleranztests . . . . .	57
4.4	Linearer Energie-Transfer von Protonen in Silizium . . . . .	58
4.5	TID-Effekte bei der Bestrahlung der Lasertreibers . . . . .	61
4.6	TID-Effekte bei der Bestrahlung der Spannungsregler . . . . .	64
4.7	Fotoaufnahmen vom Experimentalaufbau des Strahlenhärte-test . . . . .	65

5.1	Rekonstruktion der Teilchenspuren aus Spursegmenten . . . . .	68
5.2	Schematischer Aufbau des Track-Matching-Unit-Boards . . . . .	69
5.3	Fotografie des TMU-Boards . . . . .	71
5.4	Aufbau eines SFP-Moduls . . . . .	72
5.5	Der Bus zur Ansteuerung der SFP-Module . . . . .	73
6.1	Grundriss des Xilinx Virtex™-4 FX100 . . . . .	76
6.2	Takterzeugung in einer MGT-Tile . . . . .	77
6.3	Der Physical-Media-Attachment-Block im Empfänger . . . . .	78
6.4	Der PMA- und PCS-Datenpfad im Empfänger . . . . .	80
6.5	Latenzmessung der optischen Strecke . . . . .	86
7.1	Aufbau der Event-Buffering-Einheit . . . . .	89
7.2	Interface und Funktionsblöcke des Event Shapers . . . . .	90
7.3	Unabhängigkeit der Link-Datenströme . . . . .	91
7.4	Aufbau des Aligning Buffers . . . . .	92
7.5	Erster Teil des Datenpfades im ‚Event Shaper‘ . . . . .	95
7.6	4:1-Multiplexer im einem Logik-Slice . . . . .	97
7.7	Zweiter Teil des Datenpfades im ‚Event Shaper‘ . . . . .	98
7.8	Event-Shaper: Normaler Schreibvorgang . . . . .	100
7.9	Event-Shaper: Erster Schreibvorgang . . . . .	101
7.10	Event-Shaper: Schreibvorgang bei Ereignisbeginn . . . . .	102
7.11	Event-Shaper: Schreibvorgang nach einem Event Drop . . . . .	102
7.12	Verwaltung der Ringpuffer . . . . .	103
7.13	Speicherüberlauf-Prävention im Event Shaper . . . . .	104
7.14	Aufbau des SRAM-Controllers . . . . .	106
7.15	Latenz beim SRAM-Lesevorgang . . . . .	107
7.16	Schematischer Aufbau der Event-Read-Out-Einheit . . . . .	108
7.17	Schematischer Aufbau des Read Initiators . . . . .	110
7.18	Zustände der Kontrolleinheit des Read Initiators . . . . .	111
7.19	Schematischer Aufbau des Read- Acceptors und des Dispatchers . . . . .	113
7.20	Belegung des FPGA durch die Event-Buffering-Einheit . . . . .	115
8.1	Testaufbau am CERN . . . . .	118
8.2	Das TMU-Crate im Testaufbau am CERN . . . . .	119
8.3	Optische Leistungen am Supermodul-Patch-Panel . . . . .	120
8.4	Rauschuntergrund des Supermoduls . . . . .	121
8.5	Supermodul-Rohdaten eines Cosmic-Ereignis . . . . .	121
8.6	Dreidimensionale Darstellung des Cosmic-Ereignisses . . . . .	122
A.1	Aufbau des ‚Oslo Cyclotron Laboratory‘. . . . .	128
A.2	Horizontales und vertikales Profil des Protonenstrahls . . . . .	129
A.3	Fehler der Engineering Samples ES1 der Xilinx Virtex™-4-FX60-Chips . . . . .	134

# Tabellenverzeichnis

1.1	Fundamentale Teilchen . . . . .	14
1.2	Fundamentale Wechselwirkungen . . . . .	14
2.1	Kenngrößen des LHC . . . . .	21
3.1	Kennzahlen der Laserdiode . . . . .	37
3.2	Werte der wichtigsten Parameter der Lasertreiberkonfiguration . . . . .	44
4.1	Strahlungsdosen verschiedener ALICE-Detektoren . . . . .	51
4.2	Übersicht der Ergebnisse des Strahlenhärte-tests . . . . .	59
6.1	Ausgewählte Konfigurationsparameter der MGT-PMA-Blöcke . . . . .	79
6.2	MGT-Einstellungen für Komma-Erkennung und -Ausrichtung . . . . .	81
6.3	MGT-Settings zur Konfiguration der RX-PCS-Blöcke . . . . .	82
6.4	Experimentell bestimmte Latenzen der Funktionsblöcke in Sendern und Empfängern . . . . .	85
A.1	Konfigurationsparameter des Laserdiodentreibers . . . . .	125
A.2	Konfigurationsparameter des Laserdiodentreibers . . . . .	126
A.3	Nachweis-Effizienz des <i>Thin-Film-Breakdown</i> -Zählers . . . . .	129
A.4	Perioden des Strahlentoleranztests . . . . .	130
A.5	Wichtigste ‚Answer Records‘ zu den MGT-Blöcken . . . . .	133



# 1 Einleitung

Natur und innerer Aufbau der Materie beschäftigen die Menschheit seit langer Zeit. Seit dem Beginn naturwissenschaftlicher Forschung haben die Anstrengungen zu ihrer Erkundung kein Ende gefunden. Die Erkenntnis hat dabei eine rasante Entwicklung durchlaufen.

Galten seit der Antike Atome als die kleinsten Bestandteile der Materie, so kristallisierte sich in den 1930er Jahren das Modell von einem Kern aus Protonen und Neutronen mit gebundenen Elektronen heraus. Mit den ersten Hochenergie-Experimenten gelang es ab den fünfziger Jahren des letzten Jahrhunderts, tiefer in die Struktur der Materie vorzudringen. Eine große Vielfalt verschiedener Teilchen wurde entdeckt.

Eine einfache Erklärung der beobachteten Systematik in den Teilcheneigenschaften gelang mit der Annahme einer inneren Struktur – in Analogie zum Aufbau der Atomhülle und dem Periodensystem der Elemente. Eng verzahnt mit den Fortschritten im Verständnis der fundamentalen Wechselwirkungen der Teilchen untereinander entstand das Standardmodell der Elementarteilchen. Es vereinigt drei der vier uns bekannten fundamentalen Wechselwirkungen. Die elektromagnetische und die schwache Wechselwirkung finden Eingang durch die Theorie der elektroschwachen Vereinheitlichung. Die starke Wechselwirkung wird durch die Quantenchromodynamik (QCD) beschrieben. Die vierte Wechselwirkung, die Gravitation, bleibt im Standardmodell unberücksichtigt.

Die uns bekannte Materie besteht nach dem Standardmodell aus zwei Klassen fermionischer Teilchen<sup>1</sup>, nämlich sechs Leptonen und sechs Quarks sowie ihren Anti-Teilchen. Tabelle 1.1 listet diese Teilchen auf. Eichbosonen vermitteln die fundamentalen Wechselwirkungen zwischen den Materieteilchen, sie sind in Tabelle 1.2 aufgeführt. Die Stärke der Kopplung zwischen Austauschpartikeln einer Wechselwirkung und anderen Teilchen wird durch eine als Ladung bezeichnete Teilcheneigenschaft bestimmt. Jeder Wechselwirkung ist eine eigene Art von Ladung zugeordnet.

Leptonen unterliegen der elektromagnetischen und der schwachen Wechselwirkung. Sie tragen eine elektrische Ladung (bipolar, die Ladung besitzt ein Vorzeichen) und eine schwache Ladung (unipolar). Quarks unterliegen zusätzlich der starken Wechselwirkung.

---

<sup>1</sup> Ensembles von Fermionen werden durch die Fermi-Dirac-Statistik beschrieben. Jede der möglichen Kombinationen von Quantenzahlen kann bei höchstens einem der Teilchen angetroffen werden. Bosonen unterliegen dieser Einschränkung nicht.

	Quarks	$q/e$	Leptonen	$q/e$
1. Generation	d (down)	$-1/3$	Elektron-Neutrino $\nu_e$	0
	u (up)	$+2/3$	Elektron e	$-1$
2. Generation	s (strange)	$-1/3$	Myon-Neutrino $\nu_\mu$	0
	c (charme)	$+2/3$	Myon $\mu$	$-1$
3. Generation	b (bottom)	$-1/3$	Tauon-Neutrino $\nu_\tau$	0
	t (top)	$+2/3$	Tauon $\tau$	$-1$

**Tabelle 1.1:** Nach dem Standardmodell ist die uns bekannte Materie aus zwölf fundamentalen Teilchen und ihren Anti-Teilchen aufgebaut. Sie sind in zwei Klassen aufgeteilt, Quarks und Leptonen. Innerhalb der Klassen werden die Teilchen anhand ihrer Masse in drei Generationen eingeteilt.

Wechselwirkung	Austausch- teilchen	m	rel. Stärke	Reich- weite [m]
starke W.	Gluonen (g)	0	1	$\approx 10^{-15}$
elektromagn. W.	Photonen ( $\gamma$ )	$<10^{-16} \text{ eV}/c^2$	$10^{-2}$	$\infty$
schwache W.	$W^\pm$ -, $Z^0$ -Bosonen	$80/91 \text{ GeV}/c^2$	$10^{-14}$	$\approx 2 \cdot 10^{-18}$
Gravitation	(Gravitonen)	-	$10^{-38}$	$\infty$

**Tabelle 1.2:** Vier fundamentale Wechselwirkungen bestimmen die uns bekannte Welt. Die Masse der Austauschteilchen ist als m bezeichnet. [Stö00][Y<sup>+</sup>06]

Die zugehörige Ladung wird als Farbladung bezeichnet. Sie kann einen von sechs Werten annehmen: rot, grün und blau und die jeweiligen Anti-Farben. Die Nomenklatur ist in Anlehnung an die Addition von Elementarfarben in der Optik gewählt: Die Kombination aus einer roten, einer grünen und einer blauen Ladung ist farbneutral, sie entspricht einem ladungsfreien Zustand.

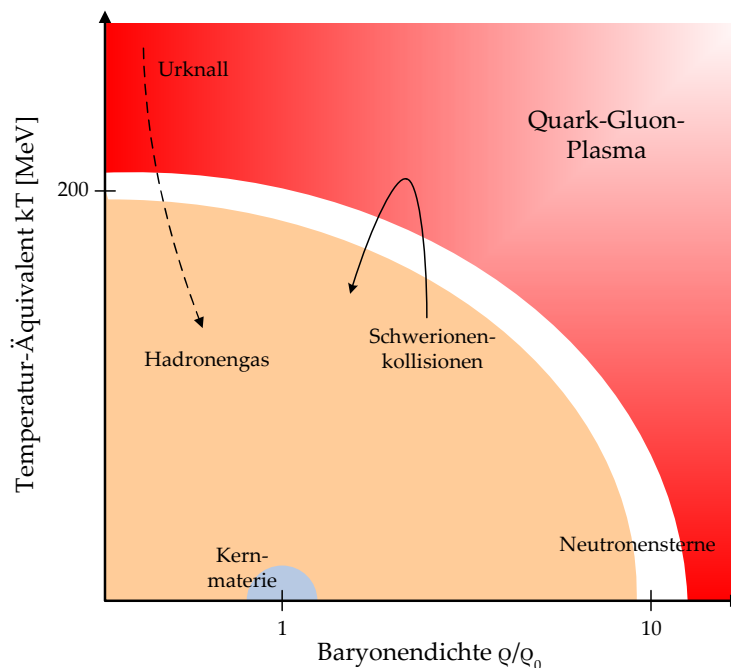
Die Stärke der elektromagnetischen und schwachen Wechselwirkung nimmt mit zunehmendem Abstand zwischen zwei Teilchen schnell ab. Die starke Wechselwirkung hingegen wächst mit zunehmendem Abstand zwischen zwei farbgeladenen Teilchen. Dies erzwingt den Einschluss mehrerer Quarks in farbneutrale Gebilde (*Confinement*). Die zur Entfernung einzelner Quarks erfordernten Energien reichen zur sofortigen Bildung neuer Teilchen aus, die mit dem isolierten Teilchen erneut ein farbneutrales System bilden (*Hadronisierung*). Farbneutrale Kombinationen können aus Triplets von Quarks je einer der drei Farben oder Anti-Farben zusammengesetzt sein, sie werden als Baryonen bezeichnet. Die ebenfalls farbneutralen Mesonen hingegen bestehen aus Quark-Anti-Quark-Paaren, bei denen das eine Quark die Anti-Farbe des anderen trägt.

Das Standardmodell beschreibt die Vielfalt der Hadronen (Baryonen und Mesonen) sehr erfolgreich. Insbesondere die Voraussagen der elektroschwachen Theorie sind mit großer Präzision experimentell bestätigt. Eine Reihe grundlegender Fragen wird durch das Stan-

Standardmodell jedoch nicht geklärt. Besondere Bedeutung kommt hierbei der Frage nach der Natur der Masse zu. Der hypothetische Ansatz des Higgs-Mechanismus beschreibt die Entstehung der Masse durch die Wechselwirkung der Elementarteilchen mit dem Higgs-Feld. Der Nachweis der Feldquanten des Higgs-Feldes, der Higgs-Bosonen, ist ein wichtiges Ziel heutiger Hochenergie-Experimente.

QCD-Berechnungen sagen bei ausreichend hohen Dichten oder Temperaturen für hadronische Vielteilchensysteme einen Phasenübergang voraus, bei dem eine Aufhebung des *Confinement* erfolgt. Quarks und Gluonen können sich dann quasi-frei bewegen. Dieser Aggregatzustand wird als Quark-Gluon-Plasma (QGP) bezeichnet. Die Eigenschaften des Phasenübergangs und des QGP versprechen wichtige Erkenntnisse für das Verständnis der starken Wechselwirkung. Auch für ein weiteres faszinierendes Feld ist das Studium des QGP von großer Bedeutung, die Kosmologie.

In Abbildung 1.1 ist das Phasendiagramm hadronischer Materie dargestellt. Die Kerne der uns umgebenden Materie nehmen ihren Platz im linken unteren Bereich des Diagramms bei der Dichte  $\rho_0$  und moderaten Temperaturen ein. Bei einer isothermen Kompression der Materie auf etwa die zehnfache Dichte beginnen die Wellenfunktionen der Nukleonen zu überlappen, Quarks und Gluonen können sich zwischen ihnen quasi-frei bewegen. Ein solcher Zustand könnte in sehr dichten Neutronensternen herrschen.



**Abbildung 1.1:** Phasendiagramm hadronischer Materie. Bei sehr hohen Temperaturen und Dichten tritt der Phasenübergang zum Quark-Gluon-Plasma auf. Nach: [Won94][A L]

Die Abbildung zeigt, dass auch bei sehr hohen Temperaturen ab etwa  $T_c \approx 2 \cdot 10^{12}$  K ( $kT_c = 100$  MeV) der Übergang vom Hadronengas zum QGP stattfindet. Nach den kosmologischen Modellen der Entwicklung des Universums herrschte kurz nach dem Urknall eine so hohe Energiedichte, dass Leptonen, Quarks und Eichbosonen im thermodynamischen Gleichgewicht standen und frei ineinander umgewandelt werden konnten. Beim Absinken der Energiedichte erfolgte zunächst die Entkopplung der starken von der elektroschwachen Wechselwirkung. Der Übergang von Quarks zu Leptonen und umgekehrt war nun stark unterdrückt. Nach einer weiteren Abnahme der Energiedichte erfolgte der Phasenübergang der Entkopplung der elektromagnetischen und der schwachen Wechselwirkung. Zu dieser Zeit befand sich die Materie des Universums im Zustand eines QGP. Etwa  $10^{-6}$  s nach dem Urknall war die Energiedichte so weit abgesunken, dass der Phasenübergang zum Hadronengas stattfand und das *Confinement* einsetzte. Die Untersuchung dieses Phasenübergangs verspricht wichtige Einsichten in die primordiale Nukleosynthese. Erfolgt der Phasenübergang fließend, wäre dies eine mögliche Erklärung für die im Universum beobachteten Inhomogenitäten der Baryonendichte und bestimmter Isotopenverteilungen.

Die experimentellen Anforderungen für die Erzeugung der berechneten Temperaturen und Dichten für die Entstehung eines QGP sind enorm. Nur bei der Kollision ultrarelativistischer Schwerionen können sie für einen kurzen Zeitraum in einem kleinen Volumen hergestellt werden. Hinweise auf ein QGP und seine Eigenschaften ergeben sich aus charakteristischen Zerfallsprodukten. Bei Schwerionenkollisionen entstehen jedoch sehr große Anzahlen von Teilchen. Zur Verfolgung ihrer Bahnen sind Detektoren mit hohem Auflösungsvermögen erforderlich. Das anfallende Datenvolumen kann nicht in Echtzeit ausgelesen und gespeichert werden. Eine Auswahl interessanter Ereignisse muss daher auf Basis eines eingeschränkten, schnell verfügbaren Datensatzes getroffen werden. Zu diesem Zweck dienen Trigger, die die Daten schnell auf markante Eigenschaften überprüfen und nahezu in Echtzeit eine Auswahlentscheidung treffen.

Der im Bau befindliche *Large Hadron Collider* (LHC) wird Schwerionenstöße mit deutlich höheren als den bisher erreichten Energien ermöglichen. ALICE (*A Large Ion Collision Experiment*), eines der fünf Experimente am LHC, ist auf die Untersuchung der Schwerionenkollisionen und des QGP spezialisiert.

Die vorliegende Arbeit befasst sich mit der Entwicklung der optischen Übertragungsstrecken zur Auslese der Ereignisdaten des ALICE-*Transition Radiation Detector* (TRD) und der Zwischenspeicherung der Detektorrohdaten.

Im folgenden Kapitel wird ein Überblick über den Beschleuniger LHC, das Experiment ALICE und seine Detektoren gegeben. Der Aufbau und das Funktionsprinzip des TRD werden erläutert. Im dritten Kapitel werden die *Optical Readout Boards* vorgestellt, welche zur optischen Übertragung der Detektordaten an die nachfolgende Triggereinheit eingesetzt werden. Eine Untersuchung der Strahlentoleranz dieser Einheiten folgt im vierten Kapitel. Die Triggereinheit des TRD, die *Global Tracking Unit* (GTU), und ihre Baugruppen werden im fünften Kapitel kurz vorgestellt. Im Mittelpunkt des sechsten Kapitels



---

steht der Empfang der übertragenen optischen Daten mit seinen strikten Latenzanforderungen. In Kapitel sieben wird die im Rahmen dieser Arbeit entwickelte Einheit zur Pufferung und Weiterleitung der gesamten Ereignisdaten vorgestellt. Die Ergebnisse des ersten Testbetriebs am CERN werden in Kapitel acht dargestellt. Das neunte Kapitel fasst schließlich die Ergebnisse der Arbeit zusammen.



## 2 Das Experiment

Am Europäischen Labor für Teilchenphysik (CERN<sup>1</sup>) in der Nähe von Genf in der Schweiz wird derzeit der *Large Hadron Collider* (LHC) aufgebaut. Der LHC wird die von bisherigen Experimenten erreichten Energien und Luminositäten weit übertreffen. Mit Schwerpunktsenergien von 14 TeV bei Proton-Proton-Stößen übertrifft er den derzeit leistungsfähigsten Beschleuniger, das Tevatron am Fermilab, um etwa eine Größenordnung. Im Schwerionenbetrieb mit Bleikernen werden Kollisionen mit Schwerpunktsenergien von 1150 TeV möglich sein. Dies übertrifft den RHIC des BNL um rund das 30-Fache. Die Steigerung in den Luminositäten wird sogar zwei Größenordnungen betragen. Eines der fünf Experimente am LHC ist ALICE („A Large Ion Collision Experiment“). Es ist als Mehrzweckexperiment ausgelegt, jedoch auf die Untersuchung von Schwerionenkollisionen spezialisiert.

### 2.1 Der Large Hadron Collider

Der LHC wird im Tunnel seines Vorgängers LEP installiert. Der Umfang des Beschleunigerrings beträgt 27 km, er verläuft unterirdisch in einer Tiefe von etwa 100 Metern. Die Teilchen werden in Vorbeschleunigern auf die Eintrittsenergie gebracht, in den Ring injiziert und dort auf die Kollisionsgeschwindigkeiten beschleunigt.

Zwei gegenläufige Teilchenstrahlen werden in einem Abstand von knapp 20 cm innerhalb eines gemeinsamen Magnet- und Kryostatsystems geführt. Über 1 000 jeweils 13 m lange, supraleitende Führungsmagnete halten die Teilchen auf der Ringbahn. Bei den höchsten Teilchenenergien werden Magnetfeldstärken über 8 T benötigt. Die Magnete und das gesamte Strahlsystem werden auf 1,8 K gekühlt.

In vier Punkten werden die gegenläufigen Teilchenstrahlen zur Kollision gebracht (siehe Abbildung 2.1). Dort befinden sich die insgesamt fünf Experimente des LHC. Vier der Experimente sind für den Proton-Proton-Betrieb ausgelegt.

Das *A-Toroidal-LHC-AparatuS*-Experiment (ATLAS) dient vor allem dem Nachweis des Higgs-Bosons. Ein weiteres Ziel ist die Überprüfung verschiedener Theorien jenseits des Standardmodells. Das *Compact Muon Solenoid* (CMS) ist mit seinem starken Magnetfeld von 4 T besonders für die Untersuchung von Myonen geeignet. Das TOTEM-Experiment

<sup>1</sup> Die Abkürzung stand ursprünglich für ‚Conseil Européen pour la Recherche Nucléaire‘, [CER]

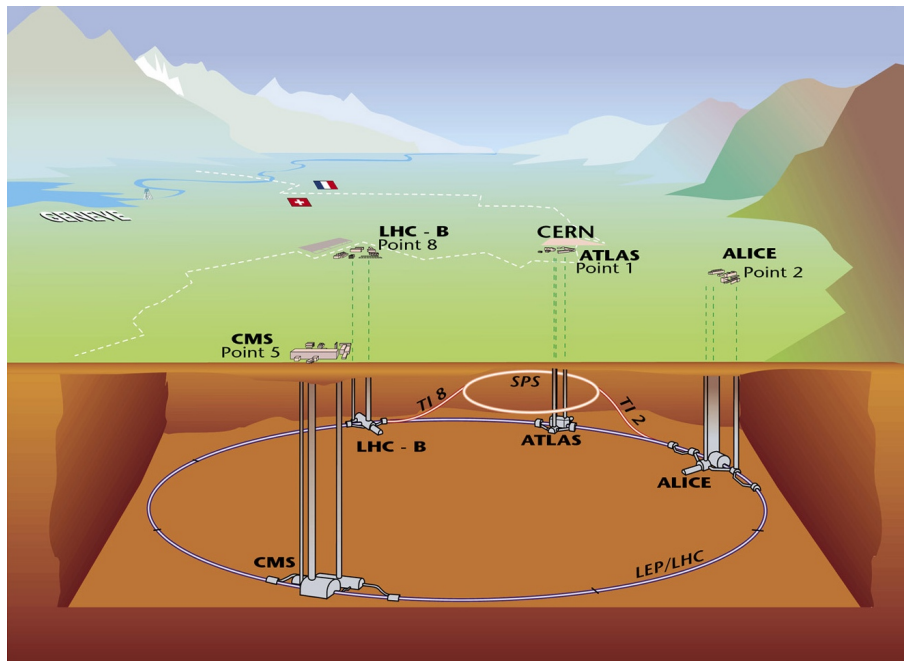


Abbildung 2.1: Der Large Hadron Collider

zur Messung des totalen Wirkungsquerschnitts bei Protonenkollisionen befindet sich ebenfalls an diesem Kollisionspunkt. Das LHCb-Experiment dient der Untersuchung von B-Mesonen und der CP-Verletzung bei ihrem Zerfall.

Speziell für den Schwerionenbetrieb entworfen ist das Experiment ALICE. Es wird im folgenden Abschnitt näher vorgestellt.

## 2.2 Das Experiment ALICE

„A Large Ion Collision Experiment“ (ALICE) ist ein Mehrzweck-Experiment zur Untersuchung stark wechselwirkender Materie und der Eigenschaften von Quark-Gluon-Plasma in Schwerionen-Kollisionen. Gegenwärtig sind an dem Projekt über 900 Wissenschaftler und Ingenieure von mehr als 90 Institutionen aus rund 30 Ländern beteiligt.

Bei den Schwerionen-Kollisionen wird die Erzeugung mehrerer tausend geladener Teilchen erwartet. Zum Nachweis und zur Untersuchung des Quark-Gluon-Plasma müssen die Spuren eines großen Teils dieser Teilchen erfasst werden. Um einzelne Teilchenspuren unterscheiden zu können, müssen die Detektoren sehr hohe örtliche Auflösungen aufweisen.

Allgemein	Proton-Impuls beim Eintritt	450 GeV/c
	Proton-Impuls bei der Kollision	7 TeV/c
	Umlauffrequenz	11,245 kHz
	Dipolfeld bei 450 GeV	0,535 T
	Dipolfeld bei 7 TeV	8,33 T
Bleiionenbetrieb	Kernladungszahl der Bleiionen	82
	Massenzahl der Bleiionen	208
	Energie pro Nukleon bei Einleitung	0,18 TeV/u
	Energie pro Nukleon bei Kollision	2,76 TeV/u
	Schwerpunktsenergie bei Kollision	1148 TeV
	Anzahl Ionen pro Teilchenpaket	$7,0 \cdot 10^7$
	Anzahl der Teilchenpakete	592
	Breite des Strahls am Wechselwirkungspunkt	15,9 $\mu\text{m}$
	Luminosität	$0,5 \cdot 10^{27} \text{ cm}^{-2}\text{s}^{-1}$
Totaler Wirkungsquerschnitt	437 barn	

**Tabelle 2.1:** Ausgewählte Kenngrößen des Large Hadron Colliders

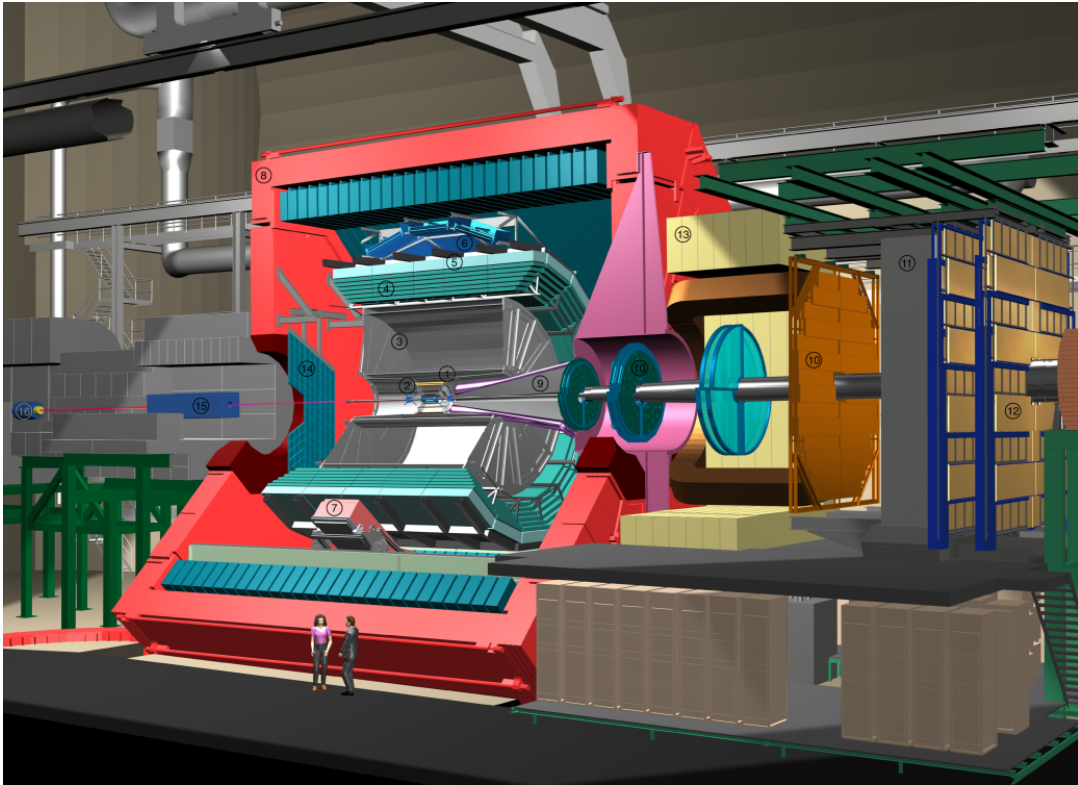
Der Zentralbereich, in dessen Mitte sich der Kollisionspunkt befindet, in dem sich die beiden gegenläufigen Teilchenstrahlen kreuzen, ist von mehreren Detektoren für den Nachweis von Hadronen, Elektronen und Photonen umgeben.

Die gesamte Anordnung ist im 25 m langen und 15 m hohen L3-Solenoidmagneten eingeschlossen, welcher ein homogenes Magnetfeld von 0,4 T parallel zu den Strahlachsen erzeugt. Die entstehenden geladenen Teilchen werden durch dieses Magnetfeld auf Kreisbahnen gezwungen, deren Krümmung impulsabhängig ist. Außerhalb des L3-Magneten befindet sich zusätzlich das Vorwärtsspektrometer für den Nachweis von Myonen (siehe Abbildung 2.2).

### 2.2.1 Die Detektoren

Der Kollisionsbereich wird vom *Inner Tracking System* (ITS) umschlossen. Es besteht aus sechs zylindrischen Lagen von Siliziumwafern im radialen Abstand von 3 bis 50 cm, welche eine hohe Auflösung von bis zu 12  $\mu\text{m}$  besitzen. Das ITS dient der Bestimmung von Teilchenpositionen und der Lokalisierung von Wechselwirkungspunkten.

Die Verfolgung der Teilchenspuren wird im radialen Bereich von 0,57 bis 2,78 m durch die *Time Projection Chamber* (TPC) weitergeführt. Die nachzuweisenden Teilchen durchqueren das Gasvolumen der TPC und lösen Elektronen von den Gasatomen ab. In einem elektrischen Feld driften diese Elektronen zu Elektrodenpads und werden dort erfasst. Die Elektronen driften mit konstanter Geschwindigkeit in der Kammer. Aus der Ankunftszeit kann auf den Ort der Ionisation geschlossen werden.



- |  |   |
|--|---|
| 1. ITS (Inner Tracking System)                                   | 9. Absorber                                       |
| 2. FMD (Forward Multiplicity Detector)                           | 10. Tracking Chambers                             |
| 3. TPC (Time Projection Chamber)                                 | 11. Muon Filter                                   |
| 4. TRD (Transition Radiation Detector)                           | 12. Trigger Chambers                              |
| 5. TOF (Time-of-Flight Detector)                                 | 13. Dipole Magnet                                 |
| 6. HMPID (High-Momentum Particle Identification Detector)        | 14. PMD (Photon Multiplicity Detector)            |
| 7. PHOS CPV (Photon Spectrometer Charged Particle Veto Detector) | 15. Compensator Magnet                            |
| 8. L3 Magnet   | 16. CASTOR (CentauRO And STRange Object Research) |

**Abbildung 2.2:** Der Aufbau des ALICE-Experiments. Quelle: ALICE-Collaboration

Der *Transition Radiation Detector* (TRD) umschließt die TPC in einem radialen Abstand zwischen 2,94 und 3,69 m von der Strahlachse. Als schneller Triggerdetektor konzipiert, besteht er aus sechs Lagen dünner Driftkammern, an deren radialer Innenseite ein Radiatormaterial angebracht ist. Schnelle, geladene Teilchen erzeugen beim Durchqueren des Radiatormaterials Übergangsstrahlung, welche zusammen mit den Teilchen selbst in der Driftkammer nachgewiesen werden kann.

An den TRD grenzt der *Time-Of-Flight*-Detektor (TOF) an. Er besteht aus 160 000 Parallelscheibenzählern zur Vermessung der Flugzeit der Teilchen vom Kollisionspunkt bis zum radialen Abstand von rund 4 m. Die zeitliche Auflösung beträgt 150 ps.

Der *High-Momentum-Particle-Identifikation*-Detektor (HMPID) deckt einen 14 m<sup>2</sup> umfassenden Teil der äußeren Zylinderfläche ab und dient zur Bestimmung der Masse von Teilchen sehr hoher Energien. Er basiert auf dem Nachweis von Cherenkov-Strahlung, welche von Teilchen ausgesendet wird, deren Geschwindigkeit höher als die Lichtge-

schwindigkeit des Mediums ist. Das *Photon Spectrometer* (PHOS) dient der Aufnahme des Photonenspektrums für den Rückschluss auf die Temperatur im Kollisionsgebiet. Es ist aus Blei-Wolfram-Kristallen aufgebaut.

### 2.2.2 Das Triggersystem

Alle Detektoren des Experiments erzeugen im Betrieb zusammen Datenraten von bis zu 20 TByte/s. Es können bei weitem nicht alle der rund 10 000 Kollisionsereignisse pro Sekunde erfasst werden, da die Ausleserate der meisten Detektoren zu gering ist. Die TPC, der Detektor mit dem größten Datenvolumen, hat beispielsweise eine Auslesezeit von etwa 5 ms, was einer Ausleserate von nur 200 Hz entspricht. Nur relativ wenige der Kollisionsereignisse sind für die angestrebten Untersuchungen besonders interessant. Ziel ist es daher, frühzeitig die uninteressanten Ereignisse herauszufiltern und die langsameren Detektoren nur bei relevanten Ereignissen auszulesen. Dafür werden Triggerdetektoren verwendet, die bereits kurz nach der Wechselwirkung eine Vorauswertung des Ereignisses liefern. Der TRD ist als Triggersystem mit einer Entscheidungszeit von nur 6  $\mu$ s konzipiert.

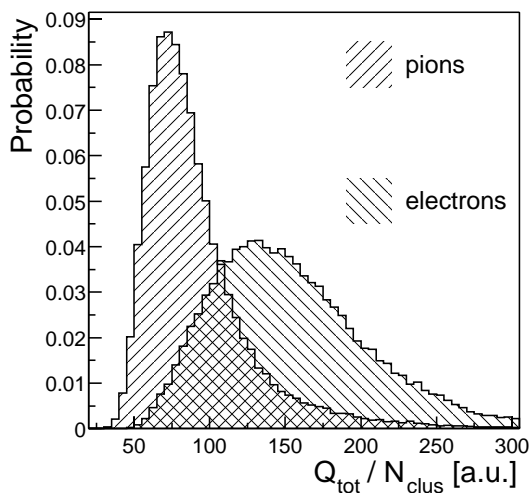
Das gesamte Triggersystem des Experiments ist in vier Stufen mit jeweils längeren Entscheidungszeiten unterteilt. Für jede höhere Stufe werden die Daten zusätzlicher Detektoren mit größerer Auslesezeit mit einbezogen. Die Triggersignale werden von einem zentralen Triggerprozessor (Central Trigger Processor, CTP) aus den Beiträgen der einzelnen Teilsysteme erzeugt und verteilt. 1,2  $\mu$ s nach der Kollision entscheidet der Vorwärts-Multiplizitätsdetektor (Forward Multiplicity Detector, FMD), ob die erste Triggerstufe, der *Level-0-Trigger*, ausgelöst wird. Nach etwas mehr als 6  $\mu$ s entscheidet der CTP dann, ob ein *Level-1-Trigger* auszulösen ist. Für diese Entscheidung werden die Ergebnisse des Null-Grad-Kalorimeters und des Myonenspektrometers sowie der Beitrag des TRD-Triggersystems ausgewertet, welche bis zu diesem Zeitpunkt bereits vorliegen. Wird der *Level-1-Trigger* ausgelöst, beginnt die Auslese der TPC und die Daten weiterer Detektoren werden analysiert, um über das Auslösen des *Level-2-Triggers* zu entscheiden. Die letzte Stufe des Triggersystems bildet der *High-Level Trigger* (HLT). Die gesamten Rohdaten aus TPC und TRD werden analysiert. Dies geschieht bei einer Rate von maximal 1 kHz. Der HLT löst höchstens 30-mal pro Sekunde aus und veranlasst so die Speicherung der kompletten Ereignisdaten im *Data Acquisition System*.

## 2.3 Der Übergangsstrahlungsdetektor (TRD)

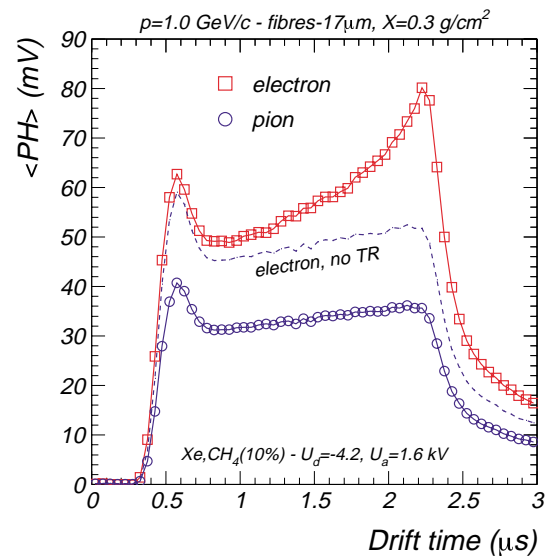
### 2.3.1 Funktionsprinzip und Aufbau

Der Übergangstrahlungsdetektor (TRD) dient der Spurverfolgung und Identifikation geladener Teilchen. Für seine vornehmliche Funktion als Triggerdetektor ist die Erkennung von Elektronen und Positronen mit Transversalimpuls oberhalb von 3 GeV/c von besonderem Interesse. In diesem Impulsbereich steht der kleinen Anzahl solcher Teilchen jedoch eine weit größere Anzahl von Pionen gegenüber.

Zur Erfassung der Teilchenbahnen werden im TRD kleine Driftkammern verwendet. Zur Unterscheidung der den beiden Teilchenarten wird ein als Übergangstrahlung bezeichneter Effekt ausgenutzt.



**Abbildung 2.3:** Pulshöhenverteilung für Elektronen und Pionen mit Transversalimpuls  $p_t > 3 \text{ GeV}/c$ , integriert über alle Messzeitpunkte einer Kammer. Nach: [ALI01, S. 102]

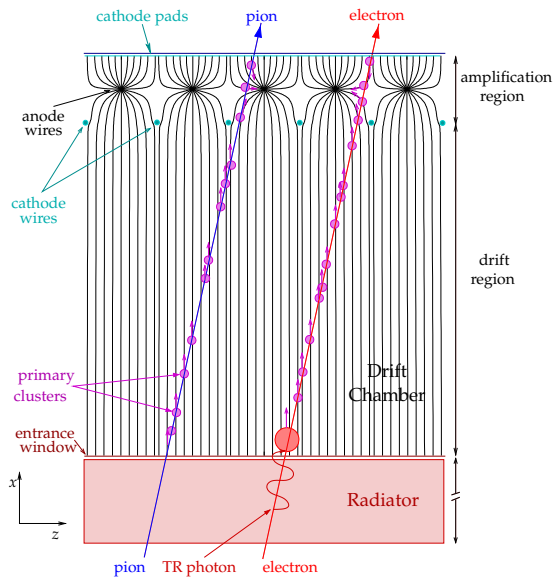


**Abbildung 2.4:** Pulshöhenverlauf für Elektronen und Pionen über die Driftzeit, gemittelt über viele Einzelmessungen. Nach: [ALI01]

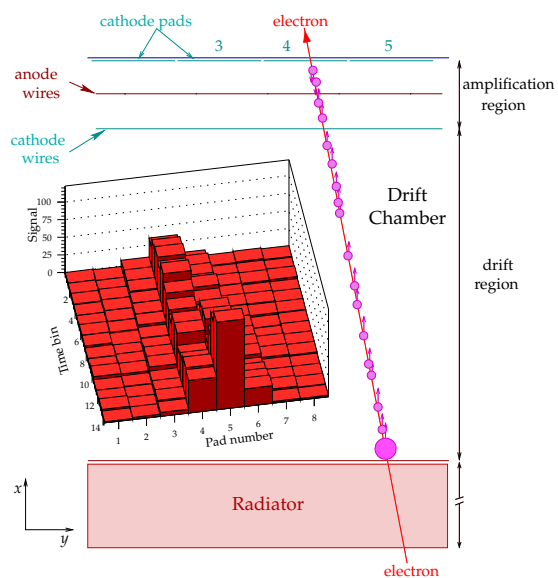
**Übergangsstrahlung** Ein geladenes Teilchen in der Nähe einer Grenzfläche zwischen zwei Materialien unterschiedlicher dielektrischer Eigenschaften bildet zusammen mit der jenseits der Grenzfläche induzierten Spiegelladung einen Dipol. Bewegt sich das Teilchen, führt dies zu einem veränderlichen Dipolfeld, elektromagnetische Strahlung wird emittiert. Die Intensität und Winkelverteilung dieser Strahlung hängt vom Lorentzfaktor  $\gamma = \frac{E}{mc^2}$  ab. Bei gleicher Energie ist bei Teilchen kleinerer Masse der Effekt ausgeprägter



als bei schweren. Die Strahlung wird in einem engen Konus um die Flugrichtung des Teilchens emittiert.



**Abbildung 2.5:** Projektion eines Modulteils auf die  $x$ - $z$ -Ebene. Die von einem Elektron und einem Pion erzeugten Signale sind schematisch dargestellt. Aus: [ALI01]



**Abbildung 2.6:** Projektion eines Modulteils auf die  $x$ - $y$ -Ebene. Das eingefügte Histogramm zeigt die Pulshöhenverteilung auf Kathodenpads und Zeitpunkte innerhalb des Driftbereichs. Aus: [ALI01]

Um diesen Effekt zur Unterscheidung von Teilchen zu nutzen, sind an die radialen Innenseiten der Driftkammern des TRD Radiatoren angefügt. Sie bestehen aus etwa hundert abwechselnden Schichten von Polypropylenfasern und Rohacell-Schaum. Die dielektrischen Eigenschaften der beiden Materialien sind sehr unterschiedlich. Die Anzahl der Übergänge ist so gewählt, dass die Strahlungsintensität bei den gesuchten Elektronen ausreichend hoch ist. Die Übergangsstrahlung der Elektronen liegt im weichen Röntgenbereich. Die rund 273-mal schwereren Pionen lösen kaum Übergangsstrahlung aus. Der zeitliche Verlauf der durch Elektronen und Pionen ausgelösten Signale ist in Abbildung 2.4 dargestellt. Der ausgeprägte Peak am Ende der Driftzeit der Elektronen geht auf die durch Übergangsstrahlung ausgelösten Ladungen zurück.

**Spurnachweis** Die Driftkammern sind ein mit einem Gasgemisch (Xe, CO<sub>2</sub>) gefülltes Volumen, welches in zwei Bereiche unterteilt ist. Im Driftbereich, der in radialer Richtung die ersten 3 cm einnimmt, ist ein homogenes elektrisches Feld angelegt. In der anschließenden *Amplification Region* herrscht ein inhomogenes Feld mit sehr hohen Feldstärken (siehe Abbildung 2.5).

Durchquert ein geladenes Teilchen das Gasvolumen, löst es Elektronen aus den Gasato-

men aus, welche mit einer konstanten Geschwindigkeit im homogenen Feld driften. Für die maximale Driftstrecke von drei Zentimetern werden  $2\ \mu\text{s}$  benötigt. Auch die Übergangsstrahlungsphotonen ionisieren Gasatome und erzeugen driftende Elektronen. Die Ladung dieser primär ausgelösten Elektronen ist für einen Nachweis zu gering. Durch die starken Felder in der *Amplification Region* werden die Elektronen beschleunigt und lösen Lawinen weiterer Elektronen aus. Die Elektronen werden an den Anodendrähten eingefangen, die positiven Gasionen driften zu den Kathodenplättchen (*Pads*), wo der zeitliche Verlauf der einlaufenden Ladung nachgewiesen wird. In azimuthaler Richtung sind in allen Kammern 144 solcher *Pads* nebeneinander in einer *Pad Row* angeordnet. Je nach Typ besitzen die Kammern 12 oder 16 *Pad-Rows* in longitudinaler Richtung, also insgesamt 1728 bzw. 2304 *Pads*. Der zeitliche Verlauf der Ladungen an den Pads wird in je einem Analog-Digital-Wandler-Kanal erfasst. Der gesamte Detektor verfügt über rund 1,2 Mio. Kanäle. Die Abbildungen 2.5 und 2.6 zeigen zwei Schnitte durch die Detektorkammern.

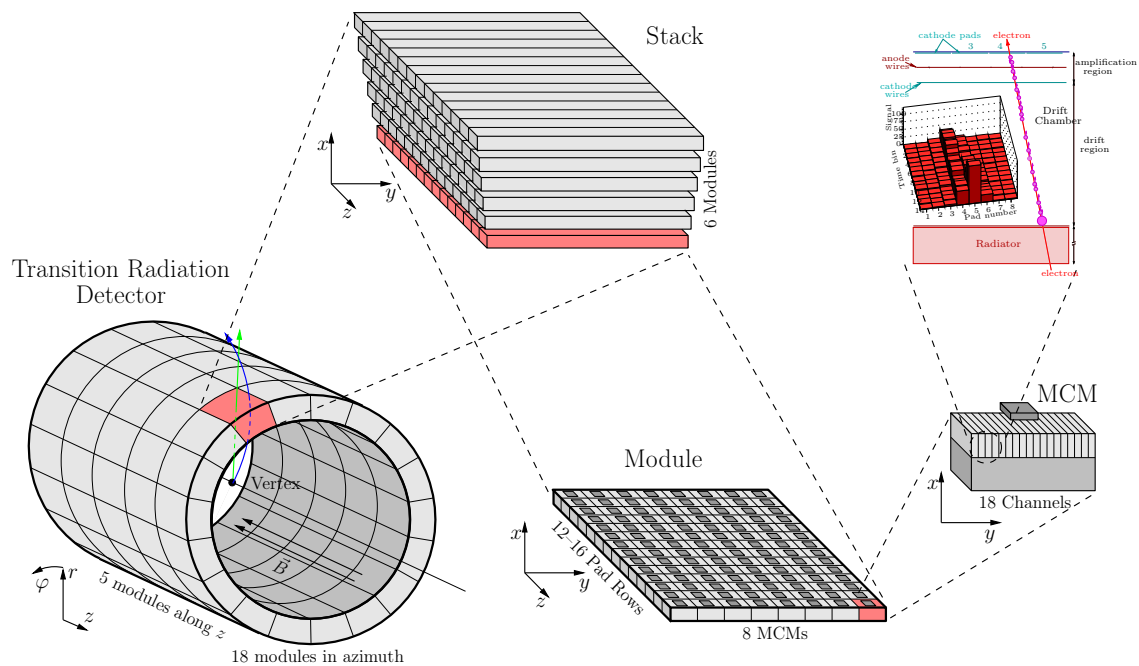


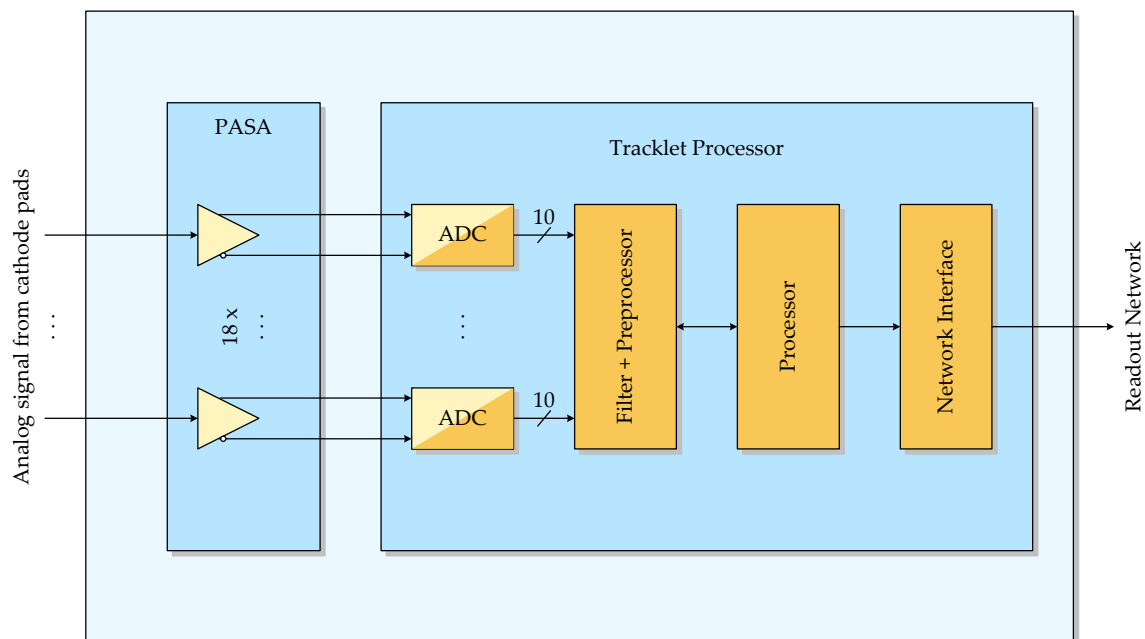
Abbildung 2.7: Aufbau des Übergangsstrahlungsdetektors

**Aufbau** Abbildung 2.7 stellt den Aufbau des Detektors aus den verschiedenen Baugruppen schematisch dar. Die Driftkammern bilden zusammen mit dem Radiator und der *Front-End*-Elektronik auf der Rückseite der Kammern die Detektormodule. Der TRD ist aus insgesamt 540 Modulen aufgebaut. Sechs in radialer Richtung übereinander angeordnete Module bilden einen *Stack*. Fünf *Stacks* sind in longitudinaler Richtung zu einem

Supermodul zusammengefasst. Die 18 Supermodule liegen in  $\varphi$ -Richtung nebeneinander und bilden so einen Hohlzylinder mit einem inneren Radius von 2,9 m und einem Außenradius von 3,7 m.

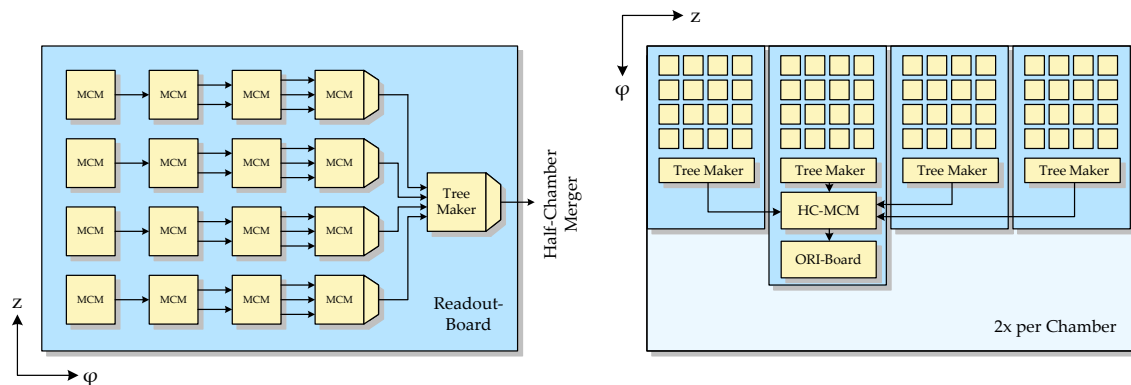
### 2.3.2 Die Front-End-Elektronik des TRD

Die Rohdaten eines Events werden durch Digitalisierung der auf den *Pads* der Driftkammern deponierten Ladung erzeugt. Durch einen rauscharmen ladungsempfindlichen *Pre Amplifier Shaping Amplifier* (PASA) wird eine zur Ladung proportionale Spannung (6,1 mV/fC) erzeugt. Der zeitliche Verlauf dieser Spannung wird von einem Analog-Digital-Wandler (ADC) in bis zu 64 10-Bit-Worten mit einem Abstand von jeweils 100 ns aufgezeichnet. Diese Rohdaten werden durch einen digitalen Präprozessor bearbeitet und in einem Multiport-Speicher vier spezialisierten Prozessoren zur Suche nach kurzen, steifen Spursegmenten bereitgestellt. Die Spursegmente werden im Folgenden als *Tracklets* bezeichnet. Die ADCs zur Digitalisierung, der Speicher und die CPUs zur *Tracklet*-Suche sind in einem *Tracklet Processor Chip* (TRAP) integriert. Jeweils ein PASA- und ein TRAP-Die sind in einem *Multi Chip Module* (MCM) zusammengefasst (siehe Abbildung 2.8).



**Abbildung 2.8:** Aufbau eines *Multi Chip Moduls*. Die analogen Signale von 18 Kanälen werden im *Pre Amplifier Shaping Amplifier* (PASA) aufbereitet und verstärkt. Im TRAP-Chip findet die Analog-Digital-Wandlung, die Filterung und Vorverarbeitung der Daten sowie die Berechnung der *Tracklet*-Parameter statt. Die *Network Interfaces* bilden die Ausleseebenen.

Je nach Kammertyp besteht die *Front-End-Elektronik* aus sechs (mittlerer *Stack-Ring*) bzw. acht *Readout Boards* auf der Kammerrückseite. Jedes der *Readout Boards* trägt 16 MCMs zur Aufnahme, Verarbeitung und Pufferung der Daten von jeweils 18 Kanälen. Um die Auslese der MCMs mit geringer Latenz zu ermöglichen, sind sie in einem vierstufigen Auslesebaum verbunden. Die MCMs der vierten Ebene fungieren nur als Datenquellen. Die der dritten Ebene dienen als Datenquellen und leiten jeweils die Daten eines MCM aus der vierten Ebene weiter. In der zweiten und ersten Ebene wird dieses Schema weitergeführt, so dass jeweils ein MCM der ersten Ebene seine eigenen Daten und die Daten drei weiterer MCMs konzentriert. Die so gebildeten vier Auslesestränge enden in einem zusätzlichen MCM, dem *Tree Maker* MCM, welches die Daten eines *Readout Boards* zusammenführt. Abbildung 2.9 zeigt den Auslesebaum eines *Readout Boards* und einer halben Kammer. Eine detaillierte Darstellung wird in [Sch03] gegeben.



**Abbildung 2.9:** Auslesebaum eines *Readout Boards* (links) und einer halben 8er-Kammer (rechts). Die 16 MCMs eines *Readout Boards* verarbeiten zusammen 288 Kanäle. Vier vierstufige Auslesebäume werden von einem *Tree Maker* MCM zum Datenstrom der eines *Readout Boards* konzentriert. Die Daten von drei bzw. vier *Readout Boards* werden vom *Half-Chamber Merger* MCM an ein ORI-Board weitergeleitet.

Jede Kammer besitzt zwei *Readout Boards*, die noch über ein weiteres MCM verfügen, welches als *Half-Chamber Merger* MCM (HC-MCM) bezeichnet wird. Die Auslesebäume der Hälfte der *Readout Boards* einer Kammer werden von einem solchen HC-MCM zusammengefasst. Die zwei speziellen *Readout Boards* tragen zusätzlich die *Optical Readout Interface Boards* (ORI-Boards), welche die Daten einer halben Kammer über eine optische Datenstrecke zur *Global Tracking Unit* (GTU) außerhalb des starken Magnetfeldes übertragen. Insgesamt 1 080 optische Übertragungsstrecken kommen zum Einsatz.

### 2.3.3 Das Triggersystem des TRD

Kurz nach einer Kollision erhält die *Front-End*-Elektronik des TRD den *Pre Trigger*. Die Digitalisierung der rund 1,2 Mio. Kanäle und die Verarbeitung der Daten in den MCMs beginnt. Trifft  $1,2\ \mu\text{s}$  nach der Kollision der *Level-0*-Trigger ein, setzen die MCMs ihre Arbeit fort. Bleibt er aus, löschen die Chips die ihre Daten und kehren in den Wartezustand zurück. Nach etwas mehr als  $2\ \mu\text{s}$  ist die Berechnung der Fits abgeschlossen und die CPUs der TRAP-Chips zur Suche und Parametrisierung der *Tracklets* werden gestartet. Die Übertragung der Daten über die optischen Strecken beginnt  $4\ \mu\text{s}$  nach der Kollision. Mit dem Eintreffen der ersten *Tracklets* beginnen die *Track Matching Units* mit der Rekonstruktion der Teilchenspuren und der Berechnung der Transversalimpulse.

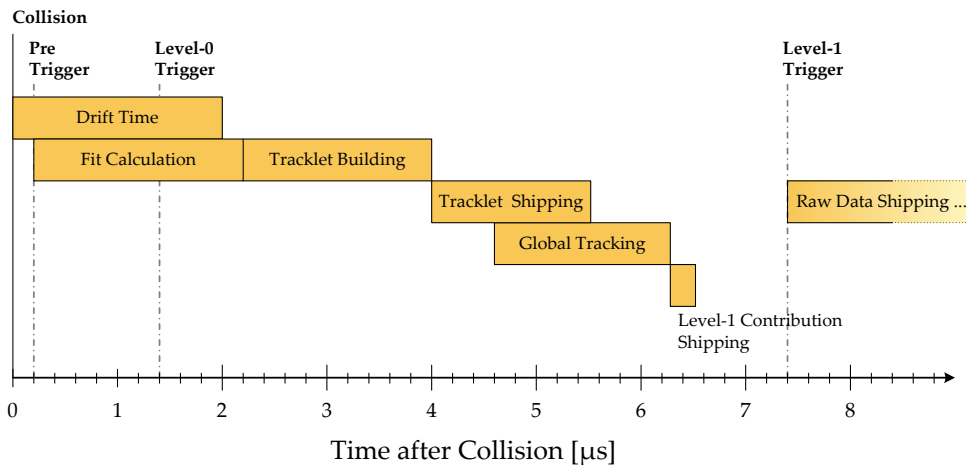
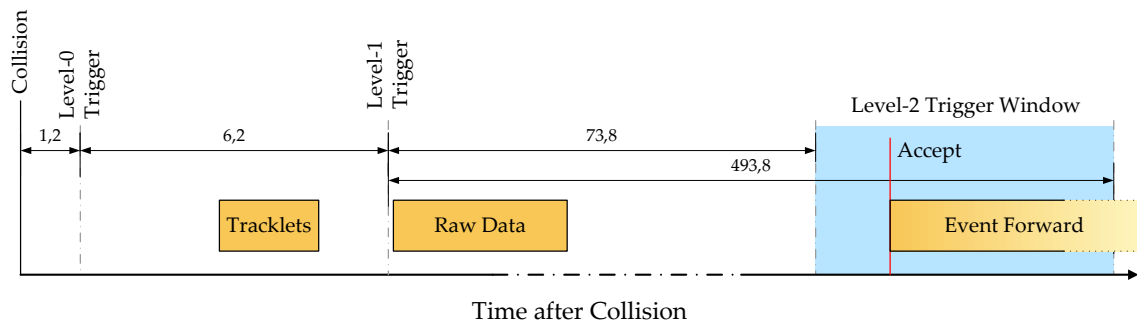


Abbildung 2.10: Triggersequenz der *Front-End*-Elektronik

Nach  $6,2\ \mu\text{s}$  muss die Entscheidung über den *Level-1*-Beitrag des TRD gefallen sein und an den *Central Trigger Processor* (CTP) übertragen werden. Dieser trifft anhand der Beiträge mehrerer Detektoren die Entscheidung für den *Level-1*-Trigger. Wird  $7,4\ \mu\text{s}$  nach der Kollision eine *Level-1*-Triggerentscheidung signalisiert, beginnt die *Front-End*-Elektronik mit der Übertragung der Rohdaten (ADC-Werte von etwa 20 *Time Bins*) aller Kanäle. Anschließend kehrt sie in den Wartezustand zurück. Abbildung 2.10 zeigt den Zeitablauf der Vorgänge bis zum *Level-1*-Trigger.

Die *Tracklet*-Parameter und Rohdaten der Ereignisse werden in den *Event-Buffering*-Einheiten der TMU-Boards innerhalb der *Global Tracking Unit* empfangen und zwischengespeichert. Im Zeitfenster von 80 bis  $500\ \mu\text{s}$  nach dem *Level-0*-Trigger erfolgt die *Level-2*-Triggerentscheidung (siehe Abbildung 2.11). Bei einem *Accept* werden die zwischengespeicherten Ereignisdaten von den *Event-Buffering*-Einheiten an die *Super Module Units* übertragen und von dort an das *Data Acquisition System* und den *High-Level Trigger* weitergeleitet. Wird ein *Reject* signalisiert, werden die gepufferten Ereignisdaten verworfen.

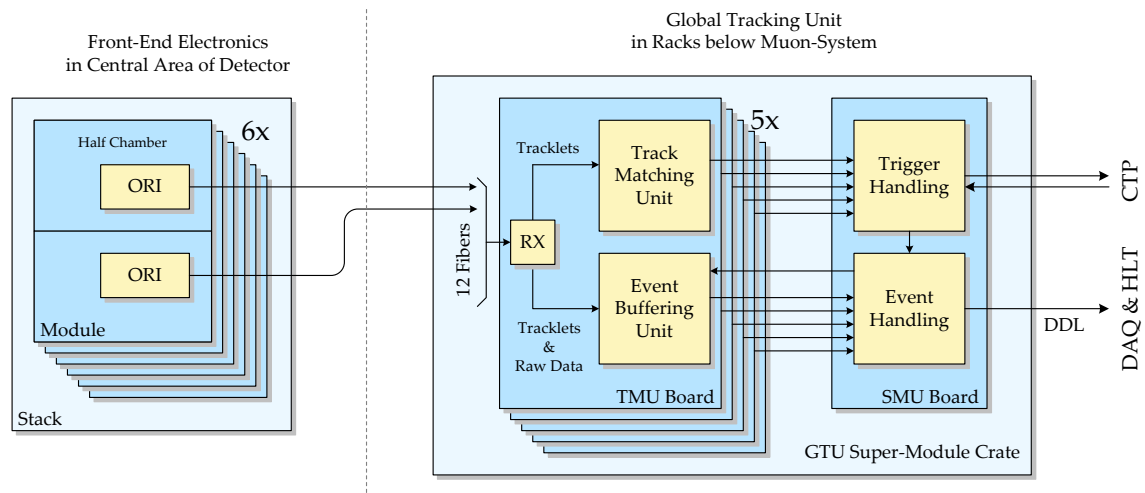


**Abbildung 2.11:** Triggersequenz von der Kollision bis zum Level-2-Trigger. Alle Zeiten sind in Mikrosekunden angegeben.

In den rund 74 bis 494  $\mu\text{s}$  zwischen *Level-1-Trigger* und *Level-2-Accept* können weitere Abfolgen von *Level-0-* und *Level-1-Triggern* ausgelöst werden, dies wird als *Trigger Interleaving* bezeichnet.

### 2.3.4 Die Ausleseketten

Der erste Teil der Ausleseketten besteht aus den bereits vorgestellten Auslesebäumen auf den *Readout Boards* und den Detektormodulen. Zwei *Optical Readout Boards* übertragen die Daten eines Moduls über 60 m lange Glasfasern an die *Racks* der *Global Tracking Unit* (ihre Aufgabe wird in Kapitel 5 beschrieben). Diese befinden sich außerhalb des starken Detektormagnetfeldes unterhalb des Myonen-Systems.



**Abbildung 2.12:** Die Ausleseketten des TRD, dargestellt für ein Supermodul.

Die zwölf Glasfasern eines Detektor-Stacks laufen in einem *Track Matching Unit Board* (TMU-Board) der GTU zusammen. Jedes der TMU-Boards enthält eine Einheit für die

Spur- und Impulsrekonstruktion aus den *Tracklet*-Daten sowie eine *Event-Buffering*-Einheit für die Zwischenspeicherung der gesamten Ereignisdaten.

Fünf TMU-Boards verarbeiten die Daten eines Supermoduls und leiten diese an eine *Super Module Unit* (SMU) weiter. Anhand der von den 18 SMUs des Detektors zusammengefassten Ergebnisse der Triggerberechnungen wird die Entscheidung für den *Level-1*-Triggerbeitrag getroffen und an den *Central Trigger Processor* weitergeleitet. Bei einem *Level-2-Accept* werden die in den *Event-Buffering*-Einheiten der TMU-Boards zwischengespeicherten Ereignisdaten über die SMUs an das *Data Acquisition System* (DAQ) und an den *High-Level Trigger* weitergeleitet.





## 3 Das ORI-Board

Im ersten Teil dieses Kapitels werden das Funktionsprinzip und die Baugruppen des *Optical Readout Interface Boards* beschrieben. Die Optimierung der Laserdiodenansteuerung zur Gewährleistung einer zuverlässigen Datenübertragung mit geringen Fehlerraten ist Thema des zweiten Teils. Im anschließenden Kapitel 4 wird der im Rahmen dieser Arbeit durchgeführte Strahlentoleranztest der Boards behandelt.

### 3.1 Aufbau und Funktionsprinzip

Die *Optical Readout Interface Boards* (ORI-Boards) sind Teil der *Front-End*-Elektronik des TRD. Ihre Aufgabe ist die Übertragung der *Tracklet*-Parameter und ADC-Rohdaten jeweils einer halben Kammer über Glasfaserstrecken zur *Global Tracking Unit* (GTU) außerhalb des starken Magnetfeldes im L3-Magneten. Insgesamt 1 080 dieser Boards werden im Detektor eingebaut.

Sie sind als sechslagige FR-4-Platinen mit Abmessungen von  $13 \times 4,2$  cm gefertigt und werden über zwei *Mezzanine-Card*-Stecker (PMC-Stecker) mechanisch und elektrisch mit einem *Readout Board* auf der Kammerrückseite verbunden.

Über einen der beiden Stecker liefert das *Half-Chamber Merger* MCM (HC-MCM) die Daten einer halben Detektorkammer über einen elf Bit breiten LVDS<sup>1</sup>-Datenstrom. Dieser umfasst acht Datensignale, ein *Parity*- und ein *Strobe*-Signal zur Markierung gültiger Datenworte. Ein redundantes Leitungspaar steht für den Ausfall einer Datenleitung zur Verfügung. Je ein 8-Bit-Datenwort wird zur steigenden und zur fallenden Flanke des MCM-Takts mit einer Frequenz von 120 MHz übertragen. Der andere Stecker stellt zusätzliche Verbindungen für Steuer- und Kontrollaufgaben zur Verfügung, darunter eine JTAG-Verbindung zum CPLD und zwei serielle Busse zur Konfiguration und Statusabfrage verschiedener Bausteine auf dem Board.

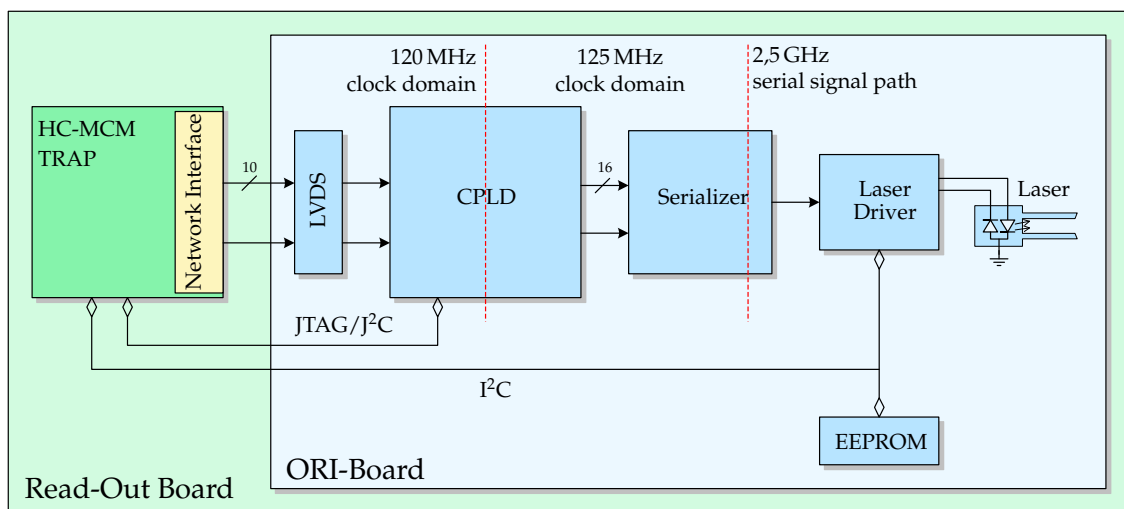
Alle Komponenten zur Umwandlung der parallelen elektrischen Signale in modulierte optische Gigabit-Signale sind auf dem ORI-Board integriert. Der schematische Aufbau ist in Abbildung 3.1 dargestellt.

---

<sup>1</sup> Beim ‚Low Voltage Differential Signaling‘ werden Signale im Gegensatz zu ‚Single-Ended‘-Signalen nicht durch den Spannungspegel auf einer, sondern durch die Spannungsdifferenz auf zwei Leitungen kodiert. Äußere Störungen wirken sich auf beide Leitungen ähnlich aus und beeinflussen die Spannungsdifferenz nur wenig. Dadurch reichen geringere Spannungen aus und die Störanfälligkeit ist gegenüber ‚Single-Ended‘-Signalen deutlich reduziert.

Die LVDS-Signale werden durch Pegelwandler in LVCMOS-Signale gewandelt und an ein CPLD<sup>2</sup> geführt. In diesem CPLD ist eine Schaltung implementiert, welche die 8-Bit-Signale, die synchron zu beiden Flanken des MCM-Takts eintreffen, erfasst und in eine zweite *Clock Domain*<sup>3</sup> übersetzt.

Innerhalb dieser *Clock Domain* wird der *Serializer*-Chip mit einem Datenstrom aus 16-Bit-Worten zu der steigenden Flanke eines 125 MHz-Takts versorgt. Der Chip führt die 8B/10B-Kodierung der Daten (siehe Abschnitt 6.1.3) und die Umwandlung der daraus resultierenden 20-Bit-Blöcke in aufeinander folgende einzelne Bitwerte (Serialisierung) durch.



**Abbildung 3.1:** Schematischer Aufbau des *Optical Readout Interface Boards* mit den Datenpfad-Komponenten und den drei *Clock Domains*.

Das so erzeugte hochfrequente serielle Datensignal wird über ein differentielles Leitungspaar kapazitiv an den Eingang eines integrierten Lasertreiber-Chips gekoppelt. Der Treiber steuert über einen sorgsam gestalteten Hochfrequenzsignalpfad mit dediziertem Maschensystem eine *Vertical-Cavity-Surface-Emitting-Laser-Diode* (VCSEL-Diode) an, die bei einer Wellenlänge von 850 nm eine modulierte optische Leistung bis zu einem Milliwatt emittiert. Die Konfiguration der rund zwanzig Ansteuerparameter des Treibers ist in einem EEPROM<sup>4</sup> gespeichert und wird bei Einschalten der Betriebsspannung vom Treiberchip über einen I<sup>2</sup>C-Bus ausgelesen.

Dieser Bus ist über einen der PMC-Stecker mit dem HC-MCM verbunden und über einen Pfostenstecker auch direkt zugänglich. Dies ermöglicht einerseits eine Anpassung der

<sup>2</sup> Ein ‚Complex Programmable Logic Device‘ ist ein Logikbaustein, welcher auf einer festen Matrix logischer Verknüpfungselemente mit programmierbaren Verbindungspunkten basiert.

<sup>3</sup> Als ‚Clock Domain‘ wird der Bereich einer Logikschaltung bezeichnet, dessen Speicherelemente synchron zu einem gemeinsamen Takt (*Clock*) betrieben werden.

<sup>4</sup> ‚Electrically Erasable Programmable Read-Only Memory‘

Treiberkonfiguration an eine mögliche Degradation der Laserdioden oder der Glasfasern im laufenden Detektorbetrieb. Zum Anderen sind die Einstellungen und die Statusregister des Treibers während Entwicklungs- und Montagephasen mittels einer im Rahmen dieser Arbeit entwickelten Software leicht zugänglich (siehe Abschnitt 3.6).

## 3.2 Datenpfad-Komponenten

Das *Network Interface* des TRAP-Chips im *Half-Chamber Merger* überträgt die *Tracklet*- und Rohdaten in 8-Bit-Worten mit beiden Flanken seines 120 MHz-Takts. Gültige Daten werden durch Setzen des *Strobe*-Signals gekennzeichnet. Für die Übertragung der 8-Bit-Datenworte stehen neun differentielle Signalkomplexe zur Verfügung, ein Komplex kann ohne Behinderung des Datenflusses ausfallen.

Die Schaltung im CPLD (Lattice Semiconductors, ispMACH4256) erfasst die Datenworte zu beiden Flanken und stellt aus zwei gültigen Datenworten ein 16-Bit-Datenwort zusammen. Zur Reprogrammierung des CPLD sind seine JTAG-Signale an das HC-MCM geführt. Zwei der Leitungen können auch für eine zweiadrige serielle Verbindung genutzt werden. Diese in Anlehnung an I<sup>2</sup>C als J<sup>2</sup>C bezeichnete Schnittstelle dient zur Einstellung, welche der Leitungspaare zur Übertragung der Daten genutzt werden.

Der Sendetakt wird über die optische Strecke nicht mit übertragen und steht somit auf der Empfängerseite nicht zur Verfügung. Er muss daher aus dem empfangenen seriellen Datenstrom rekonstruiert werden. Um dies zu ermöglichen, müssen neben den Nutzdaten auch Füllworte, so genannte Komma-Zeichen, in den optischen Datenstrom eingefügt werden. Sie sind auf der Empfängerseite zum Einen für das *Comma Alignment* und zum Anderen für das *Rate Matching* wichtig. In Abschnitt 6.1 wird hierauf näher eingegangen. Für die serielle Übertragungsstrecke muss daher eine höhere Datenrate als die reine Nutzdatenrate gewählt werden. Mit der 8B/10B-Kodierung wird für die Nutzdaten mindestens eine Bitfrequenz von 2,4 GHz ( $20 \cdot 2 \cdot 120 \text{ MHz}$ ) benötigt. Für die optische Strecke wird eine Bitfrequenz von 2,5 GHz verwendet. Dies ermöglicht einen etwa vierprozentigen Anteil an Komma-Zeichen im Übertragungsdatenstrom.

Die Umsetzung des 8-Bit-DDR<sup>5</sup>-Datenstroms mit der MCM-Frequenz von 120 MHz (seriell 2,4 GHz) auf den 16-Bit-SDR-Datenstrom mit dem *Serializer*-Takt von 125 MHz (seriell 2,5 GHz) findet ebenfalls in der CPLD-Schaltung statt. Bei dieser Umsetzung entsteht auch bei voller Auslastung des MCM-Datenstroms in mindestens jedem 32sten *Serializer*-Takt eine Lücke im reformatierten Datenstrom. Weist der MCM-Datenstrom Lücken auf, da gerade keine zu übertragenden Daten bereitstehen, treten auch im übersetzten Datenstrom zusätzliche Lücken über viele Takte auf.

<sup>5</sup> ‚DDR‘ steht für ‚Double Data Rate‘ und bezeichnet die Übertragung von Datenworten zur steigenden und zur fallenden Flanke des Übertragungstakts. ‚SDR‘ hingegen steht für ‚Single Data Rate‘ und bezeichnet die Übertragung von Datenworten entweder zur steigenden oder zur fallenden Flanke des Übertragungstakts.

In diese Lücken fügt der *Serializer*-Chip (Texas Instruments, TLK2501) automatisch eines von zwei Komma-Zeichen ein (die Kombinationen <D16.2, K28.5> und <D5.6, K28.5> aus dem 8B/10B-Code-Raum).

Die CPLD-Schaltung ist auf eine möglichst geringe Latenz in der Umsetzung ausgerichtet, da die Übertragung der *Tracklet*-Parameter ein kritischer Beitrag für die gesamte Triggerlatenz des TRD ist. Eine maximale Latenz von acht Serializer-Takten, also 64 ns, wird gewährleistet [LARP05].

Zur Erzeugung der Bitfrequenz von 2,5 GHz verfügt der Serializer-Chip über einen integrierten *Phase-Locked Loop*<sup>6</sup> (PLL), welcher eine Multiplikation des Datenwort-Takts mit dem Faktor 20 ausführt. Für eine zuverlässige Datenübertragung ist neben einer guten Übereinstimmung in der Frequenz des Sendetakts und der Frequenz des zur Rekonstruktion des Sendetakts verwendeten Oszillators ein geringer Jitter notwendig. Der zur Erzeugung des 125 MHz-Basistakts verwendete Quarz-Oszillator weist eine Frequenzstabilität von 200 ppm und einen Jitter von 60 ps auf.

### 3.3 Laserdiode und Laserdiodentreiber

Zur Erzeugung der schnellen optischen Signale werden VCSEL-Dioden (ULM Photonics, ULM850-02-TN-ULCBPP) in einem TOSA-Gehäuse mit LC-Anschluss eingesetzt. Der Diodyentyp liefert eine optische Leistung von maximal einem Milliwatt. In der Rückseite der Laserkavität ist eine Monitordiode integriert, deren Photostrom als Rückkopplung für die Regelung der emittierten optischen Leistung verwendet werden kann. Die wichtigsten Kennzahlen der Laserdiode sind in Tabelle 3.1 zusammengefasst, ihre Kennlinien werden in Abbildung 3.2 dargestellt.

Abbildung 3.3 zeigt die emittierte optische Leistung von vier Laserdioden bei verschiedenen Monitorströmen. Der Photostrom der Monitordiode ist annähernd proportional zur emittierten optischen Leistung. Die Proportionalitätskonstante weist jedoch eine deutliche Varianz auf. Neben der Varianz durch Fertigungstoleranzen und kleine Unterschiede in der Ansteuerung auf den ORI-Boards zeigen die einzelnen Laserdioden auch eine leichte Abhängigkeit von der Umgebungstemperatur und von verschiedenen Ansteuerparametern des Lasertreibers, die eigentlich keinen Einfluss erwarten lassen.

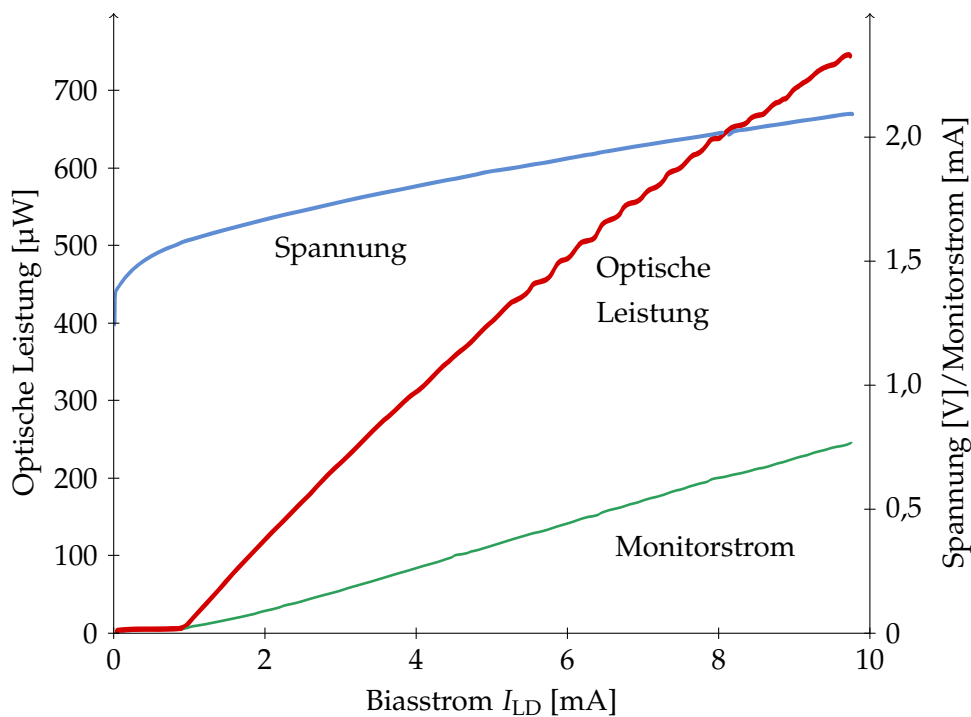
Eine genaue Einstellungen der mittleren optischen Leistung für alle ORI-Boards wäre nur mittels individueller Anpassung des Monitorstrom-Sollwertes  $I_{MD\_NOM}$  möglich. Dies

---

<sup>6</sup> Ein ‚Phase-Locked Loop‘ dient zur Erzeugung eines Taktsignales einer gewünschten Frequenz,  $f_{out}$ , aus einem Signal mit einer anderen Taktrate,  $f_{in}$ . Er besteht aus einem einstellbaren Oszillator, einer Einheit zur Phasenerkennung und mindestens einem Frequenzteiler. Der Oszillatortakt,  $f_{osc}$ , wird durch einen Teiler,  $D_1$ , heruntergeteilt und die Phasendifferenz zwischen dem resultierenden und dem Eingangstakt bestimmt. Durch Variation der Oszillatorfrequenz minimiert ein Regelkreis diese Phasendifferenz. Der Oszillator schwingt dann mit der Frequenz  $f_{osc} = D_1 \cdot f_{in}$ . Die multiplizierte Oszillatorfrequenz kann durch einen zusätzlichen Teiler,  $D_2$ , zu  $f_{out} = \frac{D_1}{D_2} \cdot f_{in}$  modifiziert werden.

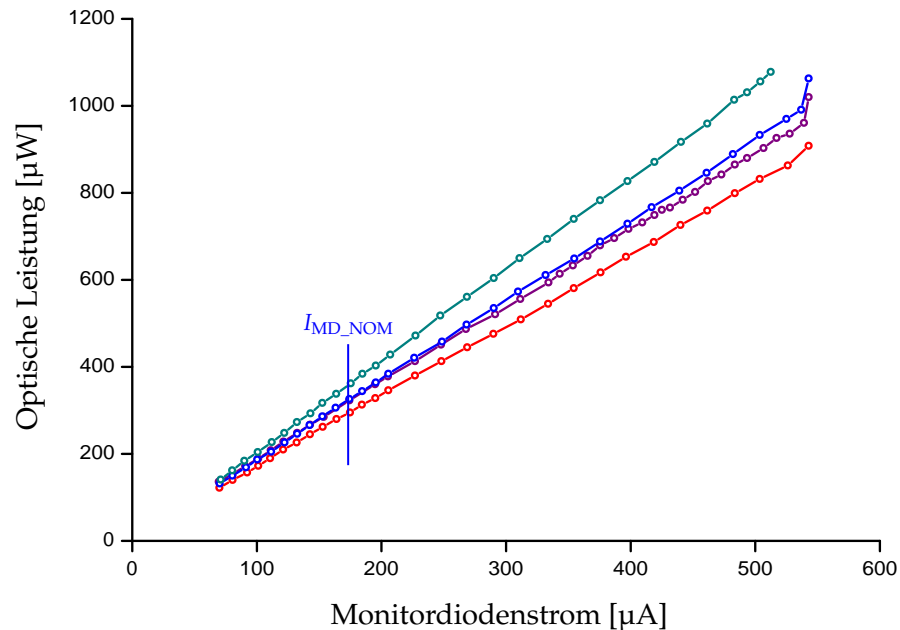
Parameter	Symbol	min.	typ.	max.	Einheit
Wellenlänge	$\lambda_R$	840	850	860	nm
Optische Leistung	$P_{\text{opt}}$		400	800	$\mu\text{W}$
Biasstrom Laserschwelle	$I_{\text{th}}$	0,8	1,5	2,0	mA
Optische Effizienz	$\eta$	0,05	0,15	0,20	mW/mA
Ein-/Ausschaltzeit	$t_R/t_F$		100	150	ps
Kontinuierlicher Biasstrom	$I_C$			12	mA
Elektrische Verlustleistung	$P_{\text{el}}$			30	mW
Monitorstrom	$I_{\text{PD}}$	100		600	$\mu\text{A}$

Tabelle 3.1: Kennzahlen der Laserdiode ULM850-02-TN-ULCBPP



**Abbildung 3.2:** Kennlinien der Laserdiode: Vorwärtsspannung, optische Leistung und Monitorstrom aufgetragen gegen den Laserbiasstrom (Vorwärtsstrom). Der Monitorstrom ist annähernd proportional zur optischen Leistung.

ist jedoch aufgrund des ausreichend großen Spielraumes bei den eingesetzten Empfängermodulen nicht notwendig. Die Empfänger-Module auf den TMU-Boards der *Global Tracking Unit* benötigen eine optische Leistung oberhalb von etwa 100  $\mu\text{W}$ . Um einen ausreichenden Sicherheitsspielraum zu gewährleisten, ist der gemeinsame Sollwert für alle ORI-Boards so gewählt, dass jede Faser an den optischen *Patch Panels* der Supermodule mindestens 200  $\mu\text{W}$  liefert.



**Abbildung 3.3:** Abhängigkeit der optischen Leistung vom vorgegebenen Monitor diodenstrom für vier Laserdioden. Der Zusammenhang ist annähernd proportional, zeigt aber eine deutliche Varianz in der Proportionalitätskonstanten. Mit  $I_{MD\_NOM}$  ist der Vorgabewert für alle ORI-Boards bezeichnet. An der oberen Grenze der optischen Leistung kommt es zu Instabilitäten im Regelverhalten, die optische Leistung schwankt.

### Modulation der optischen Leistung

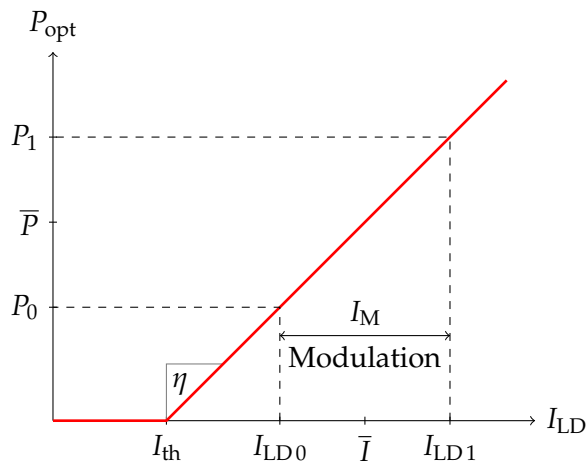
Zur Ansteuerung der Laserdiode wird ein integrierter Lasertreiber (Linear Technology, LTC5100) verwendet. Er übernimmt sowohl die schnelle Modulation des Laserdioden-Biasstroms als auch die langsame Regelung seines Betrags zur Einstellung der gewünschten mittleren optischen Leistung. Um hohe Schaltgeschwindigkeiten im Biasstrom für möglichst steile Flanken in der emittierten optischen Leistung zu erzielen, verwendet der Lasertreiber ein *Shunt-Switching*-Verfahren.

Das Grundprinzip dieses Verfahrens ist die Aufteilung eines von einer einstellbaren Konstantstromquelle bereitgestellten Source-Stroms  $I_S$  auf zwei Pfade.

Der eine Pfad führt einen Teil des Stroms als Biasstrom,  $I_{LD}$ , durch die Laserdiode zu Masse. Der zweite Pfad zweigt einen Teil des Stroms, den Modulationsstrom  $I_M$ , über einen schnellen Feldeffekttransistor direkt zu Masse ab. Dieser Transistor ist so ausgelegt, dass seine Impedanz sehr schnell zwischen zwei einstellbaren Werten umgeschaltet werden kann.

Die Impedanz des Transistors wird mit dem elektrischen seriellen Datensignal des *Serializers* geschaltet. Durch das Ein- und Ausschalten des Modulationsstroms wird auch

der Biasstrom der Laserdiode zwischen zwei Werten,  $I_{LD0}$  und  $I_{LD1}$ , umgeschaltet. Die beiden Werte sind durch geeignete Wahl von  $I_S$  und  $I_M$  so einzustellen, dass die beiden korrespondierenden optischen Leistungen vom Empfänger eindeutig unterschieden werden können. Abbildung 3.4 illustriert den Modulationsvorgang.



**Abbildung 3.4:** Modulation der optischen Leistung durch Schalten des Laserbiasstroms zwischen  $I_{LD0}$  und  $I_{LD1}$ . Beide Werte liegen oberhalb der Laserschwelle bei  $I_{th}$ , um die Flankensteilheit der emittierten optischen Leistung zu maximieren. Mit  $\eta$  wird die Effizienz der Umsetzung des Biasstroms in optische Leistung bezeichnet.

Zur Verbesserung der Schaltungseigenschaften werden zwischen der Konstantstromquelle und der Verzweigung zu den beiden Pfaden ein Terminierungswiderstand und eine Kapazität gegen Masse eingesetzt (siehe Abbildung 3.5).

Der Widerstand bringt zwei Vorteile mit sich. Zum Einen ‚sieht‘ die Konstantstromquelle durch den Terminierungswiderstand eine nahezu vom Schaltzustand des Modulationstransistors unabhängige Lastimpedanz. Durch geeignete Wahl des Widerstandswertes können zudem Reflexionen minimiert werden. Zum Anderen wird der Hochfrequenzpfad durch den Widerstand von der Kapazität der Stromquelle isoliert, was die Modulationsgeschwindigkeit weiter erhöht.

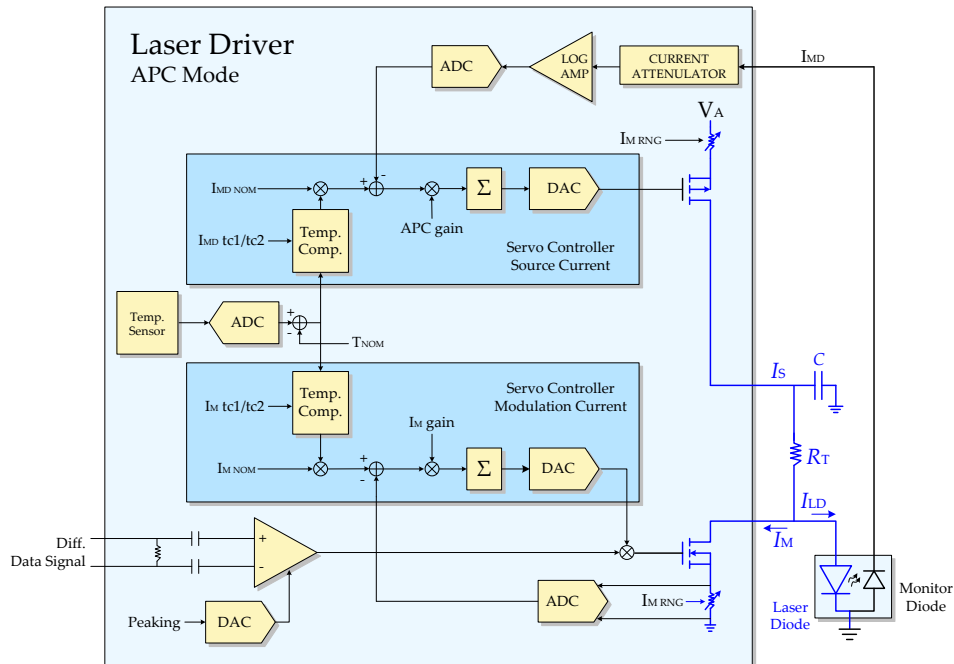
Zusätzlich bildet der Widerstand zusammen mit der Kapazität einen Tiefpass-Filter, der die Rückkopplung der hochfrequenten Signale auf die Versorgungsspannung der Konstantstromquelle reduziert.

### Regelung der mittleren optischen Leistung

Der Lasertreiber bietet zwei Betriebsmodi zur langsamen Regelung des Source- und des Modulationsstroms. Im *Constant-Current-Control*-Modus werden die Sollwerte für die beiden Ströme direkt vorgegeben. Dieser Modus eignet sich für Laserdioden, welche eine sehr geringe Varianz in der optischen Effizienz zeigen oder nicht über eine integrierte Monitordiode zur Rückkopplung der optischen Leistung verfügen. Der zweite Betriebsmodus, der *Automatic-Power-Control*-Modus (APC-Modus), bietet eine Regelung des Source-Stroms anhand des Photostroms  $I_{MD}$  einer Monitordiode, erlaubt also eine in-

direkte Vorgabe der mittleren optischen Leistung. In diesem Modus werden die Sollwerte für den Monitor- und den Modulationsstrom vorgegeben.

Für die vorliegende Anwendung ist der APC-Modus gut geeignet. Die Laserdiode verfügt über eine integrierte Monitordiode und die in die Glasfaser emittierte optische Leistung ist die entscheidende Größe für die Zuverlässigkeit der optischen Datenübertragung. In einem begrenzten Rahmen wirkt sich auch eine Degradation der optischen Effizienz der Laserdiode nicht auf die optische Leistung aus.



**Abbildung 3.5:** Schematischer Aufbau des Lasertreibers im APC-Modus und der externen Beschaltung im Hochfrequenzpfad. Im rechten Teil befinden sich Strukturen zur Modulation des Laserbiasstroms mittels *Shunt Switching*, im mittleren Teil die Regelkreise des APC-Modus.

### Die wichtigsten Konfigurationsparameter

Für die Parametrisierung der Laseransteuerung stehen im APC-Modus 18 Einstellungen zur Verfügung. Bevor im nächsten Abschnitt die Optimierung dieser Parameter beschrieben wird, sollen die wichtigsten hier kurz vorgestellt werden. Tabelle A.1 im Anhang gibt einen Überblick über alle Konfigurationsparameter in diesem Modus.

**Wertebereiche der Ströme** Um eine Vielzahl von Diodentypen zu unterstützen, bietet der Lasertreiber für Source-, Modulations- und Monitorstrom jeweils vier Wertebereiche



an. Die Bereiche sind durch die Eigenschaften der Laserdiode vorgegeben, eine fehlerhafte Konfiguration kann bereits nach kurzer Zeit zur Zerstörung der Laserdiode führen. Für die ausgewählte Laserdiode ist jeweils der kleinste Wertebereich für Source- und Modulationsstrom passend. Für den Monitorstrom ist der zweitgrößte Bereich geeignet.

**Regelung der optischen Leistung** Der Modulationsstrom wird fest vorgegeben. Die Regelung der mittleren optischen Leistung erfolgt über den Betrag des Source-Stroms. Dieser wird von einem Servoregler innerhalb des vorgegebenen Bereichs so geregelt, dass die Differenz zwischen dem vorgegebenen Sollwert des Monitordiodenstroms und dem Istwert minimal wird. Die Dynamik des Servoreglers wird durch dessen *Open-Loop Gain* bestimmt.

Der Sollwert wird für die Referenztemperatur  $T_{\text{NOM}}$  angegeben. Zur Kompensation einer Temperaturabhängigkeit des Monitordiodenstroms werden Korrekturkoeffizienten für die Differenz zwischen der gemessenen und der Referenztemperatur in erster und zweiter Ordnung vorgegeben. Dies spielt für den Einsatz im Detektor unter kontrollierten Bedingungen mit gleich bleibender Temperatur jedoch keine Rolle. Die Sollwerte sind für eine Temperatur von 40 °C (Betriebstemperatur des Lasertreibers) vorgegeben und die Koeffizienten nur grob für einen Bereich von 20 bis 60 °C abgeschätzt.

Der Sollwert für den Monitorstrom muss einerseits so gewählt werden, dass die optische Leistung für den Empfänger unter allen Umständen ausreichend ist. Andererseits reduziert eine hohe optische Leistung die Betriebsdauer der Laserdiode. Der Sollwert von 181  $\mu\text{A}$  für den Monitorstrom stellt einen Kompromiss mit ausreichendem Sicherheitsfaktor dar. Er ist so gewählt, dass die optische Leistung in allen Fasern an den *Patch Panels* der Supermodule 200  $\mu\text{W}$  nicht unterschreitet. Diese Leistung liegt einen Faktor zwei über der von den Empfängern geforderten Mindestleistung.

**Hochfrequenzmodulation und Peaking** Der wichtigste Parameter zur Charakterisierung der schnellen Modulation des Laserbiasstroms ist der Betrag des Modulationsstroms. Der Betrag muss ausreichend groß sein, um deutliche Unterschiede in der optischen Leistung zu bewirken. Ein zu groß gewählter Wert verschlechtert jedoch zum Einen die elektrischen Schalteigenschaften. Zum Anderen führt das ‚langsame‘ Einsetzen des Laservorgangs zu flachen Kanten in der optischen Leistung. Es ist daher ein Modulationsstrom anzusetzen, bei dem auch der untere Wert des Laserbiasstroms den Laserbetrieb nicht unterbricht, sondern die optische Leistung nur deutlich reduziert.

Der Modulationsstrom wird durch einen internen 10-Bit-ADC gemessen. Für ihn wird ein Sollwert bei der Referenztemperatur vorgegeben (Korrekturkoeffizienten ermöglichen auch hier die Kompensation einer Temperaturabhängigkeit). Ein Servoregler minimiert die Differenz zwischen ADC- und Sollwert durch Ansteuerung eines DAC, welcher die Impedanz des eingeschalteten Feldeffekttransistors bestimmt.

Der Sollwert ist so skaliert, dass ein Wert von 512 der Hälfte des durch den ausgewählten Bereich festgelegten Maximalwertes entspricht.

Ein weiterer wichtiger Parameter der Hochfrequenzmodulation ist das *Peaking*. Um die Flanken bei trägen Laserdioden zu schärfen und das Einsetzen des Laservorganges zu beschleunigen, kann dem Modulationsstrom bei einem Signalwechsel ein kurzzeitiges Überschwingen aufgeprägt werden. Dies wird als *Peaking* bezeichnet. Die Stärke des *Peaking* wird durch einen Konfigurationsparameter bestimmt.

**Fehlerbehandlung** Als Teil der *Front-End*-Elektronik des Detektors sind die ORI-Boards nach der Montage der Supermodule nicht mehr für Wartungs- oder Reparaturarbeiten zugänglich. Der Ausfall einer Laserdiode würde den irreversiblen Verlust der Daten einer halben Kammer bedingen. Im Falle elektrischer Störungen oder kurzzeitiger Fehlfunktionen einzelner Bauteile, beispielsweise aufgrund der Strahlenbelastung, sind Schutzmechanismen für die Sicherheit der Laserdiode erforderlich. Der Lasertreiber überwacht verschiedene Betriebsparameter und schaltet den Source-Strom in jedem der folgenden Fälle ab:

- Der Laserbiasstrom überschreitet eine vorgegebene Grenze.
- Der Monitorstrom ist 50 % kleiner oder größer als der Sollwert.
- Die Versorgungsspannung unterschreitet einen kritischen Wert.

Verschiedene Einstellungen im Lasertreiber bestimmen die weitere Reaktion im Fehlerfall. Je nach Konfiguration wird der Laser nach Wegfallen der Fehlerbedingung wieder eingeschaltet oder bleibt bis zu einem Reset deaktiviert.

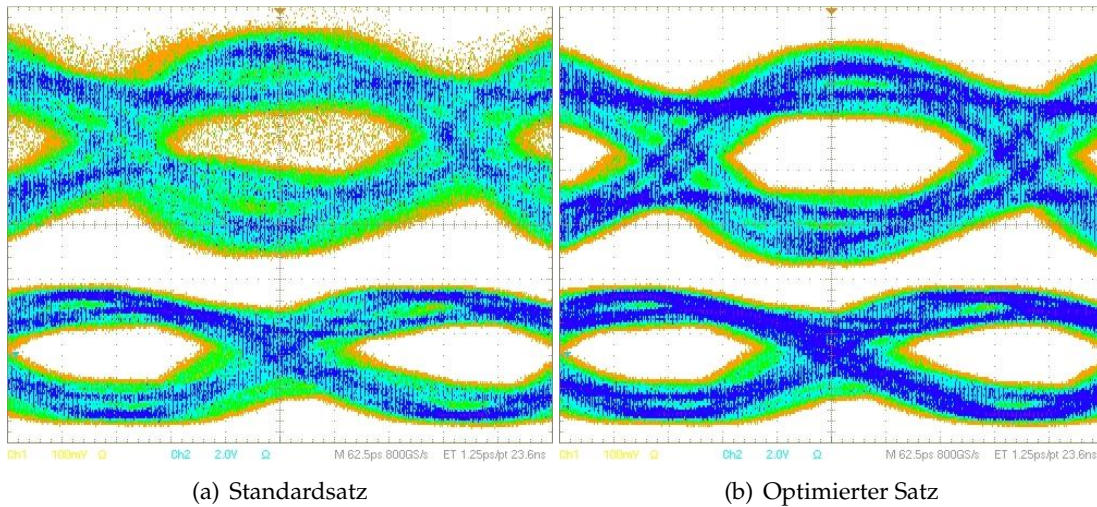
### 3.4 Optimierung der Ansteuerparameter

Drei Signale bestimmen die Zuverlässigkeit der optischen Datenübertragung. Neben dem Verhalten der Laserdiode bei der Umsetzung elektrischer in optische Signale und den Eigenschaften der Glasfaser bestimmt die Signalform des Laserbiasstroms die Qualität des optischen Signals entscheidend. Auf der Empfängerseite bestimmen die Eigenschaften der Schaltung zur Rückwandlung der optischen in elektrische Signale die Signalform, aus welcher letztlich die übertragenen Daten rekonstruiert werden.

Diese muss möglichst steile Flanken mit geringem *Jitter*<sup>7</sup> und einen ausreichenden Unterschied zwischen den beiden logischen Werten aufweisen.

---

<sup>7</sup> Die Flanken eines perfekten, regelmäßigen Signals treten in exakt gleichen Abständen auf. In der Realität führen verschiedene Einflüsse zu zeitlichen Abweichungen von der idealen Position. Diese werden als ‚Jitter‘ bezeichnet.



**Abbildung 3.6:** Augendiagramme des Laserbiasstroms zum ursprünglichen und optimierten Parametersatz. Die horizontale Einteilung beträgt 250 ps/div, die vertikale Skalierung ergibt sich aus der Strommessung über den eingebrachten Messwiderstand zu 4,2 mA/div.

Der erste Schritt in der Optimierung der Ansteuerparameter für die Laserdiode besteht aus einem iterativen Prozess aus abwechselnder Charakterisierung der elektrischen und optischen Signalformen anhand von Augendiagrammen<sup>8</sup> und der Variation der Ansteuerparameter zur Verbesserung der Signalformen.

Begonnen wird mit dem Laserbiasstrom. Abbildung 3.6 zeigt zwei Augendiagramme des Laserbiasstroms bei verschiedenen Parametersätzen. Zur Aufnahme dieser Augendiagramme wurde ein kleiner Messwiderstand von 24  $\Omega$  in den Hochfrequenzpfad direkt an der Anode der Laserdiode eingebracht. Der Spannungsabfall über den Widerstand wurde mit einem schnellen, differentiellen Tastkopf (Tektronix P7330 Active Probe, 3,5 GHz analoge Bandbreite) aufgenommen und viele Signalzüge mittels eines digitalen Speicheroszilloskops zu einem Augendiagramm übereinander gelegt.

Zur Untersuchung des Einflusses verschiedener Parameter der Laseransteuerung kann eine in Abschnitt 3.6 vorgestellte Kombination aus Hard- und Software für den Zugriff

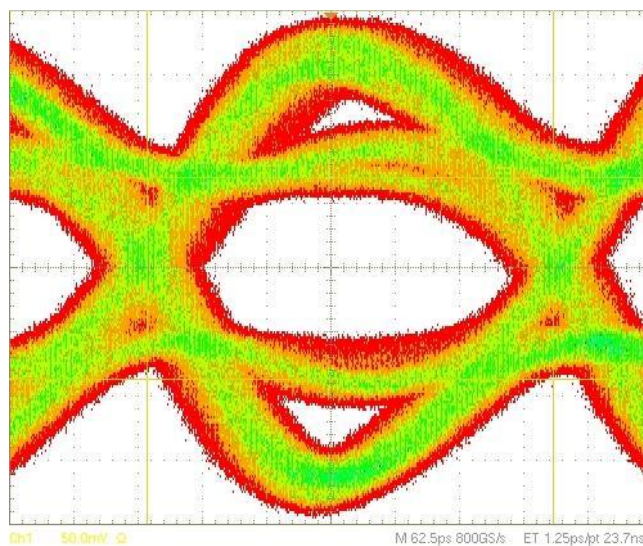
<sup>8</sup> Ein Augendiagramm entsteht durch Überlagerung vieler Signalzüge der Länge eines Bits. Werden die Signalzüge einer langen, zufälligen Datenfolge übereinander gelegt, ist das Verhalten des Signales bei allen möglichen Kombinationen von Übergängen und unterschiedlich langen Folgen ohne Übergänge charakterisiert. Die Flankensteilheit im Spannungspegel eines schnellen Signales ist beispielsweise durch parasitäre Kapazitäten bestimmt, die nach langen Folgen gleicher Bitwerte geladen oder entladen sind und bei einem Signalwechsel umgeladen werden müssen. Die Flankensteilheit ist also von der Länge der einem Wechsel vorausgehenden Folge gleicher Werte abhängig. Die minimale Flankensteilheit und die zeitliche Ausdehnung des Abtastfensters, welche die Zuverlässigkeit der Übertragung bestimmen, können mittels eines Augendiagrammes leicht abgeschätzt werden.

auf die Konfigurations- und Statusregister des Laserdiodentreibers verwendet werden. Das Auslesen von internen Messwerten verschiedener Größen wie Source-, Modulations- und Monitorstrom sowie der Status- und Fehlerflags ist ein weiterer wichtiger Aspekt bei der Wahl geeigneter Konfigurationsparameter.

Für die wichtigsten Konfigurationsparameter sind in Tabelle 3.2 die optimierten Werte aufgelistet. Eine Übersicht aller Konfigurationsparameter wird in Tabelle A.1 im Anhang gegeben.

Parameter	Name	Wert	Bedeutung
Sollwert des Monitorstroms	Imd_nom	0x1f4	$I_{MD} \approx 181 \mu\text{A}$
Sollwert des Modulationsstroms	Im_nom	0x1c7	$I_M \approx 4,1 \text{ mA}$
Peaking	peaking	0x12	leichte Betonung
Bereich des Source-Stroms	Is_rng	0x0	$0 \leq I_S \leq 9 \text{ mA}$
Bereich des Modulationsstroms	Im_rng	0x0	$0 \leq I_M \leq 9 \text{ mA}$
Bereich des Monitorstroms	Imd_rng	0x2	$68 \leq I_{MD} \leq 544 \mu\text{A}$

**Tabelle 3.2:** Wichtigste Parameter der Lasertreiberkonfiguration. Die Parameternamen sind den Tabellen 7–30 des Lasertreiber-Datenblattes entnommen. Eine genauere Erläuterung findet sich in Tabelle A.1 im Anhang.

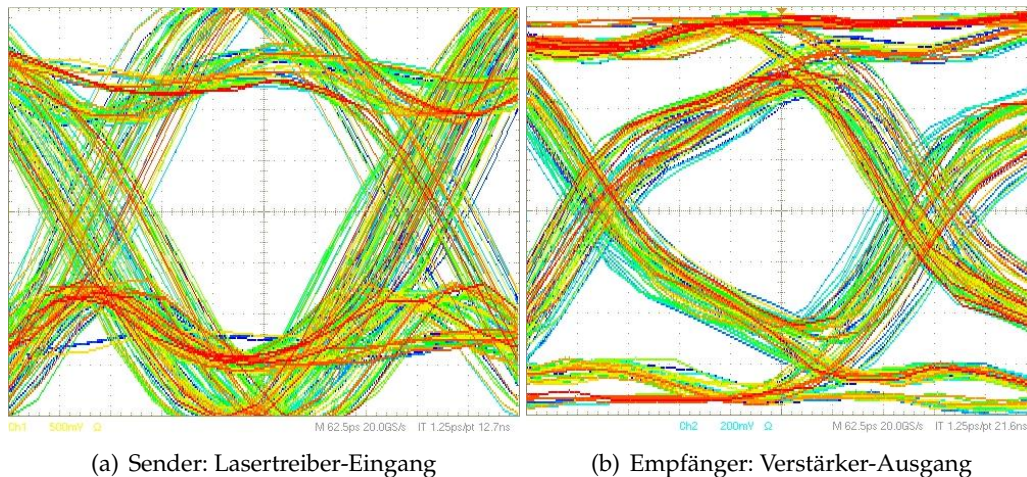


**Abbildung 3.7:** Optimierte Signalform des Laserbiasstroms. Die äußeren Züge des Auges werden bei Signalwechseln durch Peaking überhöht. Die inneren werden durch Folgen gleich bleibender Werte hervorgerufen. Die horizontale Skalierung beträgt 62,5 ps/div. Die vertikale ergibt sich aus dem verwendeten Messwiderstand zu etwa 2 mA/div. Das Auge ist über 200 ps geöffnet.

Das schnelle optische Signal selbst ist experimentell nur schwer zugänglich. Es ist jedoch ausreichend, die Form des im Empfänger daraus zurück gewandelten elektrischen Signals zu optimieren. Die Umwandlung geschieht in den Empfänger-Modulen mittels schneller, optisch aktiver PIN-Dioden<sup>9</sup>. In den im Experiment eingesetzten Empfängern werden SFP-Module (siehe Abschnitt 5.3) verwendet. Diese beinhalten für die Empfangsrichtung PIN-Dioden mit nachgeschalteten Filter- und Verstärkerstufen.

Da die Empfängermodule während der Optimierung noch nicht einsatzbereit zur Verfügung standen, diente ein einfacher, aus diskreten Komponenten aufgebauter Testempfänger zur Verbesserung der Ansteuerparameter des Lasertreibers, welche die optischen Eigenschaften der Laserdiode betreffen, beispielsweise des *Peakings*. Er wird im nächsten Abschnitt vorgestellt.

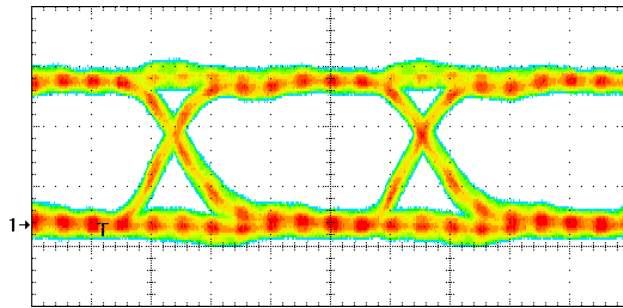
Abbildung 3.8(a) zeigt das differentielle Eingangssignal des Lasertreibers. In Abbildung 3.8(b) ist das Ausgangssignal des Verstärkers nach der PIN-Diode des Empfängers mit den optimierten Ansteuerparametern gezeigt. Die Aufnahme wurde mit einer kurzen optischen Faser gemacht. Bei längeren Fasern mit höherer Dämpfung ist der ‚Knick‘ in der linken Flanke des Auges aufgrund eines kleinen Fehlers in der Lastanpassung etwas weniger stark ausgeprägt.



**Abbildung 3.8:** Die horizontale Skalierung beträgt 62,5 ps/div, die vertikale beträgt im linken Teil 500 mV/div, im rechten 200 mV/div. Das Auge des Signals, welches am Deserializer anliegt, ist rund 140 ps geöffnet.

<sup>9</sup> ‚Positive-Intrinsic-Negative‘-Dioden sind ähnlich wie pn-Dioden aufgebaut. Zwischen der positiv und der negativ dotierten Schicht befindet sich jedoch eine zusätzliche, schwach dotierte Schicht, die aufgrund der dort dominierenden Ladungsträger als ‚intrinsic‘ bezeichnet wird.





**Abbildung 3.9:** Die Signalform der langsameren, parallelen Daten ist sehr klar. Diese Abbildung zeigt das Augendiaagramm eines der 16 Datensignale, die vom CPLD an den Serializer verlaufen. Die horizontale Skalierung beträgt 2 ns/div, die vertikale 1 V/div.

### 3.5 Messung der Fehlerraten

Der zweite Schritt zur Gewährleistung einer zuverlässigen Datenübertragung ist die Bestimmung und Reduktion der Übertragungsfehlerrate. Dazu werden bekannte Datenmuster über die optische Verbindung gesendet, im Empfänger zurück in digitale Datenwerte gewandelt und anschließend auf ihre Korrektheit überprüft. In Abbildung 3.10 ist ein Schema des Messaufbaus zur Bestimmung der Fehlerraten mit einem Testempfänger dargestellt. Er wird im folgenden kurz beschrieben.

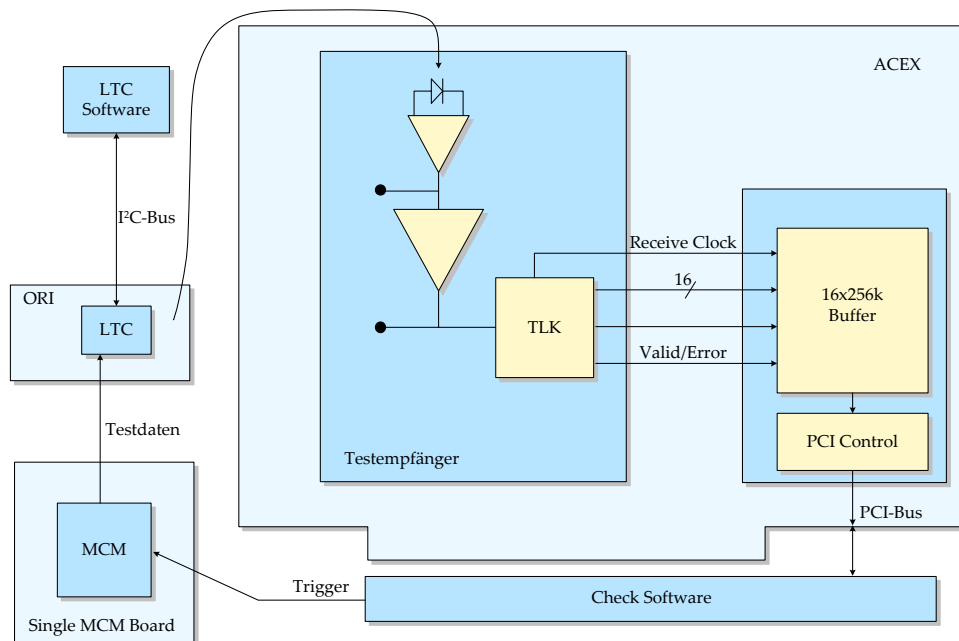
Die Datenquelle bilden anstelle des *Half-Chamber Merger* MCMs die vier TRAP-CPU's eines *Single MCM Boards*. In diese wird Software zur Erzeugung eines pseudo-zufälligen Datenstroms einstellbarer Länge geladen, welcher in Hinblick auf die Häufigkeit von Einsen und Nullen auf den elektrischen und optischen Datenleitungen einem wirklich zufälligen Datenstrom sehr ähnlich, durch die Vorgabe eines *Random Seed* jedoch vollständig determiniert ist. Durch einen künstlichen *Pre Trigger* kann die Software gestartet und die Übertragung der Daten eingeleitet werden. Bis auf das 15 cm lange Flachbandkabel als Verbindung zwischen MCM und ORI anstelle der PMC-Stecker ist der Aufbau auch elektrisch dem späteren Einsatzszenario im Detektor sehr ähnlich.

Das optische Signal der Laserdiode auf dem ORI-Board wird über eine Glasfaser mit ähnlichen Dämpfungseigenschaften wie in der späteren Strecke am Detektor zum Testempfänger geführt. Die Rückwandlung des optischen in ein elektrisches Signal erfolgt mittels einer PIN-Diode (ULM Photonics, ULMPIN-02-TT-MLCBTP) mit integriertem Transimpedanzverstärker. Über einen zweiten, bandbreitenlimitierten Verstärker (Dallas Semiconductor MAXIM, MAX3746) wird das Signal verstärkt und aufbereitet.

Das Signal wird auf die Eingänge eines *Deserializers* (Texas Instruments, TLK2501) geführt. Dieser führt die Rückwandlung des seriellen Bitstroms in 16-Bit-Datenworte durch. Dazu rekonstruiert er den Sendetakt aus dem seriellen Datenstrom, erkennt die Datenwortgrenzen darin und führt die Rückwandlung in parallele Daten und die abschließende 8B/10B-Dekodierung durch.

Die dekodierten Datenworte werden zusammen mit dem rekonstruierten Takt und zwei Signalen, welche gültige und fehlerhafte Daten anzeigen, ausgegeben und auf eine Buch-

senleiste herausgeführt. Mit dieser kann die Empfängerplatine auf eine PCI-Karte<sup>10</sup> aufgesteckt werden. Durch das FPGA der Karte wird der empfangene Datenstrom im SRAM gespeichert und über den PCI-Bus mittels der Test-Software ausgelesen.



**Abbildung 3.10:** Schematischer Aufbau zur Messung der Fehlerrate mit dem Testempfänger.

Die Testsoftware durchläuft für die Messung der Fehlerrate folgende Schritte beliebig häufig:

- Löschen des Empfangspuffers in der FPGA-Karte.
- Einstellen neuer *Random Seeds* für die Pseudo-Zufallszahlen-Generatoren in den vier TRAP-CPU's.
- Starten der Datenerzeugung in den vier TRAP-CPU's (durch Auslösen eines künstlichen *Pre Triggers*).
- Auslesen des Empfangspuffers, bitgenaue Überprüfung der empfangenen Datensequenz.
- Erstellen einer Fehlerstatistik. Empfangene Daten werden bei Fehlern zur späteren Analyse abgespeichert.

<sup>10</sup> Kernstück des am Lehrstuhl entwickelten, als ‚ACEX-Karte‘ bezeichneten *Multi Purpose Boards* ist ein FPGA vom Typ ACEX-EP1K100. Es ist mit dem 3,3 V-64-Bit-PCI-Connector der Karte und mit verschiedenen Funktionsblöcken wie einem  $256k \times 16$ -SRAM, ADCs und DACs sowie verschiedenen Kontaktleisten verbunden.

Das bitweise Vergleichen des Datenstroms und das Abspeichern fehlerhafter Daten in ihrem Zusammenhang ist für die erste Untersuchung gut geeignet. Systematische Fehler und Fehlerhäufungen können leicht mit den gewählten Konfigurationseinstellungen des Lasertreibers in Verbindung gebracht werden.

Ein großer Nachteil dieser Methode ist jedoch die geringe zeitliche Auslastung der optischen Übertragungsstrecke. Das Erzeugen der Daten in den TRAP-CPU's und insbesondere das Auslesen und Prüfen der Daten aus dem Empfangspuffer durch Software nimmt den größten Teil der Zeit ein. Die Übertragung größerer Datenmengen, welche für eine gute Statistik der Fehlerrate nötig sind, nimmt daher sehr große Zeitspannen in Anspruch. Bei einem maximalen Datendurchsatz von etwa 2 MBit/s werden für die Übertragung von  $10^{10}$  Bit etwa eineinhalb Stunden benötigt.

Der Testempfänger zeigt sich als recht empfindlich gegenüber mechanischen und optischen Einwirkungen. Leichtes Bewegen der Glasfaser oder das Einschalten von Leuchtstoffröhren erzeugt Fehlerbursts. Das Abkleben der PIN-Diode mit schwarzem Klebeband reduziert die Empfindlichkeit gegenüber optischen Einflüssen bereits deutlich. Nach Abschluss der Optimierung wurden mit diesem Aufbau (ohne mechanische oder optische Außeneinwirkungen) keine Fehler mehr beobachtet. Aufgrund des eingeschränkten Datendurchsatzes kann mittels dieses Aufbaus jedoch nur eine Obergrenze für die Fehlerrate von etwa  $5 \cdot 10^{-10}$  angegeben werden.

Spätere Messungen der Übertragungsfehlerrate mit den *Track Matching Unit Boards*, die im Detektor als Empfänger eingesetzt werden, zeigen nach guter Justierung sehr geringe Fehlerraten unterhalb von  $10^{-15}$ .

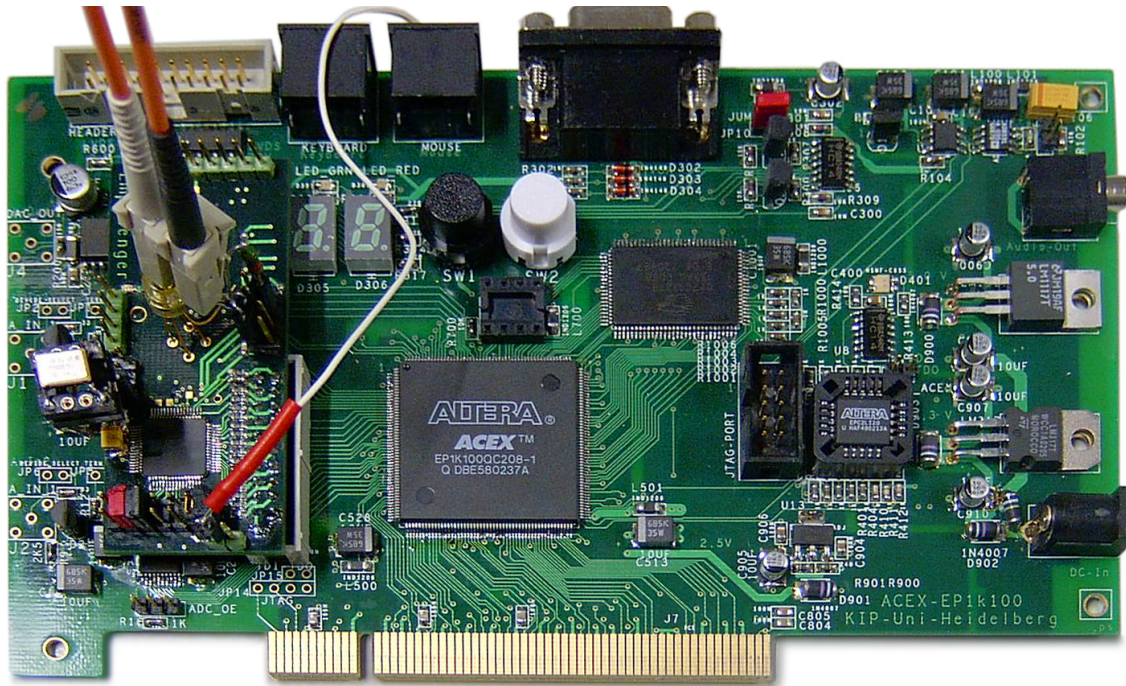
### 3.6 Diagnosesystem für den Lasertreiber

Lasertreiber- und EEPROM-Chip sind über einen I<sup>2</sup>C-Bus<sup>11</sup> miteinander verbunden. Beim Einschalten der Versorgungsspannung lädt der Lasertreiber seine Konfiguration über diesen Bus aus dem EEPROM. Danach ist der Zugriff auf seine 22 Konfigurations- und Statusregister über den Bus möglich. Durch Beschreiben der Konfigurationsregister lassen sich beispielsweise die Ansteuerparameter der Laserdiode im laufenden Betrieb verändern. Die Statusregister enthalten alle Mess- und Steuerwerte der Regelkreise sowie verschiedene Statusflags. Im EEPROM befindet sich neben der Konfiguration des Lasertreibers noch die Seriennummer des ORI-Boards. Um auch während des laufenden Detektorbetriebs Änderungen an der Konfiguration vornehmen zu können, ist der Bus über einen der PMC-Stecker an zwei dedizierte Pins des *Half Chamber Merger* MCMs geführt und kann mittels geeigneter TRAP-Software angesteuert werden.

---

<sup>11</sup> Der ‚Inter-Integrated Circuit‘-Bus ist ein von Philips entwickelter zweiadriger serieller Datenbus.



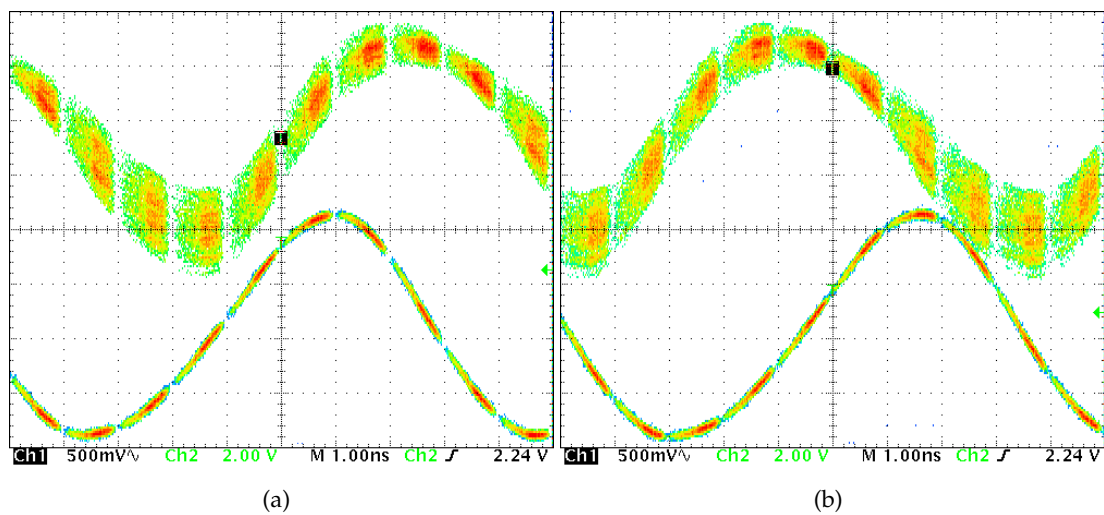


**Abbildung 3.11:** Der Testempfänger ist auf eine ACEX-Karte aufgesteckt. Er wandelt die optischen Signale zurück in 16-Bit-Werte und leitet diese zusammen mit zwei Status-Signalen an das Design im FPGA zur Speicherung der Daten im SRAM weiter. Die Auslese der Daten erfolgt über den PCI-Bus.

Über einen Pfostenstecker kann auch mittels einer externen Beschaltung leicht auf diesen Bus zugegriffen werden. Für die im vorhergehenden Abschnitt besprochene Optimierung der Ansteuerparameter und den Einsatz im Strahlenhärte-test wurde im Rahmen dieser Arbeit eine C-Software entwickelt, welche Lasertreiber und EEPROM mittels einer weiteren FPGA-Karte über den Bus ansteuert. Die Software implementiert dazu einen einfachen I<sup>2</sup>C-Master und steuert die Bussignale mittels eines einfachen Hardware-Designs in der FPGA-Karte, welches über den PCI-Bus angesprochen wird.

Um die Benutzung einfach zu gestalten, werden neben den ausgelesenen Registerwerten auch ihre physikalischen Bedeutungen ausgegeben. Der Vergleich der Auslesewerte verschiedener Betriebsparameter mit vordefinierten Wertebereichen ermöglicht eine direkte Einschätzung des Betriebszustands.

Mittels verschiedener Kommandozeilen-Parameter können die einzelnen Einstellungen im Lasertreiber gezielt verändert und der Inhalt des EEPROMs ausgelesen oder geschrieben werden. Die Ausgaben und die verfügbaren Kommandozeilen-Parameter der Software sind im Anhang aufgeführt.



**Abbildung 3.12:** Sendertakt und aus dem seriellen Bitstrom rekonstruierter Empfängertakt vor (a) und nach (b) Unterbrechung der optischen Verbindung. Der obere Takt ist jeweils der 125MHz-Empfängertakt, der untere der Sendertakt. Bei jedem Einrastvorgang stellt sich eine andere Phasenbeziehung ein, die dann jedoch sehr stabil gehalten wird.

## 4 Strahlentoleranztest des ORI-Boards

Während einer zehnjährigen Betriebsdauer des LHC werden beim ALICE-Experiment im Kollisionspunkt und durch unbeabsichtigte Wechselwirkungen im Strahlsystem rund  $4 \cdot 10^{15}$  Teilchen erzeugt,  $2 \cdot 10^{14}$  davon im Schwerionen-Betrieb. In der Umgebung des Kollisionspunktes treten dabei sehr hohe Flüsse primärer Hadronen auf ( $10^{12} \text{ cm}^{-2}$ ). Pionen dominieren bei kleinen Abständen vom Kollisionspunkt, weiter abseits spielen Neutronen aus sekundären Reaktionen eine wichtige Rolle. Die durch Ionisierung deponierten Energiedosen reichen von 0,1 Gy in den äußeren Kalorimetern bis zu 2 000 Gy im *Inner Tracking System* [Mor04b].

Eine Übersicht über die Dosen in den verschiedenen Detektoren des Experiments gibt Tabelle 4.1. Die Abschätzungen der Strahlenbelastung basieren auf FLUKA<sup>1</sup>-Simulationen [ALI05][M<sup>+</sup>][Tsi05]. Der TRD befindet sich in einem radialen Abstand von 2,94 – 3,68 m von Kollisionspunkt und Strahlachse. Hier stellen Neutronen mit  $10^{11} \text{ cm}^{-2}$  den größten Anteil der Hadronenfluenz. Die Fluenz von Neutronen mit Energien oberhalb 20 MeV, welche für *Single Event Upsets* (der Begriff wird weiter unten erläutert) relevant sind, wird mit  $2 \cdot 10^9 \text{ cm}^{-2}$  abgeschätzt. Für die lokale Fluenz geladener Hadronen wird ein Wert von  $7,2 \cdot 10^8 \text{ cm}^{-2}$  angegeben. Für die im Bereich des TRD deponierte Energiedosis wird von 1,8 Gy in zehn Jahren ausgegangen [Mor04a].

Detektor	$r$ [cm]	$D_{\text{IP}}$ [Gy]	$D_{\text{BG}}$ [Gy]	$D_{\text{H}}$ [Gy]	$D_{\text{Total}}$ [Gy]
SPD1	4	2 000	250	500	2 750
TPC (innen)	78	13	0,25	2,9	16
TPC (außen)	278	2,0	0,05	0,2	2,2
TRD	294	1,6	0,03	0,16	1,8
TOF	370	1,1	0,03	0,10	1,2
PHOS	457	0,5	0,01	0,04	0,5

**Tabelle 4.1:** Strahlungsdosen verschiedener ALICE-Detektoren in zehn Jahren Betriebsdauer.  $r$  bezeichnet den inneren radialen Abstand der Detektoren von der Strahlachse.  $D_{\text{IP}}$  gibt die Dosis durch Kollisionen im *Interaction Point* an,  $D_{\text{BG}}$  die Dosis durch Strahl-Restgas-Reaktionen und  $D_{\text{H}}$  die Dosis aus dem Halo. Alle diese Beiträge sind in  $D_{\text{Total}}$  aufsummiert. [Mor04b].

<sup>1</sup> „FLUKA“ ist ein auf Monte-Carlo-Verfahren basierender Fortran-Code zur detaillierten Simulation von Transportvorgängen und Wechselwirkungen elektromagnetischer und hadronischer Teilchen [F<sup>+</sup>03] [FLU].

Die als Teil der Front-End-Elektronik eingesetzten ORI-Boards sind durchgängig aus Standardkomponenten (*Commercial Off The Shelf*, COTS) aufgebaut. Zur Strahlentoleranz dieser Komponenten liegen häufig keine Hersteller-Spezifikationen vor. Eine unbedingte Zuverlässigkeit ist bei dem Einsatz solcher Komponenten in der Strahlungsumgebung nicht zu gewährleisten. Eine praktikable Lösung kann nur im Rahmen einer Risikoabschätzung auf Basis eigener Messreihen und der Einführung geeigneter Sicherheitsspielräume entwickelt werden. Die Risikobewertung und die damit verbundene Wahl der Sicherheitsfaktoren muss der beabsichtigten Anwendung Rechnung tragen. Für den Detektorbetrieb stellen beispielsweise vereinzelte strahlungsbedingte Fehler im übertragenen Datenstrom kein Problem dar, sie werden vom Trigger-Algorithmus ausgefiltert oder in der späteren Offline-Analyse erkannt. Irreversible Beschädigungen durch die Umgebungsstrahlung dürfen jedoch nicht eintreten.

Die Möglichkeiten einer herstellernunabhängigen Bestimmung der Strahlungstoleranzen sind durch verschiedene Faktoren limitiert. Die Varianzen der Strahlungstoleranz sind bereits innerhalb einer Produktionscharge hoch und die Unterschiede zwischen Bauteilen aus verschiedenen Produktionsläufen oder gar Produktionsstätten noch deutlich größer. Die Übertragbarkeit der Ergebnisse einzelner Proben ist nur eingeschränkt gegeben. Hinzu kommt die Vielzahl der Schädigungsmechanismen, deren Relevanz stark von Teilchenart und -energie abhängt. Eine detaillierte experimentelle Überprüfung ist aufwändig oder gar unmöglich und wird meist durch Extrapolation weniger Versuchsergebnisse über Äquivalenzabschätzungen ersetzt.

Im Folgenden wird ein kurzer Abriss strahlungsbedingter Effekte in Halbleitern gegeben und die Relevanz für die eingesetzten Bauteile beschrieben. Anschließend wird der im Rahmen dieser Arbeit durchgeführte Strahlentoleranztest des ORI-Boards vorgestellt.

## 4.1 Strahlungsbedingte Effekte an Halbleiterstrukturen

Der Einfluss radioaktiver Strahlung auf elektronische Bauteile lässt sich in zwei Kategorien unterteilen. Die erste Kategorie umfasst Effekte, bei denen sich mikroskopische, für sich genommen ungefährliche Einzelschäden im Laufe der Zeit anhäufen und zu Fehlfunktionen oder zur Zerstörung der Halbleiterstrukturen führen können. Sie werden als kumulative Effekte bezeichnet. Die zweite Kategorie fasst singuläre Effekte zusammen, welche durch Wechselwirkungen mit einzelnen Strahlungsteilchen ausgelöst werden [Sex01][Fac].

### 4.1.1 Kumulative Effekte

Als Beispiele für kumulative Effekte sollen hier die beiden für aktuelle Halbleiterbauteile wichtigsten Schädigungsmechanismen beschrieben werden.

**Total-Ionizing-Dose-Effekte (TID)** Ionisierende Strahlung deponiert Energie in der Halbleitermaterie und erzeugt so am Ort der Wechselwirkung zusätzliche freie Ladungsträger. Dies kann durch direkte oder durch indirekte Ionisation geschehen, beispielsweise aufgrund des Rückstoßes bei Wechselwirkungen mit Atomkernen.

Für die meist eingesetzten CMOS-Strukturen<sup>2</sup> mit MOSFETs<sup>3</sup> stellt dies ein besonderes Problem dar. Durch Ionisation in der SiO<sub>2</sub>-Schicht der Gate-Isolation erzeugte Elektron-Loch-Paare werden im elektrischen Feld separiert. Während die Elektronen im Laufe der Zeit driften, sind die Löcher in der Oxid-Schicht unbeweglich und wirken als zusätzliche Gateladungen. Eine Veränderung der Bandstruktur des Kanals unterhalb des Gates ist die Folge. Die Ladungsträger-Mobilitäten nehmen ab, die Schaltschwelle des Transistors wird verändert, Rauschen und Leckströme nehmen zu.

**Displacement Damage** Durch Wechselwirkungen mit hochenergetischen Strahlungsteilchen können Atomkerne von ihrem Platz im regelmäßigen Kristallgitter auf Zwischenplätze verschoben werden.

Solche Defekte verringern die Mobilität der Ladungsträger und stellen zusätzliche Rekombinationspunkte für Elektron-Loch-Paare dar, welche die Lebensdauer der freien Ladungsträger verringern. Geladene Strahlungsteilchen, welche nach Abgabe ihrer gesamten kinetischen Energie im Kristall stecken bleiben, verändern durch ihre Ladung außerdem die Dotierung des Halbleiters. CMOS-Strukturen zeigen für diese Art der Schädigung eine sehr geringe Empfindlichkeit. Optisch aktive Halbleiterstrukturen wie die in den Sendern eingesetzten Laserdioden können je nach Bauweise jedoch sehr empfindlich auf solche Veränderungen reagieren.

### 4.1.2 Singuläre Effekte

Singuläre Effekte entstehen aufgrund lokal stark begrenzter Energie-Deposition durch einzelne Teilchen. Je nach Teilchenart und betroffener Halbleiterstruktur gibt es eine Vielzahl von möglichen Effekten, welche von kurzen Störpulsen über verfälschte Speicherwerte bis hin zu dauerhafter Zerstörung reichen. Anhand der Persistenz der hervorgerufenen Störung werden singuläre Effekte in drei Unterkategorien eingeordnet.

**Transiente singuläre Effekte** Kurze Störeffekte an digitalen Eingangs- oder Ausgangsstufen innerhalb eines kombinatorischen Pfades führen zu einer durch die nachfolgenden Stufen perkulierenden Störung. In den meisten Fällen stellt dies kein Problem dar, da sich in einem rein kombinatorischen System der korrekte Wert sofort nach dem Verschwinden der Störung wieder einstellt.

---

<sup>2</sup> ‚Complementary Metal Oxide Semiconductor‘

<sup>3</sup> ‚Metal Oxide Semiconductor Field Effect Transistor‘

Bei analogen Schaltungen, insbesondere beim Einsatz von Operationsverstärkern, können geringe, kurzzeitige Störungen zu starken Signalen am Ausgang führen und je nach Art der nachfolgenden Schaltung massive Fehlfunktionen auslösen.

**Statische singuläre Effekte** Enthält ein Signalpfad neben kombinatorischen auch Speicherelemente, können transiente Störungen im Zeitraum kurz vor oder während eines Speichervorganges zu falschen Speicherwerten führen. Die Auswirkungen des Fehlers bleiben bis zum nächsten Speichervorgang erhalten. Tritt eine transiente Störung auf einem Taktsignal auf, können Speicherelemente zum falschen Zeitpunkt zur Datennahme veranlasst und auf die Weise statische Fehler hervorgerufen werden. Ein weiteres Beispiel für einen statischen Fehler ist die direkte Veränderung eines Speicherwertes. Insbesondere bei DRAM-Speicherzellen, die ihren Wert durch den Ladungszustand einer kleinen Kapazität speichern, kann die Energie einzelner Teilchen zum ‚Umklappen‘ des Speicherwertes ausreichen.

Das Speichern eines fehlerhaften Wertes wird als *Single Event Upset* (SEU) bezeichnet. Je nach Bedeutung des veränderten Speicherwertes kann der Fehler minimal sein oder eine Fehlfunktion des gesamten Bauteiles zur Folge haben. Dies trifft beispielsweise auf Konfigurationsbits zu, welche die Betriebsart ganzer Funktionsblöcke steuern. In FPGAs stellt dies die häufigste singuläre Fehlerursache dar. Eine auf diese Weise ausgelöste Fehlfunktion einer ganzen Funktionseinheit trägt die Bezeichnung *Single Event Functional Interrupt* (SEFI).

**Permanente singuläre Effekte** Eine Reihe von Vorgängen, die durch einzelne Teilchen ausgelöst werden, können kleine Teilbereiche oder ganze Bauelemente zerstören. In COTS-Komponenten kommen meist CMOS-Prozesse zum Einsatz, welche parasitäre Thyristoren zwischen benachbarten Transistorstrukturen aufweisen.<sup>4</sup> Unter normalen Betriebsbedingungen zünden diese Thyristoren nicht. Durch Ionisierung freigesetzte Ladungen in den Sperrschichten zwischen den schwach dotierten Bereichen können im elektrischen Feld jedoch Ströme bilden, welche zur Zündung eines Thyristors ausreichen. Der Widerstand des Thyristors wird klein und die resultierenden starken Ströme können durch lokale Überhitzungen zur Zerstörung umgebender oder entfernter Strukturen führen. Häufig schmelzen zum Beispiel Bondingdrähte, welche das Chip-Die mit den Gehäusepins verbinden. Der beschriebene Effekt wird als *Single Event Latchup* (SEL) bezeichnet. Verwandte Effekte betreffen auch Leistungs-MOSFETs, Bipolar-Transistoren und Dioden.

---

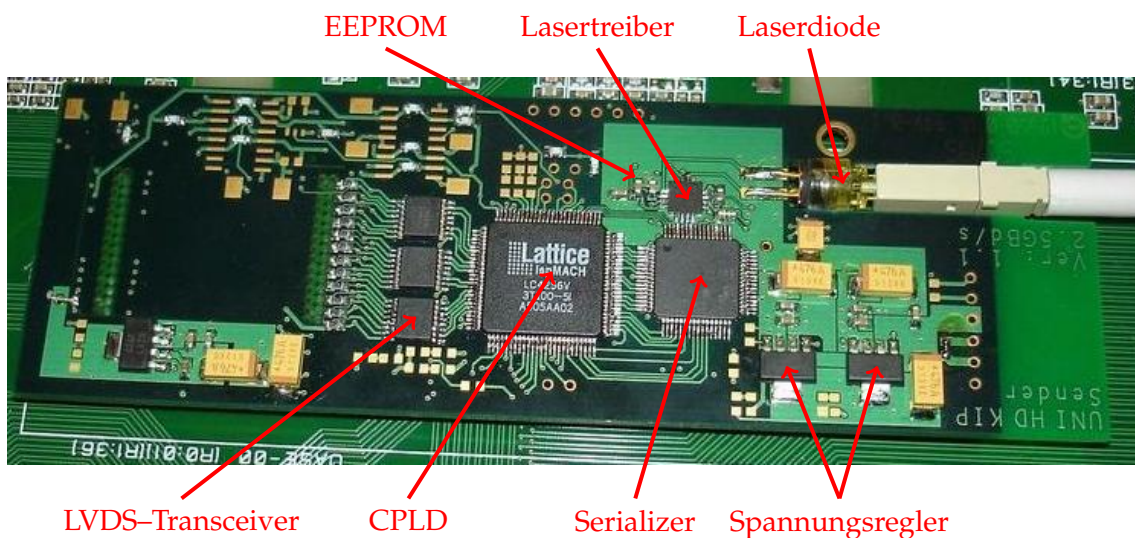
<sup>4</sup> Spezielle Prozesse zur Erzielung höherer Strahlentoleranz setzen verschiedene Verfahren zur Vermeidung dieser Strukturen ein. Beispiele sind *Silicon-On-Insulator*-Strukturen und *Guard Rings*.



## 4.2 Fragestellung des Tests

Laserdioden können bereits bei kurzen Überschreitungen der zulässigen Betriebsparameter dauerhaft geschädigt oder zerstört werden. Das Hauptaugenmerk des im Rahmen dieser Arbeit durchgeführten Strahlentoleranztests liegt daher auf der Zuverlässigkeit der Laserdiode und des Laserdiodentreibers unter der im Experimentalbetrieb auftretenden Strahlenbelastung. Während *Single Event Upsets* die in SRAM- und EEPROM-Zellen gespeicherte Lasertreiberkonfiguration verfälschen können, sind Fehlfunktionen der analogen Ansteuerschaltung zur Erzeugung des modulierten Laserbiasstroms eher durch kumulative Effekte zu erwarten. Beide Störquellen haben prinzipiell das Potenzial für eine dauerhafte Schädigung der Laserdiode.

Weiterhin soll eine Abschätzung der Übertragungsfehlerrate des Gesamtsystems in Abhängigkeit von der Bestrahlungsintensität gewonnen werden. Dazu sind alle aktiven Komponenten zu bestrahlen. Besondere Aufmerksamkeit gilt dem CPLD mit dem darin enthaltenen Design zur Datenresynchronisation aufgrund der prinzipbedingten Empfindlichkeit dieses Bauteiles. Abbildung 4.1 zeigt alle Bestrahlungsziele auf dem ORI-Board.



**Abbildung 4.1:** Bestrahlungsziele auf dem *Optical Readout Interface Board*. Besondere Aufmerksamkeit gilt dem Laserdiodentreiber und dem CPLD.

## 4.3 Aufbau und Testverfahren

Der Strahlentoleranztest wurde am ‚Oslo Cyclotron Laboratory‘ mit einem Protonenstrahl ausgeführt. Die kinetische Energie der Protonen beim Verlassen des Strahlsystems

betrug 29 MeV. Der verwendete Messaufbau ist in Abbildung 4.2 schematisch dargestellt, der Strahlengang ist in Abbildung 4.3 skizziert.

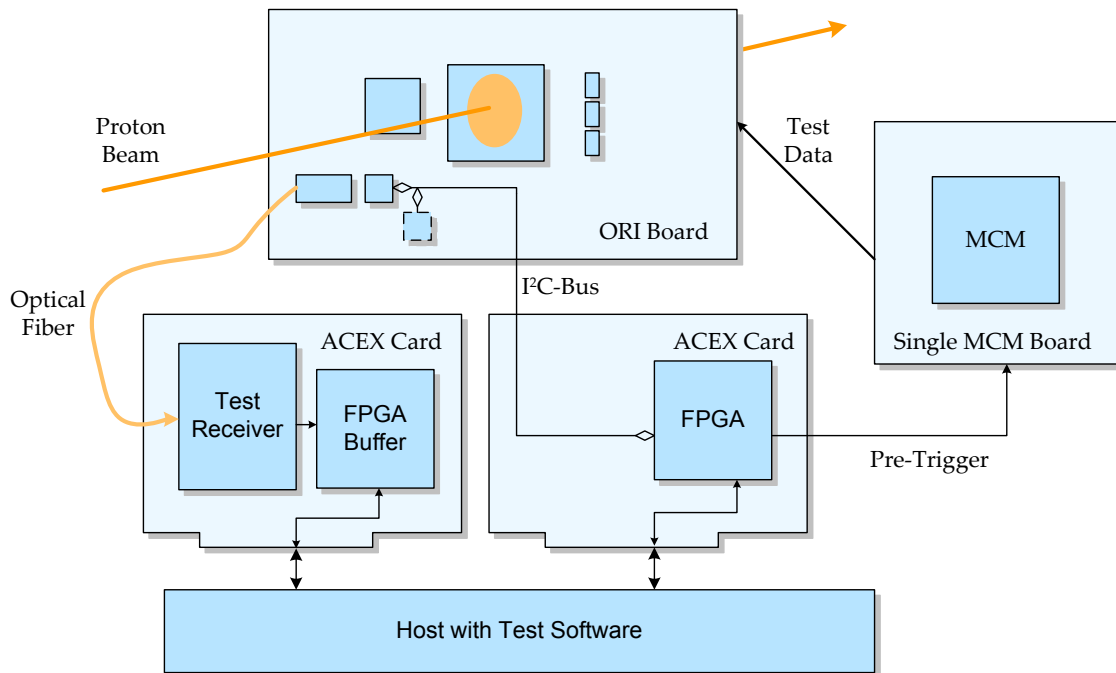


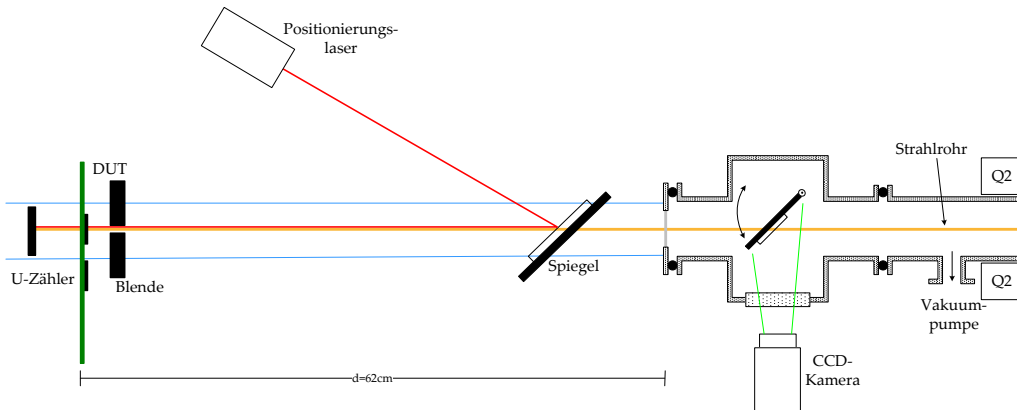
Abbildung 4.2: Der Messaufbau für den Strahlentoleranztest

Der Beschleuniger und die experimentellen Details werden im Anhang beschrieben. An dieser Stelle soll nur die Vorgehensweise bei der Bestrahlung der einzelnen Komponenten beschrieben werden:

- Messung der Strahlintensität anhand der Zählrate eines *Thin-film-Breakdown-Zählers*, welcher sich hinter der Haltemechanik für das Testboard im Strahlengang befindet.
- Nach Ablenkung des Protonenstrahls in einen *Beam Dump* wird ein Spiegel zur Einblendung eines zu Beginn der Schicht justierten Lasers eingesetzt, welcher die Auftreffposition des Protonenstrahls markiert.
- Positionierung des Testboards zur gezielten Bestrahlung eines der Bauteile mittels der Lasermarkierung.
- Start der Testsoftware, welche die übertragenen Daten überprüft und in regelmäßigen Abständen die Konfigurations- und Statusregister des Lasertreibers und des EEPROMs ausliest und die Werte aufzeichnet.



- Einschalten des Protonenstrahls für eine der geplanten Strahlungsdosis entsprechende Zeit. Abbruch der Bestrahlung im Fehlerfall.
- Erneute Messung der Strahlintensität zur Berücksichtigung von Intensitätsschwankungen während der Messperiode.



**Abbildung 4.3:** Strahlengang des Strahlentoleranztests. Der Protonenstrahl tritt durch eine dünne Metallfolie aus der evakuierten Strahlröhre aus und trifft nach einer Wegstrecke  $d$  auf ein Bauteil des ORI-Boards. Während der Bestrahlung ist der Spiegel zur Einblendung des Positionierlasers natürlich aus dem Strahlengang entfernt.

#### 4.4 Berechnung der benötigten Protonenfluenzen

Der Beschleuniger liefert Protonen mit einer kinetischen Energie von 29 MeV. Nach dem Austreten aus der Vakuumröhre der Strahlführung legen diese eine Strecke von etwa 62 cm Länge in Luft zurück, bevor sie auf das Ziel auftreffen. Der Energieverlust auf diesem Weg beträgt etwa 21 keV/cm, sie treffen also mit ungefähr 27,7 MeV auf das zu testende Bauteil auf.

Für die Berechnung der benötigten Protonenfluenz zur Realisierung der gewünschten Flussdichte und Gesamtdosis im zu untersuchenden Bauteil wird der Lineare Energie-Transfer (LET) für Protonen in Silizium zugrunde gelegt. Aus Abbildung 4.4 lässt sich für den Energieverlust der Protonen in Silizium ein Wert von

$$\alpha = \frac{1}{\rho_{\text{Si}}} \left. \frac{dE(p, \text{Si})}{dx} \right|_{27,7 \text{ MeV}} \approx 18 \frac{\text{MeV cm}^2}{\text{g}} \quad (4.1)$$

abschätzen.

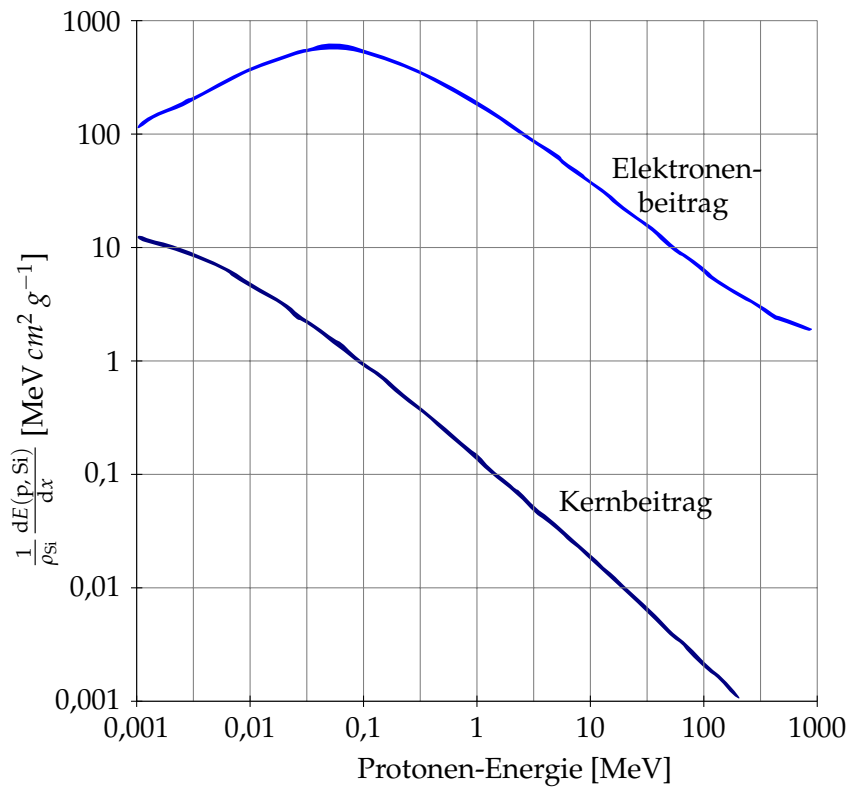


Abbildung 4.4: Linearer Energie-Transfer von Protonen in Silizium [SAP].

Unter Annahme eines konstanten  $dE/dx$  ergibt sich damit die durch eine Protonenflussdichte  $\Phi$  in der Zeit  $t$  in einem quaderförmigen Volumen Silizium mit der Grundfläche  $A$ , der Höhe  $\Delta x$  und der Dichte  $\rho_{Si}$  deponierte Energie  $\Delta E$  zu

$$\begin{aligned} \Delta E &= \alpha \cdot \rho_{Si} \cdot \Delta x \cdot A \cdot \Phi \cdot t \\ &= \alpha \cdot \rho_{Si} \cdot V \cdot \Phi \cdot t \end{aligned}$$

Die Dosis  $D$  ist definiert als die pro Masse deponierte Energie, die zugehörige SI-Einheit ist das Gray.

$$D = \frac{\Delta E}{m}, \quad 1\text{Gy} = 1 \frac{\text{J}}{\text{kg}}$$

Damit ergibt sich

$$\begin{aligned} D &= C \cdot \frac{\alpha \cdot \Phi \cdot t \cdot \rho_{Si} \cdot V}{m} \\ &= C \cdot \alpha \cdot \Phi \cdot t \end{aligned} \tag{4.2}$$

Die einheitenlose Konstante  $C = 1,603 \cdot 10^{-10}$  dient der Angabe des Ergebnisses in der Einheit Gray. Die in der Gleichung auftretende Größe

$$F = \Phi \cdot t \tag{4.3}$$

wird als Fluenz bezeichnet und ist die experimentell beeinflussbare Größe. Um mit Protonen einer Energie von 27,7 MeV eine Dosis von 1,8 Gy, welche einer zehnjährigen Laufzeit des Experiments äquivalent ist, in einem elektronischen Bauteil zu deponieren, wird eine Fluenz von

$$F_{10a} = 5,54 \cdot 10^8 \frac{1}{\text{cm}^2} \quad \equiv 1,8 \text{ Gy} \equiv 10 \text{ Jahre TRD-Betrieb} \quad (4.4)$$

benötigt. Wie aus Gleichung 4.3 ersichtlich, gibt es bei der experimentellen Realisierung der Fluenz zwei Freiheitsgrade: die Flussdichte und die Bestrahlungsdauer. Im vorliegenden Strahlentoleranztest wurden sowohl Flussdichte als auch Zeit zur Einstellung der gewünschten Fluenzen variiert.

## 4.5 Ergebnisse

Alle getesteten Komponenten überstehen ein Vielfaches der Strahlungsdosis, welche der Strahlungsumgebung des TRD während einer zehnjährigen Laufzeit des LHC entspricht. Die Toleranzen der einzelnen Bauteile sind jedoch recht unterschiedlich. Tabelle 4.2 gibt eine Übersicht über die ermittelten Strahlungsdosen, bei denen die einzelnen Bauteile Fehlfunktionen zeigten oder die Bestrahlung ohne Fehler eingestellt wurde. Eine detaillierte Auflistung der einzelnen Bestrahlungsdurchgänge und ihrer Auswirkungen findet sich in Tabelle A.4 im Anhang.

Bauteil	$D$ [Gy]	$T$ [a]	Fehlfunktionen
Lasertreiber	47	360	TID
Laserdiode	> 14	> 75	-
EEPROM	18	100	TID
CPLD	10	56	TID, SEFI
Serializer	> 350	> 2000	-
LVDS-Transceiver	> 24	> 130	-
Spannungsregler 3,3 V	11	60	TID
Spannungsregler 2,5 V	24	135	TID

**Tabelle 4.2:** Abschätzungen für die minimale Betriebsdauer der verschiedenen Bauteile. Spalte  $D$  gibt die applizierte Dosis bis zum Ausfall des Bauteils oder Abbruch der Bestrahlung an, Spalte  $T$  die zur Dosis äquivalenten Betriebsjahre.

Die angegebenen Werte können nur als Orientierungspunkte angesehen werden, da aufgrund der geringen Anzahl der getesteten Exemplare keine fundierten Aussagen über ihre Streuung gemacht werden können. Auch genaue Querschnitte konnten im Rahmen des Tests leider nicht ermittelt werden. Die Speicher in den untersuchten Bauteilen sind

so klein, dass die Bestrahlungsdauern für zuverlässige Querschnittsangaben ein Vielfaches der zur Verfügung stehenden Strahlzeit von zweieinhalb Tagen in Anspruch genommen hätten.

Die durch die Bestrahlung hervorgerufenen Übertragungsfehlerraten waren aufgrund der limitierten Zeit und des verwendeten Versuchsaufbaus an der unteren Grenze der Nachweisbarkeit. Ein merklicher Einfluss der Bestrahlung auf die Datenfehlerrate konnte bei der Analyse der Daten nicht erkannt werden. Mit der zur Verfügung stehenden zeitlichen Auflösung der Fehlerratenmessung von etwa 2 s und der geringen zeitlichen Ausnutzung der optischen Strecke kann anhand der Daten nur zwischen Übertragung mit der für unbestrahlte Bauteile üblichen Datenfehlerrate und einem vollständigen Ausfall unterschieden werden.

Im Folgenden werden die Ergebnisse für die einzelnen Komponenten näher besprochen.

### Lasertreiber und Laserdiode

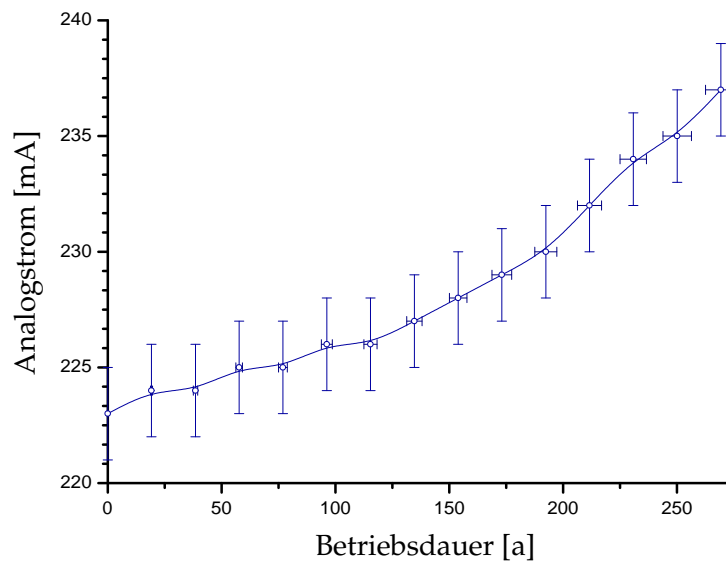
Die Strahlentoleranz des Lasertreibers wurde am eingehendsten untersucht. Die Ergebnisse der Bestrahlung von drei Chips stehen zur Verfügung. Der Querschnitt für *Bit Flips* in der Lasertreiberkonfiguration infolge eines SEU kann auf Basis der Daten nicht ermittelt werden. Dies ist durch die geringe Anzahl der Konfigurationsspeicherzellen begründet, welche zur Beobachtung einer für eine Statistik ausreichenden Menge von Fehlern extrem lange Bestrahlungsdauern erfordert hätte.

Die Stromaufnahme des Analogteils zeigt eine deutliche Abhängigkeit von der Bestrahlungsdosis (siehe Abbildung 4.5). Ausgehend von einer Stromaufnahme von etwa 220 mA im unbestrahlten Zustand wird beim Zusammenbruch der Datenübertragung ein Wert von 310 mA erreicht. Bei dieser Dosis ist die Auslese der Status- und Konfigurationsregister noch unbeeinträchtigt. Der Ausfall der Datenübertragung geht auf das Abschalten des Laserbiasstroms infolge einer Fehlerbedingung in der Betriebsparameter-Überwachung zum Schutz der Laserdiode zurück. Das Verhalten der Stromaufnahme des digitalen Teiles, welches Hinweise auf TID-Effekte geben würde, ist leider nicht ausreichend dokumentiert.

Die in der Tabelle angegebene minimale Betriebszeit ergibt sich aus der geringsten Dosis, die bei den Bestrahlungsdurchgängen zum Ausfall der Datenübertragung führte. Bei einem der Chips wurde der Ausfall erst nach mehr als einem Äquivalent von 800 Betriebsjahren beobachtet, bei dem dritten wurde die Bestrahlung nach einer Dosis von 46,7 Gy, entsprechend einer Betriebsdauer von rund 250 Jahren, ohne Fehlfunktionen beendet.

Die Lasertreiber ‚erholen‘ sich von der Bestrahlung nur langsam. Wenige Stunden nach der Bestrahlung ist der Stromverbrauch zwar abgesunken, aber noch deutlich erhöht. Der Treiber geht sofort wieder in den Fehlerzustand und schaltet die Laserdiode ab. Erst nach längeren Erholungszeiten nehmen die Lasertreiber wieder den normalen Betrieb auf und zeigen normales Verhalten in allen Betriebsparametern.

Die Gefahr einer Zerstörung der Laserdiode durch Strahlungsschäden am Lasertreiber wird als vernachlässigbar erachtet. Die Analogschaltung reagiert auf TID-Effekte mit dem Abschalten der Laserdiode bei Dosen, die einem Vielfachen der geplanten Betriebsdauer entsprechen. Die Wahrscheinlichkeit für *Bit Flips* in der Konfiguration ist gering. Im ungünstigsten Fall müssen für eine destruktive Konfiguration mindestens drei relevante Konfigurationsbits fehlerhaft sein. Dies kann bei der geplanten regelmäßigen Überprüfung der Konfiguration durch das *Half-Chamber Merger MCM* nahezu ausgeschlossen werden.



**Abbildung 4.5:** Verlauf der Stromaufnahme der analogen Komponenten während der Bestrahlung des Lasertreibers.

Die Einschätzung der Strahlentoleranz der Laserdiode ist schwierig. Zum Zeitpunkt des Tests stand kein Messgerät zur Erfassung der optischen Leistung der Laserdiode zur Verfügung. Eine mögliche Degradation der optischen Leistung konnte so nicht untersucht werden. Während der Bestrahlung der Laserdiode trat jedoch keine Beeinträchtigung der Datenübertragung auf. Für genauere Messungen wurden mehrere Laserdioden für zukünftige Messreihen charakterisiert und bereitgelegt.

### Konfigurations-EEPROM

Das EEPROM zur Speicherung der Lasertreiber-Konfiguration zeigte eine deutlich höhere Empfindlichkeit gegenüber der Bestrahlung als der Lasertreiber. Die Stromaufnahme des EEPROM stieg mit der Bestrahlungsdauer deutlich schneller an. Bei Dosen von 18 Gy, äquivalent zu einer Betriebsdauer von 100 Jahren, zeigten sich bei der Auslese seines Inhalts hohe Fehlerraten. Kurz danach war eine Auslese nicht mehr möglich, der I<sup>2</sup>C-Slave

zog beide Busleitungen permanent auf Masse.

Nach kurzer Erholungszeit waren die EEPROMs wieder betriebsbereit, auch der Stromverbrauch sank schnell wieder ab. Während der Bestrahlung wurde bei keinem der EEPROMs eine dauerhafte Veränderung des Inhalts der EEPROM-Zellen festgestellt. Die Beschreibbarkeit des Speicherinhalts wurde durch die Bestrahlungen nicht beeinträchtigt, *Stuck Bits* wurden nicht beobachtet.

Die Gefahr für die Laserdiode durch das Laden einer fehlerhaften Konfiguration aus dem EEPROM ist daher gering. Auch der EEPROM-Inhalt wird später regelmäßig durch das *Half-Chamber Merger-MCM* überprüft.

### **CPLD, Serializer und LVDS-Transceiver**

Das CPLD zeigte die größte Empfindlichkeit gegenüber der Bestrahlung. Bereits nach einer Dosis von 10 Gy, entsprechend einer Betriebsdauer von etwa 55 Jahren, zeigten sich permanente Fehler in der Datenübertragung.

Zwei Datenleitungen nahmen konstante Werte an. Die Änderung konnte auf eine Veränderung der CPLD-Programmierung zurückgeführt werden. Die Messdaten von drei Läufen reichen jedoch für die Angabe eines Querschnitts nicht aus.

Für den *Serializer*-Chip ist aus vorhergehenden Untersuchungen am Fermilab eine ausgezeichnete Strahlungstoleranz bekannt [Jan04]. Diese bestätigte sich im vorliegenden Test. Nach einer Dosis von 350 Gy wurde die Bestrahlung ohne Übertragungsfehler und Fehlfunktionen eingestellt. Die Auswahl der *LVDS-Transceiver* geht auf frühere Untersuchungen ihrer Strahlenhärte für den Einsatz auf dem DCS<sup>5</sup>-Board zurück. Der störungsfreie Betrieb in diesem Test nach einer Dosis von 24 Gy belegt eine ausreichende Toleranz.

### **Spannungsregler**

Auch die Spannungsregler wurden bereits in den Strahlentoleranztests für die DCS-Boards mit guten Ergebnissen getestet [LTM<sup>+</sup>]. Sie wurden daher auch für den Einsatz auf den ORI-Boards ausgewählt. Die Testergebnisse bestätigen eine ausreichende Strahlentoleranz. Beide Spannungsregler zeigen unter der Bestrahlung ein ähnliches Verhalten. Strom und Spannung bleiben bis zu einer bestimmten Dosis konstant. Ab dieser Dosis beginnt der Strom linear mit der Dosis anzuwachsen. Bei noch höheren Dosen beginnt die Spannung exponentiell abzufallen. (siehe Abbildung 4.6)

Die maximale Dosis ohne Anstieg im Strom liegt bei dem 2,5-V-Regler für die Versorgung der analogen Schaltungsteile bei einer Dosis von etwa 24 Gy, was einer Betriebsdauer von

---

<sup>5</sup>,Detector Control System'

135 Betriebsjahren entspricht. Die Spannung wird bis zu einer Dosis von 45 Gy, äquivalent zu 250 Betriebsjahren, konstant gehalten.

Der 3,3-V-Regler für die digitalen Teile zeigt einen konstanten Strom bis zu einer Dosis von 10 Gy, also ungefähr 55 Betriebsjahren. Der Abfall der Spannung beginnt bei etwa der gleichen Dosis.

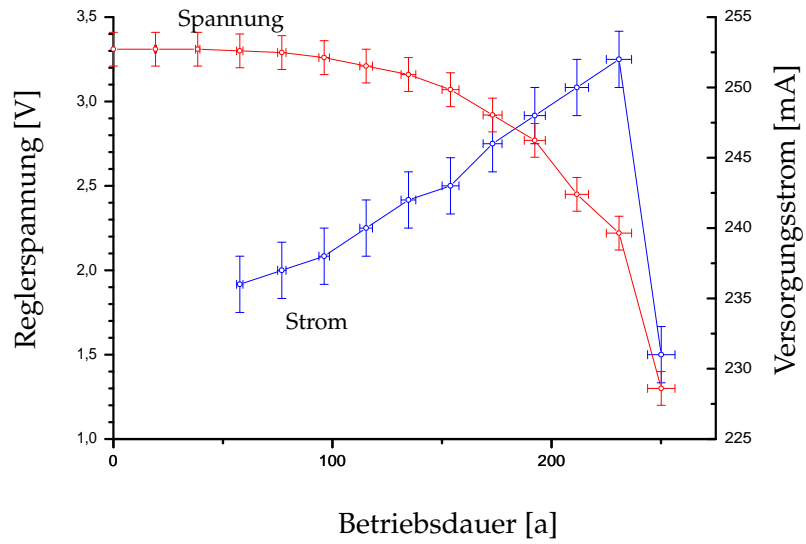
Beide Bauteile zeigen nach einer Erholungszeit nahezu das gleiche Verhalten wie im unbestrahlten Zustand. Eine dauerhafte Schädigung liegt also nicht vor.

Ob die Differenz von etwa einem Faktor zwei in der Toleranz auf wirkliche Unterschiede im Aufbau der beiden Reglertypen oder auf breite Schwankungen zwischen Bauteilen gleiches Typs zurückgeht, kann auf Basis jeweils nur einer Messung nicht entschieden werden.

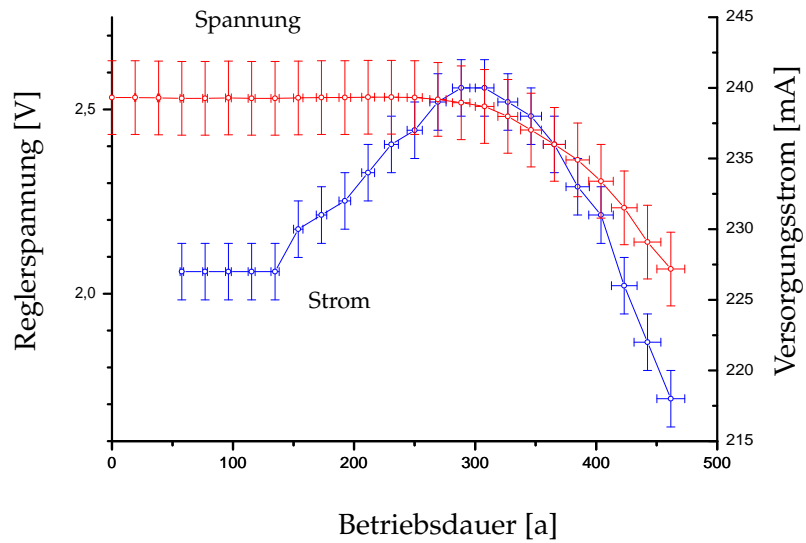
## 4.6 Verbesserungsvorschläge

Aus den Erfahrungen, welche bei dem vorliegenden Strahlentoleranztest gewonnen wurden, ergeben sich einige Verbesserungsvorschläge für zukünftige Tests mit ähnlicher Zielsetzung:

- Der Einsatz einer Kohlenstoffblende erlaubt eine deutlich gezieltere Applikation der Strahlung, ohne umliegende Bauteile einer undefinierten Dosis auszusetzen. Das Strahlprofil mit und ohne Blende sollte in zukünftigen Tests genauer vermessen werden.
- Die kontinuierliche Überwachung der Flussdichte während der Messung durch Detektoren am Rande des Strahlenganges erleichtert das Erkennen von Intensitätsschwankungen. Das häufige Ausbauen des Testboards für die Intensitätsmessung mit dem Zähler ist zeitaufwändig und bringt Ungenauigkeiten in der Positionierung mit sich.
- Die Ausrichtung des Testboards mit Hilfe des Lasers ist recht ungenau. Die Kerbe zum Einrasten des Spiegels in eine definierte Position hat zu großes Spiel. In Verbindung mit dem langen optischen Arm führt dies zu großen Ungenauigkeiten, welche durch die Blende nur teilweise kompensiert werden können.
- Nur die Überprüfung von Übertragungsfehlern in Echtzeit bei voller Auslastung der optischen Verbindung liefert ausreichende Datenmengen zur Erstellung einer aussagekräftigen Fehlerstatistik. Die mittlerweile zur Verfügung stehenden *Track Matching Unit Boards* können für solche Tests problemlos eingesetzt werden.
- Die Vermessung der optischen Leistung der Laserdiode während der Bestrahlung ist zur Erkennung einer Degradation unerlässlich. Auch diese Messung ist mit den TMU-Boards mittlerweile problemlos möglich.



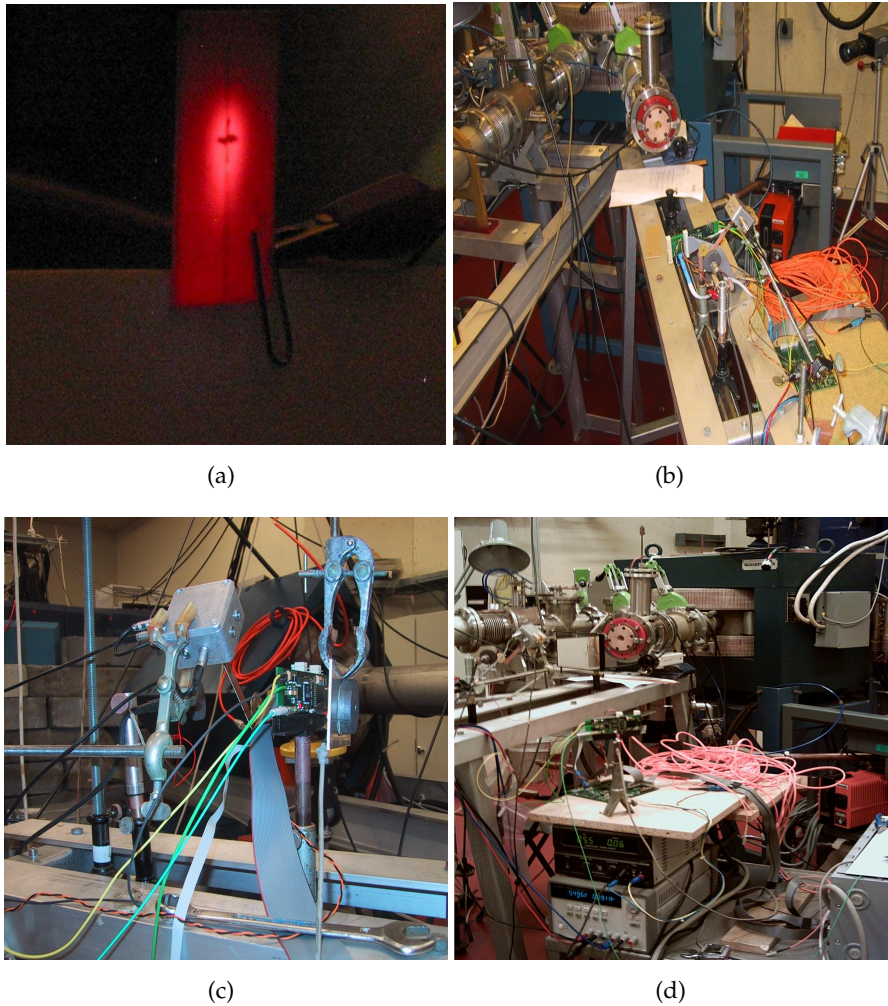
(a) 3,3 V-Regler



(b) 2,5 V-Regler

**Abbildung 4.6:** Verlauf des Stromes und der Spannung während der Bestrahlung der beiden Spannungsregler.





**Abbildung 4.7:** Fotoaufnahmen vom Experimentalaufbau des Strahlenhärte-tests  
(a) Nachweis des Protonenstrahls durch ein Keramikplättchen mit Aluminiumoxid-Beschichtung  
(b) Der Strahlengang im Testaufbau mit Testboard, *Breakdown*-Zähler und Graphitelektrode  
(c) Zielmarkierung auf dem ORI-Board durch den Laser, die Kohlenstoffblende  
(d) Alle Komponenten des Testaufbaus



## 5 Das TMU-Board

Der zweite Teil dieser Arbeit befasst sich mit dem Empfang und der Pufferung der optisch übertragenen Detektordaten in den *Track Matching Units* der Spurrekonstruktionseinheit. In diesem Kapitel wird ein kurzer Überblick über diese Einheit und ihre Baugruppen gegeben. Die Module, welche für die Rückwandlung der schnellen optischen Signale in elektrische zum Einsatz kommen, werden näher vorgestellt. Die Details der im Rahmen dieser Arbeit entwickelten Hardware-Designs werden in den folgenden zwei Kapiteln ausführlich besprochen.

### 5.1 Die Spurrekonstruktionseinheit (GTU)

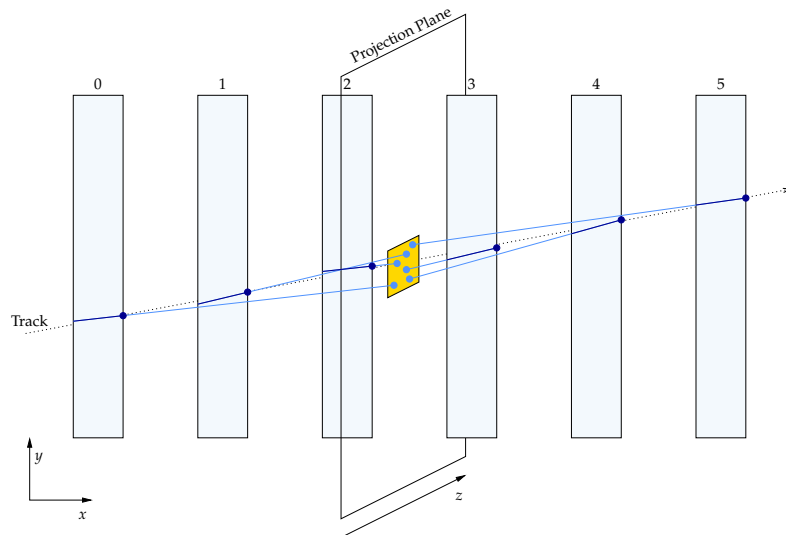
Nach einem *Pre Trigger* liefern die *Half-Chamber Merger* die *Tracklet*-Parametrisierungen jeweils einer halben Kammer an die insgesamt 1 080 *Optical Readout Interface Boards*. Diese übertragen sie über Glasfasern zur Spurrekonstruktionseinheit (*Global Tracking Unit*, GTU), welche sich in Racks außerhalb des starken Detektormagnetfeldes befindet.

Die Aufgabe der GTU ist die Bestimmung der Transversalimpulse der nachgewiesenen Teilchen durch eine dreidimensionale Rekonstruktion der Teilchenspuren aus den in den Driftkammern des Detektors nachgewiesenen Teilchenspurabschnitten. Abbildung 5.1 illustriert die Rekonstruktion einer Teilchenspur in den *Track Matching Units* (TMU): Spursegmente in den verschiedenen Kammern werden zu einer Spur zusammengesetzt, wenn ihre in eine Ebene projizierten Verlängerungen ausreichend nahe beieinander liegen. Eine ausführliche Darstellung des Konzepts und der Hardware-Implementierung findet sich in [Cuv03].

Für die Rekonstruktion und die anschließende Entscheidung über den *Level-1*-Triggerbeitrag stehen der GTU weniger als  $2\ \mu\text{s}$  zur Verfügung. Um diese Anforderungen erfüllen zu können, erfolgt die Rekonstruktion in stark parallelisierter Form. Die Daten eines *Stacks* werden in jeweils einer TMU verarbeitet. Jede der TMUs wird durch ein dediziertes TMU-Board realisiert.

Die Ergebnisse der den fünf *Stacks* eines Supermoduls zugeordneten TMUs werden von einer *Super Module Unit* (SMU) zusammengefasst, welche als separates SMU-Board ausgeführt ist. Die TMU-Boards und das SMU-Board sind über eine LVDS- und CompactPCI-Backplane miteinander verbunden. Aus 18 solcher Baugruppen ist die *Global Tracking*

Unit zusammengesetzt. Sie befinden sich in drei 19"-Racks unterhalb des Myonensystems.



**Abbildung 5.1:** Rekonstruktion der Teilchenspuren aus Spursegmenten in der GTU. Quelle: [Cuv03]

Nach einem *Level-1*-Trigger sendet die *Front-End*-Elektronik die Ereignisrohdaten über die 1 080 optischen Strecken. Die Daten werden durch die *Event-Buffering*-Einheiten in den TMU-Boards zwischengespeichert. Bei einem *Level-2-Accept* werden die Daten an die SMU und von dort an das *Data Acquisition System* und den *High-Level Trigger* weitergeleitet. Bei einem *Level-2-Reject* werden die Daten verworfen.

## 5.2 Aufbau des TMU-Boards

Das TMU-Board wurde von Jan de Cuveland im Rahmen seiner Promotion entwickelt [Cuv]. Es ist als 14-lagiges CompactPCI<sup>®</sup>-Board mit sechs Höheneinheiten ausgeführt. An der Frontseite können bis zu zwölf optische Empfänger-Module aufgesteckt werden, an der Rückseite befinden sich der CompactPCI<sup>®</sup>-Stecker und ein Stecker für eine proprietäre LVDS-Backplane für den Datenaustausch zwischen den TMU-Boards und dem SMU-Board.

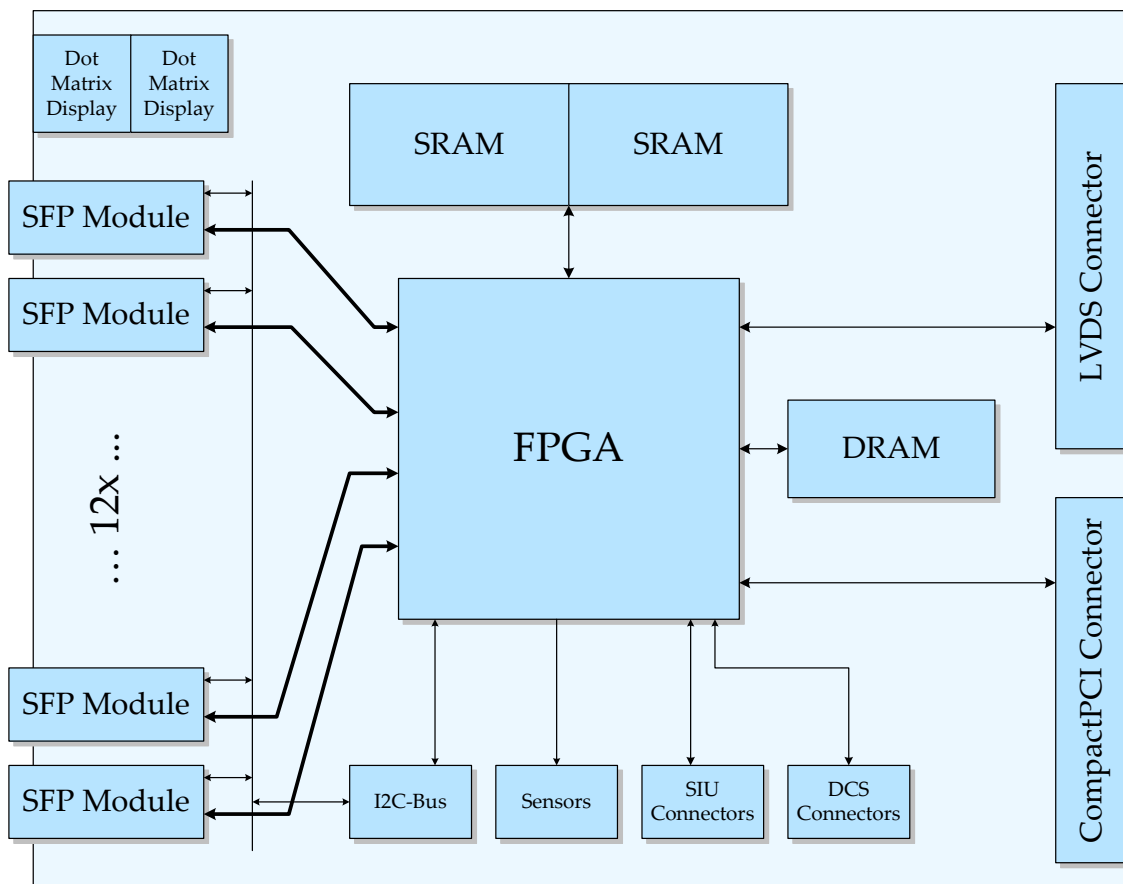
Der Aufbau des TMU-Boards ist schematisch in Abbildung 5.2 dargestellt. Die zentrale Komponente ist ein FPGA<sup>1</sup> der Xilinx Virtex<sup>™</sup>-4-FX-Familie<sup>2</sup>. Es handelt sich hierbei

<sup>1</sup> ‚Field Programmable Gate Arrays‘ stellen eine große Anzahl konfigurierbarer Logikblöcke zur Verfügung. Diese sind durch ein komplexes, ebenfalls konfigurierbares System von Leitungen verbunden.

<sup>2</sup> Eine ausführliche Darstellung der FPGA-Familie findet sich in [Xil06b].

um ein sehr leistungsfähiges FPGA mit 56 880 (FX60) bzw. 94 896 (FX100) Logikzellen (*Lookup-Tables*) mit bis zu vier Eingängen und 576 (FX60) bzw. 768 (FX100) frei verwendbaren I/O-Pins. Zahlreiche spezialisierte Funktionsblöcke sind in das Raster aus Logikzellen (*FPGA-Fabric*) eingebettet. Die eingesetzten Typen bieten 16 bzw. 20 *Multi-Gigabit Transceiver* (MGT) für die Verarbeitung serieller Gigabit-Signale, zwei PowerPC®-Kerne, 96 DSP-Einheiten sowie eine Reihe von *Digital-Clock-Manager*-Einheiten zur Ableitung verschiedener Takte aus einem Referenztakt.

In diesem FPGA werden die Hardware-Designs zur Rückwandlung der seriell empfangenen Detektordaten, zur Rekonstruktion der Teilchenspuren und -impulse sowie zur Pufferung der Rohdaten implementiert. Die Designs für den Datenempfang und die Zwischenspeicherung der Rohdaten sind Thema dieser Arbeit, sie werden in den folgenden Kapiteln näher vorgestellt.



**Abbildung 5.2:** Schematischer Aufbau des TMU-Boards.

Für die Umsetzung der optischen Gigabit-Signale in elektrische können auf das TMU-Board zwölf *Small-Form-Factor-Pluggable-Module* (SFP) aufgesteckt werden. Jedes der Module enthält einen Sende- und einen Empfangsteil. Die hochfrequenten Signalpfade beider Richtungen werden jeweils über ein impedanzangepasstes differenzielles Signalpaar

an die MGT-Einheiten des FPGA geführt. Das PCB-Design dieser Leitungen basiert auf Simulationen zur Sicherung der Signalintegrität.

Zur Zwischenspeicherung der Ereignisdaten sind zwei  $512\text{k} \times 72$ -SRAM-Speicher in DDR-II-Architektur vorgesehen. Die Steuer- und Adressleitungen sind zusammengefasst, so dass sich ein logischer Speicher mit einer Datenbreite von 128 Bit (zuzüglich Paritätsbits) ergibt. Ein zusätzlicher DRAM-Speicher steht für die PowerPC<sup>®</sup>-Blöcke zur Verfügung.

Eine Reihe von Betriebsparametern (PCB- und FPGA-Temperatur, acht Betriebsspannungen) werden durch verschiedene Sensoren mit geeigneter Beschaltung überwacht. Zwei  $7 \times 5$ -Punktmatrix-Anzeigen und dreizehn einzelne LEDs stehen zur Statusanzeige zur Verfügung. Der 200-MHz-Systemtakt für das FPGA wird durch einen Quarzoszillator erzeugt. Für die Referenztakte der MGT-Blöcke kommen zwei präzise 250-MHz-Quarzoszillatoren mit hoher Frequenzstabilität und geringem Jitter zum Einsatz.

Abbildung 5.3 zeigt eine Fotografie der Vorder- und Rückseite des TMU-Boards. Die wichtigsten Komponenten sind markiert.

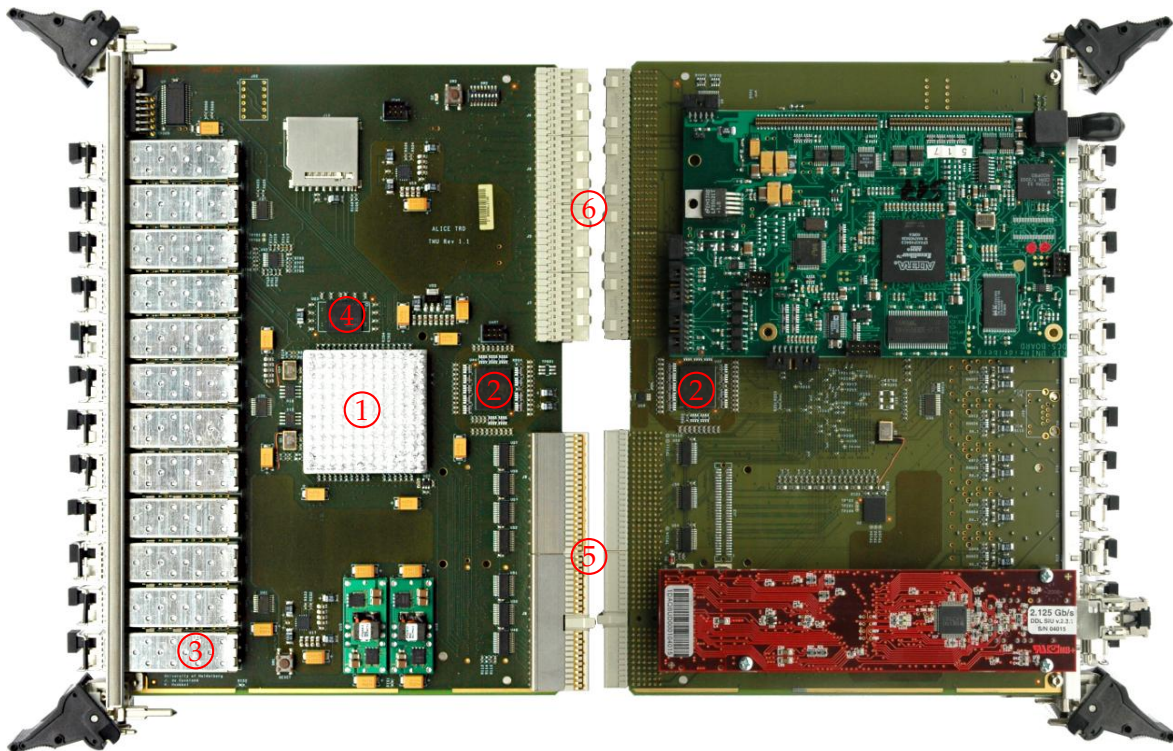
**SMU-Board und spezielle TMU-Varianten** Die TMU- und SMU-Boards der GTU werden durch unterschiedliche Bestückungsvarianten des gleichen PCB-Layouts realisiert. Für die Verwendung als SMU-Board sind auf der Rückseite der Leiterplatte zwei Steckverbinder zum Aufsetzen einer DDL-SIU- (*Detector Data Link Source Interface Unit*) und einer DCS-Karte (*Detector Control System*) vorgesehen. Die SMU-Karte nimmt dadurch zwei Breitereinheiten ein. Die TMU-Boards tragen keine der Karten, sie belegen nur eine Breitereinheit.

Die DDL-SIU-Karte dient der Übertragung der gepufferten Ereignisdaten eines Supermoduls. Bei einem *Level-2-Accept* liest die SMU-Karte die Daten aus den fünf untergeordneten TMU-Boards nacheinander über eine LVDS-Backplane aus und leitet sie über einen *Detector Data Link* an das *Data Acquisition System* (DAQ) und zum *High-Level Trigger* (HLT) weiter.

Die DCS-Karte trägt ein ARM-basiertes *Embedded*-System, das für Kontroll- und Steuerungsaufgaben in verschiedenen Teilen des Experiments eingesetzt wird. Sie besitzt außerdem einen Empfänger für die optisch übertragenen Trigger-Signale (TTC-Rx). Über den Steckverbinder werden die empfangenen Triggersignale an das FPGA des SMU-Boards geführt und dort ausgewertet.

Zum gegenwärtigen Zeitpunkt stehen die SMU und die LVDS-Backplane zur Verbindung mehrerer TMU- und eines SMU-Boards noch nicht zur Verfügung. Für den ersten Testbetrieb der im Rahmen dieser Arbeit entwickelten *Event-Buffering*-Einheit kann eine Mischform der beiden Kartentypen bestückt werden. Diese Variante trägt alle zwölf für den Empfang der optischen Daten benötigten SFP-Module und ist mit beiden Karten auf der Rückseite bestückt. Eine solche Karte kann in eigenständigem Betrieb die Daten eines





**Abbildung 5.3:** Ober- und Unterseite des TMU-Boards. Die Fotografie zeigt eine spezielle Bestückung des Boards, wie sie für den Test am CERN verwendet wurde. Alle zwölf SFP-Module sind eingesetzt, auf der Rückseite sind ein *Detector Control System Board* (oben) und eine *Detector-Data-Link-Karte* (unten) aufgesteckt, wie es bei den späteren SMU-Boards der Fall sein wird. Für die Tests am CERN wurden beide Funktionalitäten zusammengefasst, da die LVDS-Backplane zur Verbindung mehrerer TMU-Boards mit einem SMU-Board noch nicht zur Verfügung stand.

Die gekennzeichneten Bauteile sind: (1) FPGA, (2) SRAM, (3) SFP-Module, (4) DRAM, (5) CompactPCI®-Stecker, (6) LVDS-Backplane-Stecker

Detektor-Stacks empfangen und über die DDL-SIU-Karte an das DAQ-System weiterleiten.

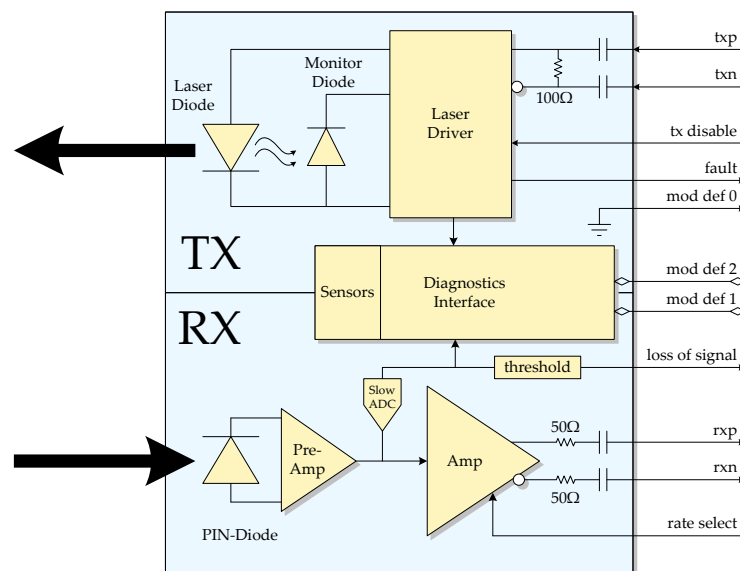
### 5.3 Die SFP-Module

Auf dem TMU-Board werden SFP-Module<sup>3</sup> zur Umwandlung der optischen Signale in elektrische eingesetzt. Passend zu den *Optical Readout Interface Boards* kommen 850-nm-Typen für Bitfrequenzen bis zu 4 GHz zum Einsatz (Finisar FTLF8524P2 bzw. PicoLight

<sup>3</sup> Abmessungen und Pin-Belegung der *Small-Form-Factor-Pluggable-Module* werden in einem *Multi-Source Agreement* geregelt [SFF00a]. Eine zusätzliche Spezifikation betrifft das *Diagnostics Interface* [SFF00b].

PLRXPL-VE-SG4-62). Die Module sind ab einer mittleren optischen Leistung oberhalb von etwa  $105 \mu\text{W}$  für Bitfehlerraten  $< 10^{-12}$  spezifiziert. Die im Testbetrieb erreichten Fehlerraten sind deutlich niedriger.

Abbildung 5.4 gibt einen Überblick über den inneren Aufbau der Module. Im Empfänger teil dient eine schnelle PIN-Diode mit integriertem Vorverstärker zur Umwandlung des optischen Signals in ein elektrisches. Ein nachgeschalteter bandbreitenlimitierter Verstärker treibt das differenzielle Ausgangssignal. Ein langsamer Analog-Digital-Wandler misst die mittlere optische Empfangsleistung. Die Senderseite ist ähnlich aufgebaut wie die letzte Stufe der ORI-Boards. Die verwendeten Typen besitzen ein Diagnostik-Interface, welches die Auslese verschiedener Sensordaten wie optische Sende- und Empfangsleistungen, Temperatur und Versorgungsspannung ermöglicht.



**Abbildung 5.4:** Aufbau eines *Small-Form-Factor-Pluggable-Moduls* für die optische Übertragung. Der obere Teil dient zum Senden, der untere zum Empfangen optischer Signale.

Acht Signale bilden das elektrische Interface der SFP-Module. Die beiden differenziellen Signalpaare *rxp/rxn* und *txp/txn* stellen die hochfrequenten Empfangs- bzw. Sendesignale dar. *Loss-Of-Signal* wird aktiviert, wenn die anliegende optische Leistung nicht für einen zuverlässigen Empfang ausreicht. Durch Setzen des *Disable*-Signals wird die Laserdiode ausgeschaltet, das *Fault*-Signal zeigt einen Ausfall der Laserdiode an. Das *Mod-Def-0*-Pin wird innerhalb der Module mit Masse verbunden. Zusammen mit einem *Pull-Up*-Widerstand dient es der Ermittlung, ob ein SFP-Modul aufgesteckt ist oder nicht. Das Diagnostik-Interface wird über einen I<sup>2</sup>C-kompatiblen, zweiadrigen Bus angesprochen (Mod-Def-1, Mod-Def-2).



### 5.3.1 Busstruktur zur Ansteuerung der SFP-Module

Zu den insgesamt 72 Interface-Signalen der zwölf SFP-Module kommen zwölf LEDs zur Anzeige der Aktivität auf den optischen Strecken, insgesamt 84 Signale. Die begrenzten I/O-Ressourcen des FPGA lassen eine direkte Ansteuerung nicht zu, daher werden die Signale über eine I<sup>2</sup>C-Busstruktur angesteuert.

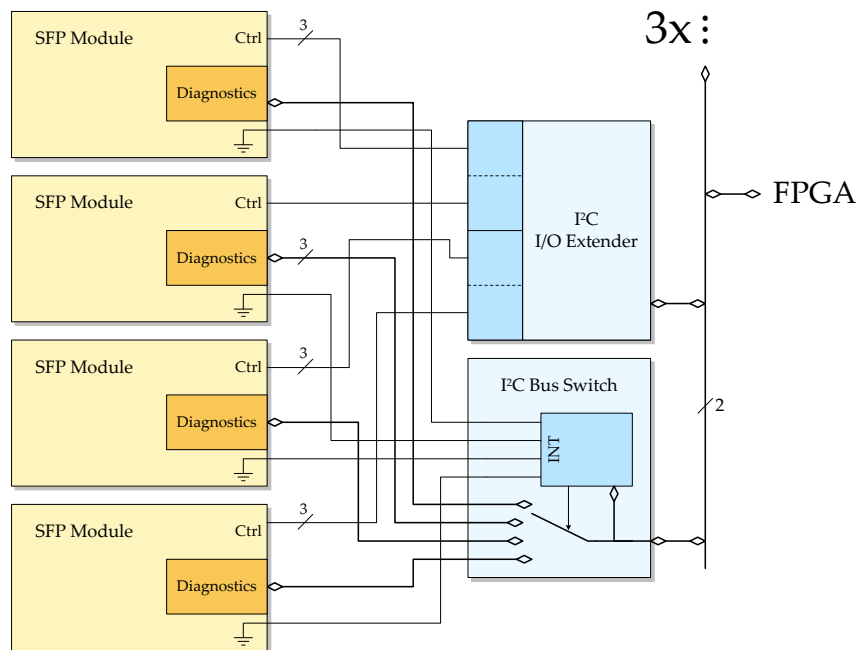


Abbildung 5.5: Der Bus zur Ansteuerung der SFP-Module

Das primäre Segment dieses Busses verbindet das FPGA mit sechs I<sup>2</sup>C-Bus-Bausteinen. Zur Ansteuerung von jeweils vier SFP-Modulen werden zwei der sechs Bausteine verwendet (siehe Abbildung 5.5). Der erste der beiden ist ein *I/O-Extender*: Er stellt zwei 8-Bit-I/O-Bänke zur Verfügung. Für jedes der vier SFP-Module stehen somit vier I/O-Signale zur Verfügung. Sie werden zur Ansteuerung des *TX-Disable*-Signals und der jedem SFP zugeordneten Status-LED sowie zur Auslese der *Loss-Of-Signal*- und *Fault*-Flags genutzt. Der zweite Baustein ist ein *Bus-Switch*. Über ihn kann wahlweise eine Verbindung zwischen dem primären und einem von vier sekundären Bussegmenten hergestellt werden. Über die sekundären Bussegmente ist jeweils das Diagnostik-Interface eines SFP-Moduls erreichbar. Der Baustein bietet zusätzlich vier *Interrupt*-Eingänge, die über den primären Bus ausgelesen werden können. Sie werden verwendet, um die *Mod-Def-0*-Signale der SFP-Module zu erfassen. Für den Zugriff auf alle Steuer- und Statussignale sowie auf die Diagnostik-Interfaces werden am FPGA so insgesamt nur zwei Pins benötigt.

Eine Steuereinheit im FPGA liest mittels eines I<sup>2</sup>C-Busmasters zyklisch die Statussignale aus und stellt sie in FPGA-Registern zur Auswertung durch weitere Einheiten bereit.

Die Steuersignale werden in umgekehrter Richtung vermittelt. Die Erweiterung der Einheit um die Auslese der Sensorwerte aus den Diagnostik-Interfaces wurde als im Rahmen dieser Arbeit betreutes Projektpraktikum ausgeführt. Um die Reaktionszeiten der Status- und Steuersignale ausreichend gering zu halten, läuft die Auslese so ab, dass alle Status- und Steuersignale jeweils nach Auslese eines Diagnostik-Interfaces abgeglichen werden. Die Reaktionszeit der Signale beträgt so etwa 10 ms. Die Sensorwerte jedes SFP-Moduls werden etwa alle 140 ms erneuert und in einem RAM-Block für die Auslese durch den PowerPC<sup>®</sup> bereitgestellt. Damit ist es auf einfache Weise möglich, kritische Betriebsparameter wie die optische Leistung auf allen Fasern per Software permanent zu überwachen.

## 6 Datenempfang und Latenz

Die FPGA-Chips der TMU-Boards beinhalten dedizierte Hardware-Blöcke zur Erzeugung und Verarbeitung schneller serieller Datensignale. Durch sie werden die optisch einlaufenden und durch SFP-Module in elektrische 2,5 GHz-Signale umgewandelten Detektordaten im FPGA-Fabric verfügbar gemacht. Sie stehen im Mittelpunkt dieses Kapitels. Im ersten Teil werden Aufbau, Funktionsweise und die umfangreichen Konfigurationsmöglichkeiten der Blöcke vorgestellt. Die für die vorliegende Anwendung ausgewählten Einstellungen werden beschrieben. Den Abschluss des Kapitels bildet die Vermessung der Latenzen der einzelnen Funktionsblöcke und der gesamten Datenstrecke vom *Optical Readout Interface Board* bis zur Verarbeitung im FPGA-Fabric.

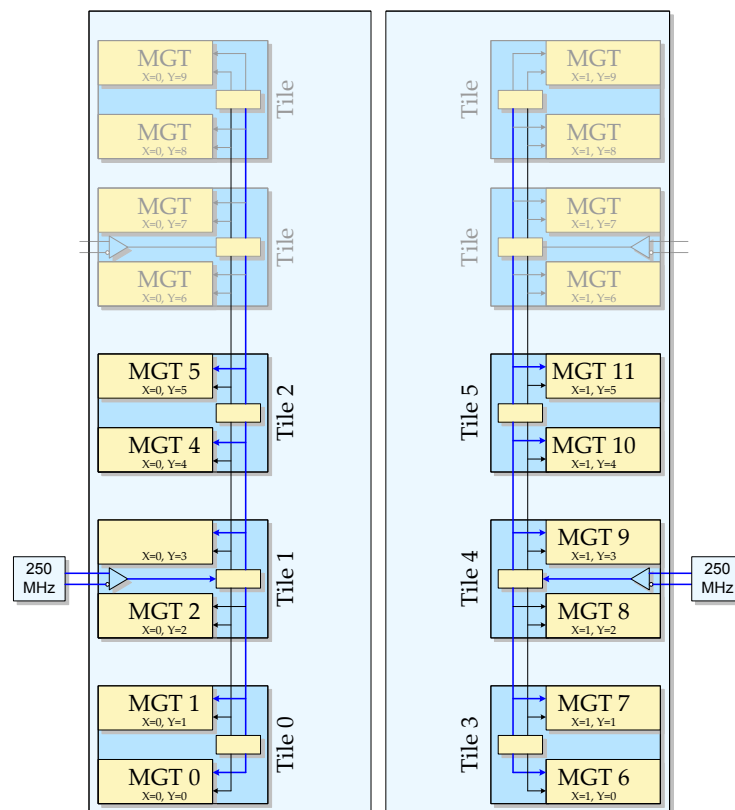
### 6.1 Die MGT-Blöcke

Die analogen Ein- und Ausgangsstufen der *Multi-Gigabit-Transceiver*-Blöcke (MGT) sind für die Verarbeitung serieller Signale mit Bitraten von bis zu 6,5 GBit/s ausgelegt. Sie enthalten *Serializer* und *Deserializer* sowie *Phase-Locked Loops* zur Erzeugung des Sendetakts und zur Ableitung des Empfangstakts aus den Übergängen im Datenstrom.

In den digitalen Stufen der MGT stehen eine Reihe von Funktionsblöcken für die Ausrichtung der Wortgrenzen, verschiedene Kodierungen, Fehlersicherung, *Clock Correction* und Pufferung der Daten zur Verfügung. Über 100 Konfigurationsparameter machen die Blöcke vielseitig einsetzbar. Beispiele implementierbarer Übertragungsprotokolle sind *Fibre Channel*, *Gigabit Ethernet*, *Infiniband*, *PCI Express* und *Serial ATA*.

#### 6.1.1 Physikalische Anordnung und Verteilung des Referenztakts

Die eingesetzten FPGAs verfügen über 16 (FX60) bzw. 20 (FX100) solcher MGT-Blöcke. Sie sind in zwei Spalten, entlang der beiden langen *Die*-Kanten angeordnet. Zur Verteilung der Referenztakts für die PLLs stehen innerhalb der Spalten jeweils zwei dedizierte Taktleitungen mit sehr geringem Jitter zur Verfügung (siehe Abbildung 6.1). Jeweils zwei benachbarte MGTs innerhalb einer Spalte sind zu einer *Tile* zusammengefasst. Diese enthält drei PLLs: zwei für die Rekonstruktion des Empfangstakts und ein gemeinsamer für die Erzeugung des Sendetakts (siehe Abbildung 6.2). Jede *Tile* enthält einen Treiber,



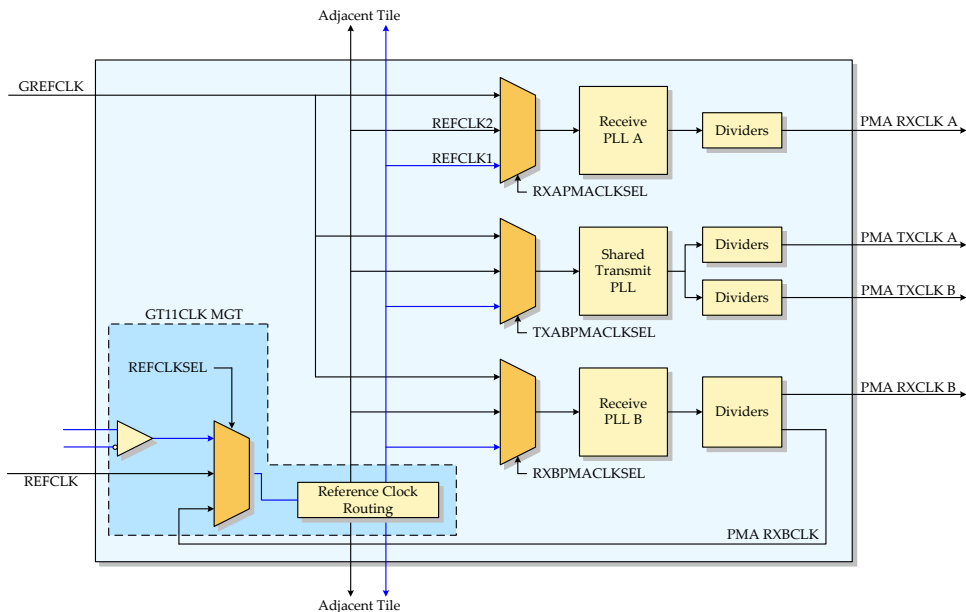
**Abbildung 6.1:** Grundriss des Xilinx Virtex™-4 FX100. Die in der vorliegenden Anwendung verwendeten MGT-Ressourcen sind hervorgehoben und mit ihren Koordinaten bezeichnet.

welcher eine der beiden spaltenweiten Leitungen für die Verteilung des Referenztakts ansteuern kann.

Ein Multiplexer ermöglicht die Auswahl zwischen drei verschiedenen Quellen: ein externes Taktsignal über einen dedizierten differentiellen *Input Buffer*, ein Taktsignal aus einer globalen oder einer der lokalen Routing-Ressourcen des *FPGA-Fabric*. Nur bei jeweils zwei *Tiles* pro Spalte ist der *Input Buffer* gebondet.

Die Referenztaktsignale der beiden Spalten werden jeweils durch einen sehr präzisen Oszillator auf dem TMU-Board erzeugt. Die Oszillatoren entsprechen den hohen Anforderungen an geringen Jitter (0,5 ps) und hohe Frequenzstabilität (50 ppm).

Die Sender- und Empfängeranteile der MGT-Blöcke arbeiten bis auf den gemeinsamen Referenztakt vollkommen unabhängig. Jeder der beiden Teile besteht aus einem *Physical-Media-Attachment-Block* zur Erzeugung bzw. Aufnahme der hochfrequenten seriellen Signale und dem digitalen *Physical-Coding-Sublayer-Block* zur Verarbeitung der parallelisierten Daten bei entsprechend geringeren Frequenzen. Die folgende Darstellung ist



**Abbildung 6.2:** Clocking-Ressourcen einer MGT-Tile. Zwei MGT-Blöcke sind zu einer Tile zusammengefasst und teilen sich den PLL zur Erzeugung des Sendetakts. Die hervorgehobenen Signalleitungen werden in der vorliegenden Anwendung benutzt.

auf den Empfangsteil reduziert, da er für die spätere Anwendung eine wichtige Rolle spielt.

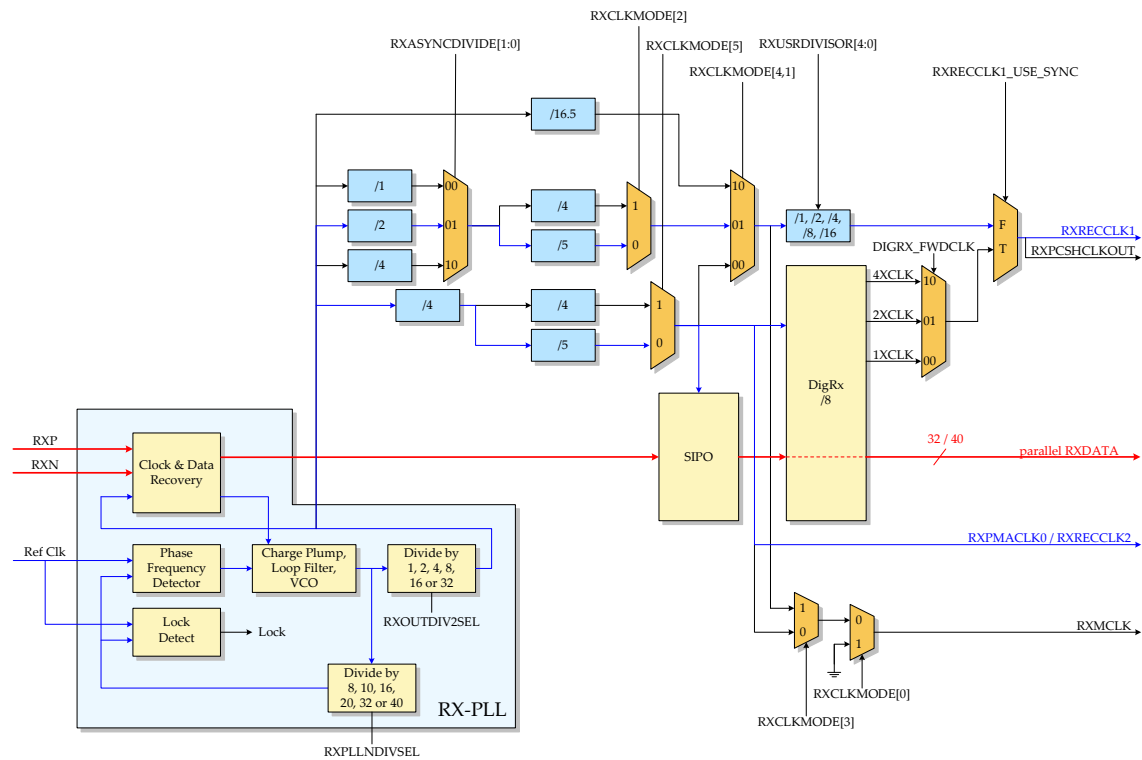
### 6.1.2 Physical Media Attachment des Empfängerteils

Das *Physical Media Attachment* des Empfängers (RX-PMA) dient der analogen Erfassung des schnellen seriellen Datensignales.

Es enthält eine *Sampling*-Einheit, die den Wert am differentiellen Eingangspuffer zu einem einstellbaren Zeitpunkt innerhalb einer Bitperiode aufnimmt und an den *Deserializer* (*Serial-In-Parallel-Out-Block*, SIPO) weiterleitet. Zur Rückgewinnung des Übertragungstakts aus den Übergängen im einlaufenden Bitstrom dient ein *Phase-Locked Loop* mit geeigneter Beschaltung. Eine komplexe Struktur aus Teilern und Multiplexern ermöglicht die Ableitung der in den verschiedenen Empfängerstufen benötigten Sekundärtakte aus dem rekonstruierten Takt. Abbildung 6.3 zeigt ein Schema des RX-PMA.

Liegt kein seriell Signal an, leitet der *Voltage Controlled Oscillator* (VCO) seine Frequenz  $f_{VCO}$  aus dem Referenz-Taktsignal der Frequenz  $F_{ref}$  ab. Enthält das serielle Datensignal eine ausreichende Rate von Signalwechseln, rastet der VCO auf die Übergänge ein und kann zur Rekonstruktion des vom Sender verwendeten Übertragungstakts der Frequenz

$f_{line}$  genutzt werden. Ein *Lock-Detector* erkennt, ob der PLL synchron mit dem einlaufenden Datenstrom ist und gibt ein entsprechendes Statussignal an das *Fabric-Interface* weiter. Um ein zuverlässiges Einrasten beim Übergang vom Referenztakt auf die Übergänge im Datenstrom zu gewährleisten, darf die Abweichung zwischen Referenz- und Sendetakt maximal 350 ppm betragen.



**Abbildung 6.3:** Aufbau des PMA-Blocks im Empfangsteil des MGT. Der für die vorliegende Anwendung ausgewählte Datenpfad ist rot hervorgehoben, der verwendete Pfad zur Ableitung der Taktsignale ist blau gekennzeichnet.

Nach dem Einrasten kann mittels eines programmierbaren Teilers aus dem VCO-Takt der *Sampling*-Takt abgeleitet werden. Zu beiden Flanken dieses Takts wird der Eingangswert digitalisiert und in den *Serial-In-Parallel-Out-Block* (SIPO) zur Deserialisierung übernommen. Die Frequenz des *Sampling*-Takts muss daher die Hälfte der Übertragungsfrequenz betragen,  $f_{\text{sampl}} = \frac{1}{2} f_{\text{line}}$ .

Die Anordnung aus einem Multiplikator und einem Teiler für die Erzeugung des *Sampling*-Takts lässt mehrere Kombinationen zu. Die ausgewählten Einstellungen betreiben den VCO bei einer Frequenz von 5 GHz. Bei dieser Frequenz fällt der Jitter deutlich geringer aus als bei den ebenfalls möglichen Frequenzen von 2,5 GHz und 1,25 GHz. Stromverbrauch und Verlustleistung sind dementsprechend jedoch rund viermal größer als bei der niedrigstmöglichen Frequenz. Die 36 Schwingkreise der aktiven MGT-Blöcke haben einen großen Anteil an der Wärmeentwicklung des gesamten FPGA-Chips.

Mittels einer mehrstufigen Anordnung aus Frequenzteilern und dazwischen liegenden Multiplexern kann aus dem vorgeteilten VCO-Takt auch das erforderliche Taktsignal der Frequenz  $f_{\text{pcs}}$  für die Verarbeitung der parallelisierten Daten im *Physical Coding Sublayer* abgeleitet werden.

Setting	Wert	Bedeutung
RXPLLNDIVSEL	20	$f_{\text{vco}} = f_{\text{ref}} \cdot \text{RXPLLNDIVSEL} = 250 \text{ MHz} \cdot 20 = 5 \text{ GHz}$
RXOUTDIV2SEL	4	$f_{\text{samp1}} = f_{\text{vco}} / \text{RXOUTDIV2SEL} = 5 \text{ GHz} / 4 = 1,25 \text{ GHz}$
RXASYNCDDIVIDE	b01	Auswahl RXRECCLK1-Vorteilers
RXCLKMODE	b000011	Auswahl weiterer Teiler: Bit 0: RXMCLK nicht benötigt Bit 2: Teiler für RXRECCLK1 Bit 3: beliebig Bit 4,1: <i>Low Latency Clocking</i> Bit 5: Teiler für RXRECCLK2
RXUSRDIVISOR	1	$f_{\text{pcs}} = f_{\text{RXRECCLK1}} = 125 \text{ MHz}$
RXRECCLK1_USE_SYNC	FALSE	kein Digital-Receiver-Modus

**Tabelle 6.1:** Ausgewählte Konfigurationsparameter der RX-PMA-Blöcke

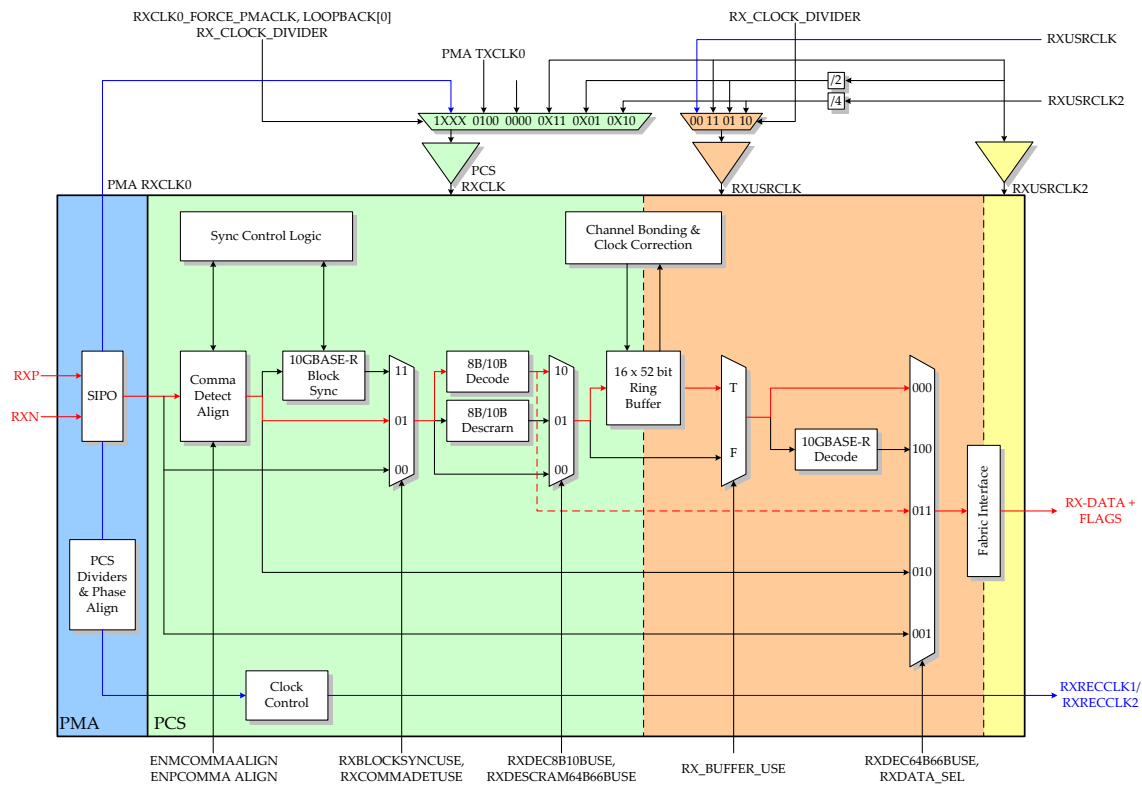
Neben der Frequenz des Referenztakts und des Sendetakts spielt auch die Auswahl der Datenbreiten verschiedener Funktionsblöcke bei der Ableitung der PCS-Takte eine Rolle. Im PMA selbst ist dies die Breite des SIPO-Blocks, die 32 oder 40 betragen kann. Tabelle 6.1 zeigt die für die vorliegende Anwendung gewählten Werte.

### 6.1.3 Physical Coding Sublayer des Empfängerteils

Das im *Serial-In-Parallel-Out*-Block des RX-PMA deserialisierte Empfangssignal wird in einer einstellbaren Breite von 32 oder 40 Bit synchron zum RX-PMACK0-Takt an das *Physical Coding Sublayer* (RX-PCS) weitergeleitet. Durch eine mehrstufige Multiplexer-Struktur können verschiedene Funktionsblöcke in den Datenpfad eingeschaltet oder umgegangen werden. Abbildung 6.4 zeigt den gesamten Datenpfad in PMA und PCS mit den zugehörigen vier *Clock Domains*.

Die verschiedenen Funktionsblöcke werden im Folgenden kurz vorgestellt und die für die vorliegende Anwendung ausgewählten Einstellungen erläutert.

**Ausrichtung der Wortgrenzen** Der SIPO-Block des PMA stellt im Wesentlichen ein Schieberegister mit einer wählbaren Breite von 32 oder 40 Bit dar. Um die parallelen Daten aus dem seriellen Datenstrom zurückzugewinnen, muss der Ausgangswert des Schieberegisters zum richtigen Zeitpunkt weitergeleitet werden. Zur Bestimmung dieses



**Abbildung 6.4:** Der Datenpfad durch PMA und PCS des Empfängerteils. Die vier verschiedenen *Clock Domains* sind farblich unterschieden.

Zeitpunkts stellt der Empfänger eine dedizierte *Comma-Detection*-Logik zur Verfügung. Zwei Bitmuster (als Plus- und Minus-Komma bezeichnet<sup>1</sup>) für häufig im Datenstrom auftretende Zeichen können vorgegeben werden. Werden diese Muster im Datenstrom erkannt, wird die Phase des Parallelisierungstakts so angepasst, dass die Grenzen des SIPO mit den Zeichengrenzen im Datenstrom zusammenfallen (*Comma Alignment*). Die Vorgabe der beiden Werte erfolgt mittels eines 32-Bit-Musters und einer Maske, die die relevanten Bits markiert.

Die Einstellungen für das *Alignment* sind in Tabelle 6.2 aufgeführt. Sie sind an die Eigenschaften der *Serializer* auf den ORI-Boards angepasst.

Diese fassen jeweils zwei separat 8B/10B-kodierte 8-Bit-Werte zur Übertragung zu einem 20-Bit-Block zusammen. In Datenlücken setzen sie in der überwiegenden Mehrheit eine der vier Kodierungen für die 8B/10B-Zeichenfolge <D16.2, K28.5> ein. Die Ausrichtungsgranularität ist auf 20-Bit-Blöcke eingestellt und erfolgt so, dass das erkannte

<sup>1</sup> Diese Bezeichnung stammt aus der gebräuchlichen Verwendung einer 8B/10B- oder 64B/66B-Kodierung, die für jedes 8-Bit-Zeichen zwei 10-Bit-Muster vorsieht. Eines der beiden Muster jedes Zeichens hat einen Überschuss an ‚0‘-Werten, der als negative Disparität bezeichnet wird. Das andere Bitmuster hat einen Überschuss an ‚1‘-Werten und damit eine positive Disparität.



Komma-Zeichen immer an der niederwertigen Byte-Position steht. Mit dieser Einrichtung werden die empfangenen 16-Bit-Datenwerte genau so rekonstruiert, wie sie auf dem ORI-Board an den *Serializer* übergeben werden.

Setting	Wert	Bedeutung
RXBLOCKSYNCUSE, RXCOMMADETUSE	b01	<i>Comma-Alignment</i> -Modus
ALIGN_COMMA_WORD	2	Ausrichtung auf 20-Bit-Blöcke
COMMA_10B_MASK	0x3ff	
COMMA32	FALSE	
PCOMMA_32B_VALUE	0x0000017c	<K28.5>, positive Disparität
MCOMMA_32B_VALUE	0x00000283	<K28.5>, negative Disparität
PCOMMA_DETECT	TRUE	
MCOMMA_DETECT	TRUE	
DEC_PCOMMA_DETECT	TRUE	
DEC_MCOMMA_DETECT	TRUE	
DEC_VALID_COMMA_ONLY	FALSE	

**Tabelle 6.2:** MGT-Einstellungen für Komma-Erkennung und -Ausrichtung

**Leitungsdekodierung** In der nächsten Ebene des RX-PCS stehen ein 8B/10B- oder ein 64B/66B-*Decoder* mit optionalem *10GBASE-R Block Synchronizer* zur Verfügung. Der 8B/10B-*Decoder* wandelt die empfangenen 20-Bit-Blöcke zurück in zwei 8-Bit-Werte und gibt dazu drei Statussignale aus. Das *Char-Is-K*-Signal zeigt an, dass es sich bei dem empfangenen Zeichen um ein Steuerzeichen des 8B/10B-Raumes und nicht um ein Datenwort handelt. Dies tritt im fehlerfreien Betrieb nur bei denen auf, welche der *Serializer* in den Datenstrom einfügt. Die beiden anderen Signale zeigen Fehlerbedingungen an: *Not-In-Table* zeigt einen 10-Bit-Block an, der nicht im 8B/10B-Coderaum liegt. Das *Running-Disparity-Error*-Signal markiert einen Block, der zwar im Coderaum liegt, aber die falsche laufende Disparität besitzt. Dies weist auf einen Übertragungsfehler hin, der zufällig ein gültiges Zeichen im Coderaum erzeugt hat. Die Auswertung der drei Flags ermöglicht das Trennen zwischen Nutzdaten und Komma-Zeichen und ermöglicht die Erkennung von deutlich mehr als der Hälfte aller zufälligen Fehler [WF83].

**Elastic Buffer** Das *Comma Alignment* und die Dekodierung der empfangenen Daten erfolgt in der *Clock Domain* des durch die eingestellte SIPO-Breite geteilten Empfangstakts, *RX-PMACLK0* (grüner Bereich in Abbildung 6.4). Die Daten können im FPGA-*Fabric* synchron zum *RXRECCLK1*- oder *RXRECCLK2*-Takt verarbeitet werden.

Ein 16×52-Bit-Ringpuffer, dem Datenblatt folgend als *Elastic Buffer* bezeichnet, ermöglicht die Pufferung der Empfangsdaten und die Umsetzung in andere *Clock Domains*. Im ersten Betriebsmodus kann ein Übergang zwischen *Clock Domains* gleicher Taktrate, aber

unterschiedlicher Phase stattfinden. Im zweiten bietet der Puffer eine konfigurierbare *Clock-Correction*-Funktionalität. Der Einsatz des *Elastic Buffers* bringt eine große, von den gewählten Einstellungen abhängige Latenz ein.

**Das Interface zum FPGA-Fabric** Für die Breite des Datenpfades am *Fabric*-Interface des PCS stehen bei einer 8B/10B-Dekodierung 8, 16, 32 und 64 Bit zur Auswahl. 16 Bit ist für die vorliegende Anwendung die nahe liegende Breite, da CPLD und *Serializer* auf der Senderseite in dieser Breite arbeiten. Der resultierende Datentakt von 125 MHz ist im *FPGA-Fabric* gut zu handhaben. Größere Interface-Breiten verringern zwar den Datentakt, führen jedoch zu erhöhtem Aufwand, da das Ausblenden einzelner Komma-Zeichen im Datenpfad erforderlich wird; eine kleinere Breite erhöht die Taktfrequenz auf 250 MHz, was für das FPGA-Design unpraktikabel ist.

Setting	Wert	Bedeutung
RXDEC8B10BUSE, RXDESCRAM64B66BUSE	b10	8B/10B-Dekodierung
RX_BUFFER_USE	FALSE/TRUE	<i>Elastic-Buffer</i> -Nutzung
RXDEC64B66BUSE, RXDATA_SEL	b000	finaler Datenpfad- Multiplexer
RXCLK0_FORCE_PMACLK, LOOPBACK[0], RX_CLOCK_DIVIDER	b10  b00	

**Tabelle 6.3:** MGT-Settings zur Konfiguration des RX-PCS-Datenpfades

Die zwei für die vorliegende Anwendung relevanten Datenpfade sind in Abbildung 6.4 hervorgehoben. Sie unterscheiden sich in der Nutzung des *Elastic Buffers* und den damit verbundenen Unterschieden in den zu verwendenden Takten. Die Auswirkungen auf die Latenz und die Problematik des *Rate Matching* werden weiter unten in diesem Kapitel erläutert. In Tabelle 6.3 sind die ausgewählten RX-PCS-Einstellungen für beide Datenpfad-Varianten zusammengestellt.

Die Einstellungen der Frequenzteiler für die Takte der vier *Clock Domains* innerhalb der PMA- und PCS-Blöcke ergeben sich aus der Wahl der Breite und der verwendeten Datenpfad-Einheiten. Sie sind im unteren Teil von Tabelle 6.3 aufgeführt.

## 6.2 Clock Correction und Verteilung der Empfangsdaten

Die Sendetakte der zwölf einlaufenden Datenströme variieren leicht. Dies geht auf unvermeidliche Fertigungs- und Temperaturunterschiede zwischen den Referenzquarzen der ORI-Boards zurück. Die empfangenen Datenraten und die rekonstruierten Takte der

zwölf MGT-Blöcke weisen die gleichen Unterschiede auf. Eine unabhängige Verarbeitung der Daten mit den jeweiligen rekonstruierten Takten erfordert mehr dedizierte lokale *Clock*-Ressourcen als die FPGA-Architektur zur Verfügung stellt.

Für die meisten Anwendungen ist jedoch die Verarbeitung aller empfangenen Daten zu einem globalen, lokal erzeugten Takt anzustreben. Ist der lokale Verarbeitungstakt etwas langsamer als der jeweilige Empfangstakt, kommen mehr Datenworte an als zur Weiterverarbeitung ausgelesen werden können. Einzelne Datenworte gehen verloren.

Ist der lokale Takt schneller, kommen weniger Datenworte nach als ausgelesen werden, einzelne Datenworte werden doppelt weiterverarbeitet.

Zum Ausgleich der Unterschiede in der empfangenen und der lokalen Datenrate können die auf der Senderseite regelmäßig in den Nutzdatenstrom eingestreuten Komma-Zeichen verwendet werden. Ist der Sendetakt etwas langsamer als der lokale, werden die entstehenden Lücken mit zusätzlichen Komma-Zeichen aufgefüllt. Bei einem schnelleren Sendetakt werden Komma-Zeichen gelegentlich aus dem Datenstrom entfernt. Dieser Vorgang wird als *Clock Correction* bezeichnet. Die Häufigkeit der *Comma Injects* bzw. *Drops* hängt direkt mit dem Unterschied der beiden Frequenzen zusammen.

Messungen mit vier verschiedenen ORI-Boards als Sender zeigen sehr geringe Abweichungen zwischen Sendetakt und dem lokalen TMU-Referenztakt. Aus der Häufigkeit der *Clock-Correction*-Vorgänge ergibt sich ein Frequenzunterschied von rund  $\pm 5$  ppm. Ein Korrekturvorgang ist etwa alle 1,8 ms erforderlich.

Zum Ausgleich dieser geringen Unterschiede kann der *Elastic Buffer* im RX-PCS mit Einstellungen genutzt werden, die seine Latenz auf dem minimal möglichen Wert halten. Dennoch ist die eingeführte Latenz mit 21 Takten, also 168 ns, erheblich.

Neben der Latenz durch die *Clock Correction* spielt die Latenz der eingesetzten Routing-Pipeline-Stufen keine große Rolle. Sie dienen zur Aufteilung der teilweise recht langen Signalwege von den Rändern des *Chip Die* zu den *Fabric*-Ressourcen des Trigger-Designs.

### 6.3 Betrachtung der Latenz

Die Latenz in der Übertragung der *Tracklet*-Daten limitiert die für das Trigger-Design zur Verfügung stehende Zeit. Ihre Minimierung war bei der Entwicklung aller Komponenten ein mitbestimmender Faktor.

In diesem Abschnitt werden zunächst die Beiträge der einzelnen MGT-Funktionsblöcke zur Gesamtlatenz besprochen. Es folgen Messergebnisse für die gesamte Datenstrecke.

Die Latenz des PMA beträgt in der vorliegenden Konfiguration 80 *Unit Intervals* (UI, Periode eines Datenbits), also 32 ns. Der Übergang vom PMA ins PCS nimmt weitere 16 ns in Anspruch.

Die Funktionalität der *Comma-Alignment*-Einheit ist im *Fabric* nur mit großem Aufwand zu ersetzen. Sie bringt eine Latenz von drei Datentakten, also 24 ns in den Empfangspfad ein. Ihre Umgehung bringt nur zwei Takte Zeitgewinn. Auch die Verwendung des 8B/10B-*Decoders* ist in jedem Falle sinnvoll, da dieser zwei Datentakte für Dekodierung und Fehlerprüfung benötigt und den Einsatz von *Fabric*-Ressourcen überflüssig macht. Der Übergang ins *Fabric* nimmt bei der gewählten Datenbreite von 16 Bit weitere 24 ns in Anspruch<sup>2</sup>.

Die wichtigste Entscheidung betrifft den Einsatz des *Elastic Buffers* für die *Clock Correction*. Wird er nur als Puffer ohne *Clock Correction* eingesetzt, beträgt die zusätzliche Latenz 128 ns. Der Betrieb mit *Clock Correction* ergibt eine Latenz zwischen 128 und 152 ns.

Ein Ziel dieser Arbeit ist die Minimierung der Latenz durch alternative Implementierungen der *Clock Correction*. Erst kürzlich veröffentlichte Erweiterungen des MGT-Datenblattes zu Aspekten des *Low Latency Design* lassen bei Ausnutzung aller Möglichkeiten eine Latenz von 112 ns ohne *Clock Correction* als machbar erscheinen. Verschiedene Ansätze versprechen für die *Clock Correction* eine deutlich geringere Latenz als der Einsatz des *Elastic Buffers* (Beispiele sind [DDX95] und [BL<sup>+</sup>]).

Im Laufe dieser Arbeit traten jedoch die Bereitstellung einer funktionierenden Datenkette zur Auslese eines Supermoduls während der Montage und bei ersten Tests am CERN in den Vordergrund. Zum gegenwärtigen Zeitpunkt werden die *Elastic Buffers* genutzt, um die Daten aller zwölf Kanäle zu einem globalen 125-MHz-Takt zu synchronisieren.

Die geplante Umsetzung einer Lösung zur Anpassung der Datenraten mit einer Latenz von einem halben Takt durch Vergleich der Taktphasen zwischen Empfangs- und lokalen Takt, wie in [DDX95] beschrieben, konnte im Rahmen dieser Arbeit leider nicht mehr durchgeführt werden. Sie stellt jedoch ein gut abgegrenztes Projekt dar, welches ohne Auswirkungen auf die anderen Teile des Gesamtdesigns nachträglich ausgeführt werden kann.

### Messung der Gesamtlatenz

Die vermessene Übertragungsstrecke beinhaltet alle Elemente der späteren Strecke am Detektor. Ähnlich wie bei dem Testaufbau für die Fehlerratenmessungen dient ein *Single MCM Board* als Datenquelle für das ORI-Board. Die optische Verbindung wird durch eine Faser mit ähnlichen Eigenschaften wie die im Experiment eingesetzten hergestellt (50/125 $\mu$ -Gradientenindex-Faser, Länge 60 m,  $n_{\text{Kern}}=1,46$ ). Auf der Empfängerseite kommen ein TMU-Board und zum Vergleich der einfache Testempfänger zum Einsatz.

Zur Messung der Latenz wird das *Strobe*-Signal, welches gültige Daten am Interface von MCM zu ORI anzeigt, auf einen Oszilloskop-Kanal geführt. Auf den zweiten Kanal wird das *Data-Valid*-Signal des jeweiligen Empfängers gelegt. Die Latenz der Gesamtstrecke

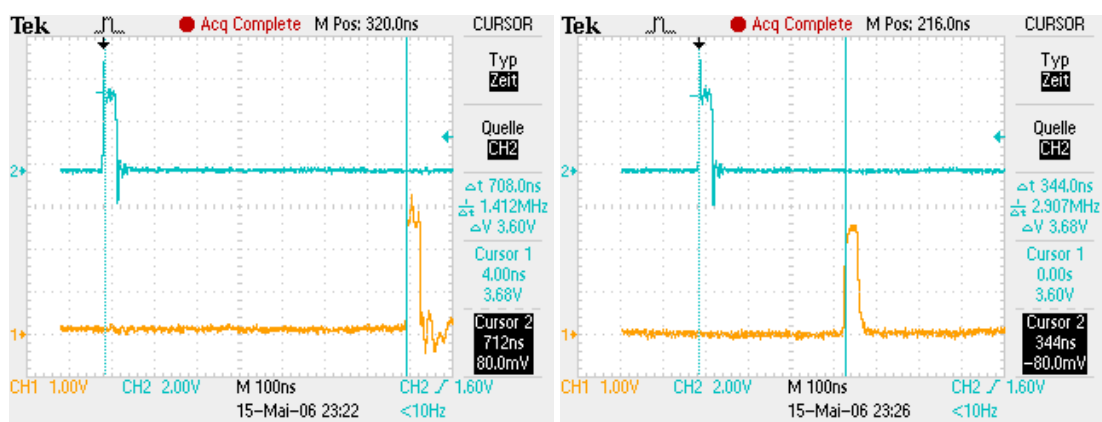
---

<sup>2</sup> Alle Werte entnommen aus [Xil06a, S. 206, Tabelle 8-1]

Funktionsblock	T [ns]	Anmerkung
ORI CPLD-Design	$\leq 67$	8 120-MHz-Takte (MCM)
ORI TX Serializer	21,6 – 23,6	54 – 59 Bits (laut Datenblatt)
Detektor-Glasfaser	292,7	50/125 $\mu$ m-Gradientenindex, $n_{\text{Kern}} = 1,46, L = 60$ m
MGT RX (PCS und PMA)	$\approx 352$	mit <i>Clock Correction</i>
MGT RX (PCS und PMA)	$\approx 163$	ohne <i>Clock Correction</i>
MGT TX (PCS und PMA)	$52 \pm 8$	ohne <i>Elastic Buffer</i>
Deserializier Testempf.	49	42,8 – 66,4 ns laut Datenblatt
ORI gesamt	$\leq 91$	
ORI + Faser + TMU	$\leq 760$	mit <i>Clock Correction</i> , 60 m-Faser
ORI + Faser + TMU	$\leq 572$	ohne <i>Clock Correction</i> , 60 m-Faser
ORI + Faser + Testempf.	$\leq 412$	60 m-Faser

**Tabelle 6.4:** Experimentell bestimmte Latenzen der Funktionsblöcke in Sendern und Empfängern.  $T$  bezeichnet die Latenz der jeweiligen Funktionsblöcke oder Strecken.

lässt sich direkt auf dem Oszilloskop als Zeitdifferenz zwischen der ersten Flanke auf dem *Strobe*-Signal und der Reaktion des Empfängersignales ablesen (siehe Abbildung 6.5). Durch Vergleich mehrerer Kombinationen von unterschiedlich langen Glasfasern, den beiden Empfängern und verschiedenen MGT-Konfigurationen können die Einzellaatenzen ermittelt werden. Sie sind in Tabelle 6.4 aufgelistet. Mit den vorliegenden Empfängereinstellungen beträgt die Übertragungslatenz der gesamten optischen Strecke einschließlich der Lichtlaufzeiten rund 760 ns. Durch die Ersetzung der *Elastic Buffers* und eine effiziente *Clock Correction* erscheint eine Latenz von rund 420 ns als realisierbar.



(a) TMU als Empfänger – Latenz 708 + 91 ns

(b) Testempfänger – Latenz 344 + 91 ns

**Abbildung 6.5:** Die zwei Aufnahmen zeigen die Zeitdifferenz zwischen Sendebeginn am *Serializer* des ORI-Boards (oberer Puls) und dem Bereitstehen der Daten im FPGA-Fabric bzw. am Ausgang des Testempfängers (unterer Puls). Die Messung basiert auf einer 60 m langen Glasfaserstrecke, welche die spätere Installation im Detektor mit allen *Patch Panels* modelliert. Die Messung gilt für ein TMU-Design, welches eine schlechte Konfiguration des *Elastic Buffers* für die *Clock Correction* verwendet.

## 7 Pufferung der Ereignisdaten

Die *Track Matching Unit Boards* der GTU erfüllen zwei Aufgaben. Die erste ist die Auswertung der *Tracklet*-Parameter eines Detektor-Stacks für den *Level-1*-Triggerbeitrag des TRD. Die optische Datenstrecke zur Übertragung der Detektordaten an die GTU unterliegt daher strengen Zeitanforderungen. Sie ist zur Minimierung der Übertragungszeit als reine *Data-Push*-Architektur ohne Rückleitung ausgelegt.

Die zweite Aufgabe der TMU-Boards ist die Pufferung der gesamten Rohdaten eines Stack für mehrere Ereignisse sowie deren Weiterleitung an das *Data Acquisition System* und den *High-Level Trigger* bei einem *Level-2-Accept*. Für diese Übertragung sind flussgesteuerte *Detector Data Links* mit deutlich geringerer Bandbreite vorgesehen.

Die im Rahmen dieser Arbeit entwickelte *Event-Buffering*-Einheit zur Bewerkstelligung der zweiten Aufgabe ist Gegenstand dieses Kapitels. Zunächst werden die an die Einheit gestellten Anforderungen präzisiert. Anschließend werden ihre drei Funktionsblöcke detailliert dargestellt. Den Abschluss des Kapitels bildet eine Übersicht der im FPGA benötigten Ressourcen.

### 7.1 Anforderungen an das Design

Auf einem TMU-Board laufen die Ereignisdaten eines Detektor-Stacks über zwölf unabhängige optische Datenstrecken ein. Sie werden im Folgenden einfach als Kanäle bezeichnet. Jeder Kanal liefert bei voller Auslastung 1,9375 GBit/s bzw. 0,23 GByte/s reine Nutzdaten in Form von 16-Bit-Datenworten.<sup>1</sup> Der einlaufende Nutzdatenstrom aller Kanäle beträgt zusammen 2,71 GByte/s.

Zur Speicherung der Ereignisdaten steht ein 4 MByte-SRAM-Speicher mit einem 128 Bit breiten Datenpfad und einer maximalen Bandbreite von 2,98 GByte/s zur Verfügung. Dies ist ausreichend, um die volle Datenrate aufnehmen zu können, es müssen jedoch nahezu alle Schreibakte ausgenutzt werden. Der physikalische Speicher ist in zwölf unabhängig voneinander organisierte Bereiche aufgeteilt. Für jeden Kanal stehen 21 854 128-Bit-Speicherzellen, etwa 171 kByte, zur Verfügung. Bei unkomprimierten Rohdaten reicht dies zur Pufferung fünf typischer Ereignisse aus.

---

<sup>1</sup> Die Angaben der Datenraten in GBit/s erfolgen mit der physikalischen Bedeutung von  $10^9$  Bit/s. Bei den Angaben in GByte/s ist der in der Informatik übliche Faktor von  $1024^3$  zu Grunde gelegt.

Die Verarbeitung der Ereignisdaten in der *Event-Buffering*-Einheit wird durch die globalen Triggersignale gesteuert (siehe auch Abschnitt 2.3.3). Nach einem *Level-0-Accept* treffen *Tracklet*-Parameter ein, bei einem *Level-1-Accept* folgen die Rohdaten. Ein *Level-2-Accept* fordert die Weiterleitung der gespeicherten Ereignisdaten an. Die korrespondierenden *Rejects* weisen die Einheit hingegen an, die bisher empfangenen Daten des letzten Ereignisses oder vollständig empfangene Ereignisse zu verwerfen. Folgende Funktionen müssen unterstützt werden:

- Annahme von *Tracklet*-Daten ab dem *Level-0-Accept*.
- Verwerfen der empfangenen *Tracklet*-Daten bei einem *Level-1-Reject*.
- Annahme von Rohdaten ab dem *Level-1-Accept* bis zum Erreichen der Endmarkierungen im Datenstrom.
- Weiterleiten der *Tracklet*- und Rohdaten des ältesten Ereignisses im Puffer beim Eintreffen eines *Level-2-Accepts*.
- Verwerfen der *Tracklet*- und Rohdaten des ältesten Ereignisses bei einem *Level 2-Reject*.
- Annahme neuer *Tracklet*- und Rohdaten parallel zum Auslesen oder Verwerfen der Daten vorhergehender Ereignisse (*Trigger Interleaving*).
- Überwachung der Datenströme; Verwerfen der Daten einzelner Ereignisse bei verschiedenen Fehlerbedingungen ohne Verlust der Daten anderer Ereignisse (*Event Drop*).

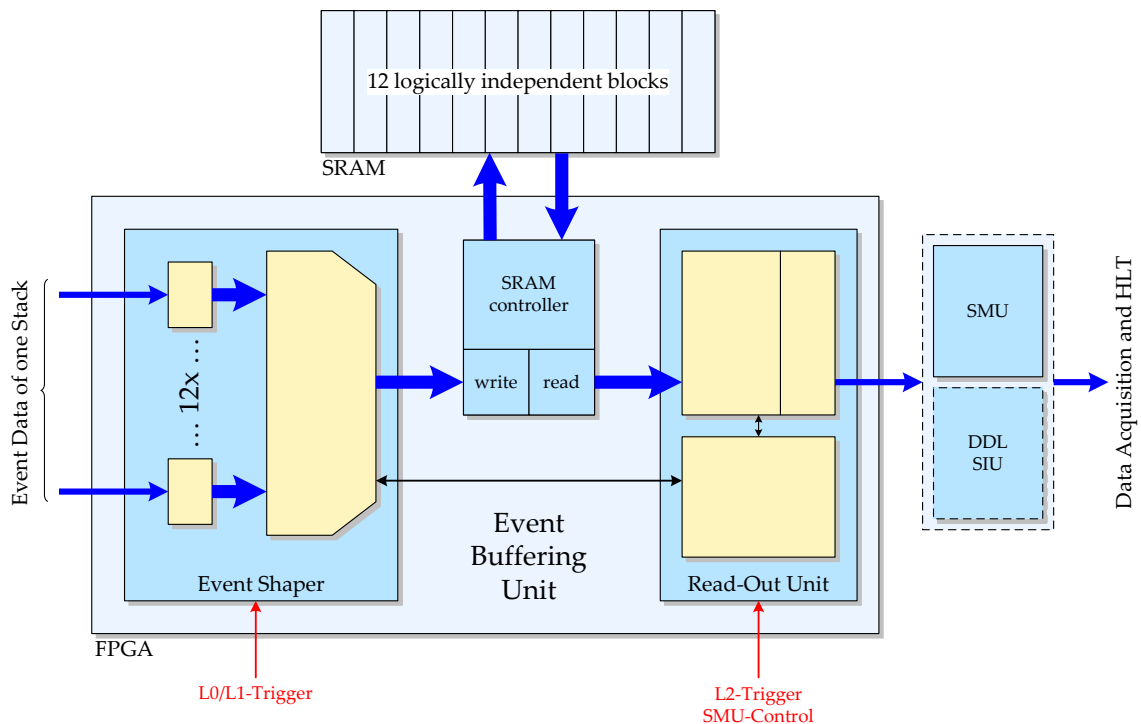
## 7.2 Aufbau und Funktionsprinzip

Die *Event-Buffering*-Einheit ist aus drei Funktionsblöcken aufgebaut: dem *Event Shaper*, dem **SRAM-Controller** und der **Read-Out-Einheit**. In Abbildung 7.1 ist ein Schema der Komponenten und des Datenflusses dargestellt.

Der *Event Shaper* ist der erste Funktionsblock im Datenfluss. In seinen Eingangsstufen werden die 16-Bit-Datenströme der Kanäle unabhängig voneinander zu 128 Bit breiten **Zeilen** für den externen Speicher zusammengefasst. Die Zeilen werden gepuffert und von der 125-MHz-Clock Domain der Empfänger in die 200-MHz-Clock-Domain der nachfolgenden Stufen zur Speicheransteuerung übertragen.

In der zweiten Stufe des *Event Shapers* wird der Reihe nach jeweils eine Zeile jedes Kanals aus den Puffern gelesen und so ein einziger dichter 128-Bit-Datenstrom für die Schreibzugriffe auf den externen Speicher zusammengestellt. Mittels einer geeigneten Adressverwaltung werden die Daten der einzelnen Kanäle in getrennte, separat verwaltete Speicherbereiche geschrieben.





**Abbildung 7.1:** Die *Event-Buffering*-Einheit besteht aus drei Funktionsblöcken. Der *Event Shaper* fasst die zwölf Kanäle zu einem einzigen Datenstrom zusammen. Der Zugriff auf den externen Speicher erfolgt über den SRAM-Controller. Die *Read-Out*-Einheit dient zur Auslese und Weiterleitung der gespeicherten Ereignisse.

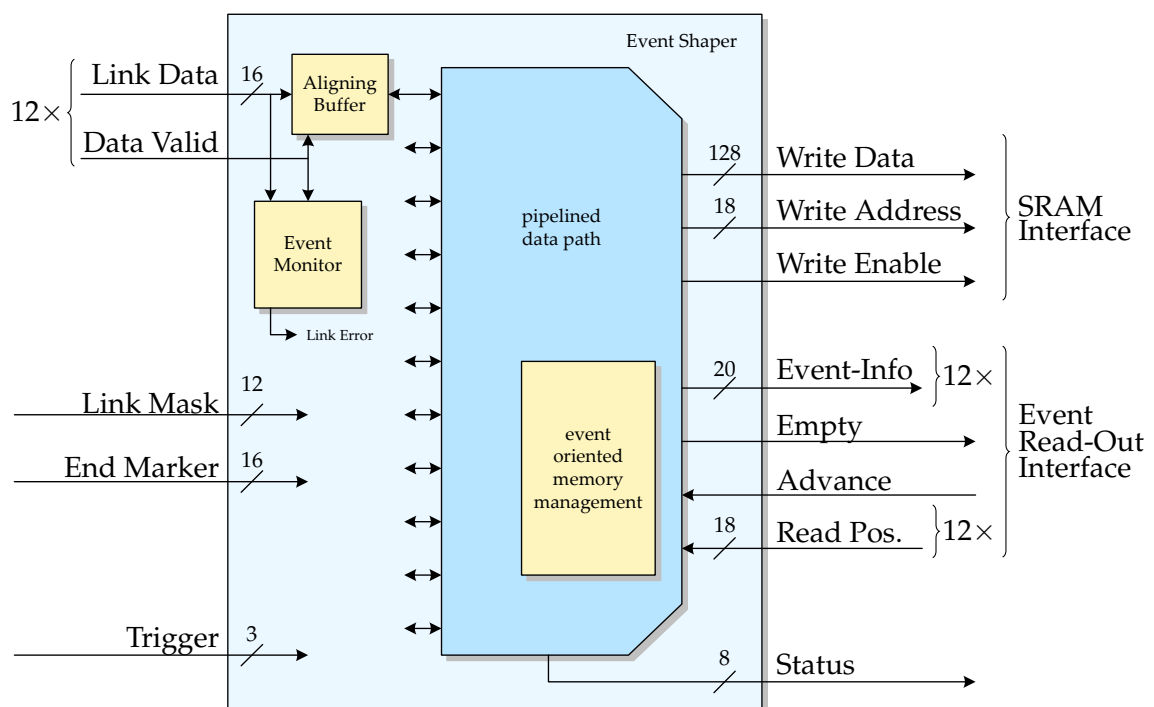
Der Zugriff auf den externen Speicher erfolgt über den zweiten Funktionsblock, den SRAM-Controller. Seine Schreib- und Leseports sind über FIFO-Puffer vollständig voneinander und von der internen Struktur entkoppelt.

Die Aufgabe des dritten Funktionsblocks, der *Read-Out*-Einheit, ist die effiziente Auslese und Weiterleitung der im Speicher abgelegten Ereignisdaten entsprechend den *Level-2*-Triggersignalen. Auf der Eingangsseite der *Event-Buffering*-Einheit laufen zunächst die *Tracklet*-Parameter aller Kanäle ein, anschließend die Rohdaten. Die Daten werden im Speicher so abgelegt, dass bei der Auslese die *Tracklet*- und Rohdaten der Kanäle jeweils direkt aufeinander folgen.

Die drei Funktionsblöcke und ihre Untereinheiten werden in den nächsten Abschnitten näher erläutert.

### 7.3 Der Event Shaper

Abbildung 7.2 zeigt die Interface-Signale und die inneren Funktionsblöcke des *Event Shapers*. Auf der linken Seite sind die Eingangssignale der 125-MHz-Clock-Domain und die Trigger-Signale dargestellt. Die empfangenen 16-Bit-Datensignale (*Link Data*) der zwölf Kanäle bilden zusammen mit den zugeordneten *Data-Valid*-Signalen den eingehenden Datenstrom. Drei Triggersignale (*Capture Data*, *Flush Data* und *Type Of Data*) bestimmen den Betriebszustand. Ein weiteres wichtiges Eingangssignal ist die *Link-Active*-Maske. Jedes ihrer Bits zeigt an, ob der Empfänger des zugeordneten Kanals eine stabile Verbindung hat. Nur die Daten solcher Kanäle werden bei der Speicherung berücksichtigt.



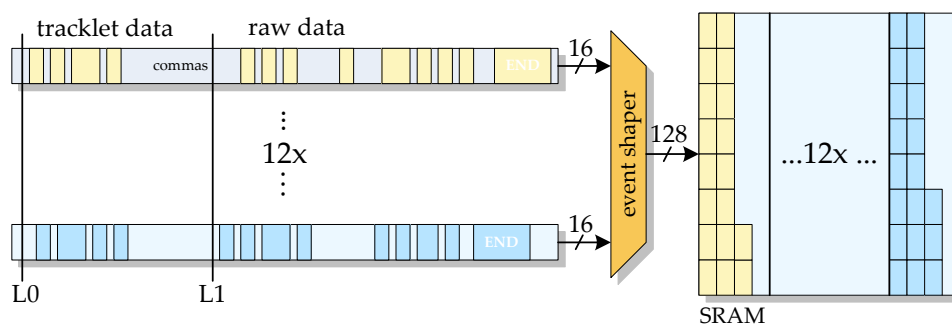
**Abbildung 7.2:** Interface und Funktionsblöcke des *Event Shapers*. Auf der linken Seite sind einlaufenden Datensignale mit begleitenden Signalen und die Triggersignale dargestellt. Auf der rechten Seite finden sich die Verbindungen zum Schreibport des SRAM-Controllers und zur *Read-Out*-Einheit.

Auf der rechten Seite sind die Ein- und Ausgangssignale der 200-MHz-Clock-Domain dargestellt. Das Interface zum Schreibport des SRAM-Controllers umfasst die 128 Bit breiten Schreibdaten, die 18-Bit-Schreibadresse und das *Write-Enable*-Signal.

Die Verbindung zur *Read-Out*-Einheit besteht aus 26 Signalen. Die *Event-Info*-Signale sind die Ausgänge der zwölf Puffer, die zu jedem Ereignis zwei Informationen speichern: den 18-Bit-Endoffset im jeweiligen Bereich und zwei Statusflags. Das *Empty*-Signal gibt Auskunft über den gemeinsamen Füllstand aller Puffer, die aktiven Kanälen zugeordnet sind.

Durch Setzen des *Advance*-Signals werden die nächsten Einträge der Puffer ausgegeben. Die zwölf *Read-Position*-Signale zeigen die aktuellen Lesepositionen der *Read-Out*-Einheit an. Sie werden zur Bestimmung des freien Speicherplatzes benötigt.

Zwölf *Aligning Buffers* bilden die Eingangsstufen für die empfangenen Datenströme in der 125-MHz-Clock-Domain. Die zweite Stufe ist der 200-MHz-Datenpfad zur Konzentration der Zeilen in einen Schreibdatenstrom mit der Verwaltung der Schreibadressen. Der *Event Monitor* überwacht die Datenströme auf Fehlfunktionen wie fehlende Endmarkierungen oder ausbleibende Daten. Erkennt er in einem der Datenströme ein solches Fehlverhalten, löst er ein *Event Drop* aus. Die bisher empfangenen Daten des aktuellen Ereignisses werden bei allen Kanälen gelöscht.

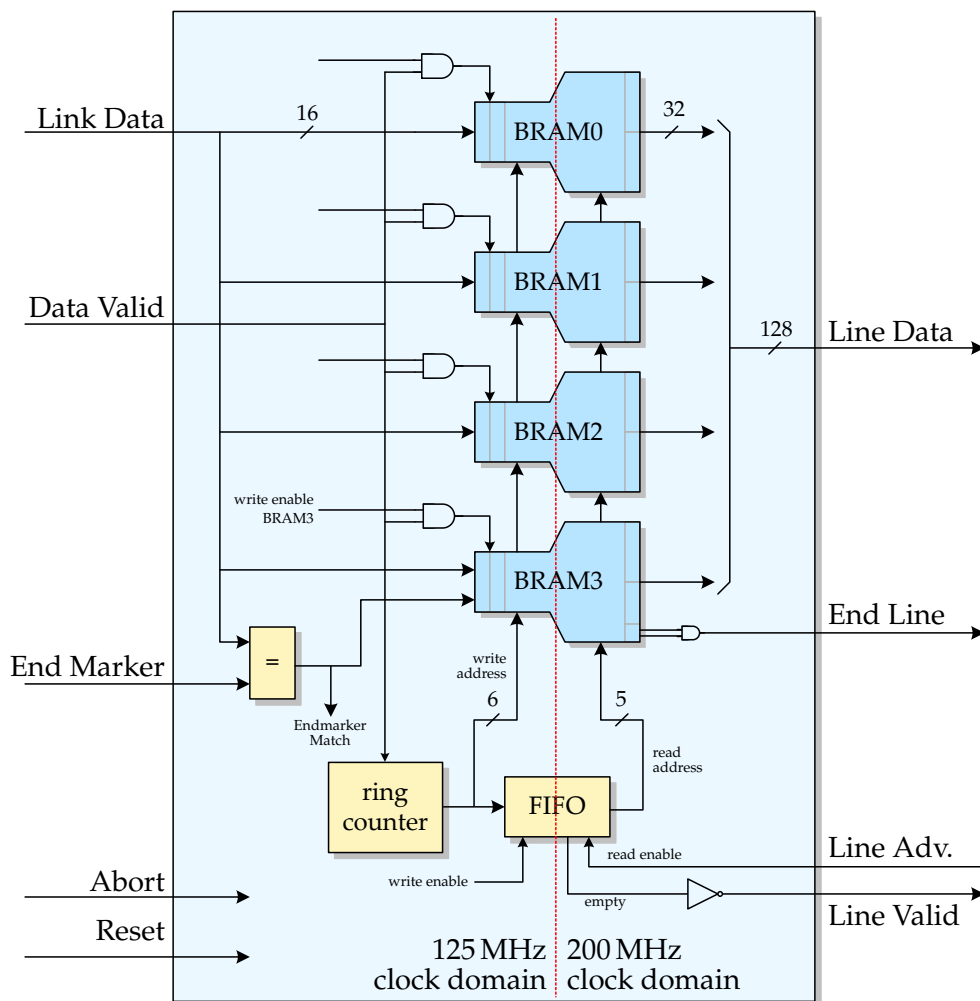


**Abbildung 7.3:** Die zwölf Datenströme eines Stacks sind voneinander unabhängig. Sie enthalten kurze und sehr lange Lücken. Für die Speicherung werden jeweils acht Datenworte zu einer 128-Bit-Zeile zusammengestellt und in den Speicher geschrieben. Der physikalische Speicher ist in zwölf unabhängig verwaltete Bereiche unterteilt.

### 7.3.1 Der Aligning Buffer

Abbildung 7.4 zeigt die Interface-Signale der *Aligning Buffers*. Auf der linken Seite sind die sechs Eingänge der 125-MHz-Clock-Domain dargestellt. Das *Link-Data*- und *Data-Valid*-Signal ist von den entsprechenden Eingängen des *Event Shapers* direkt weitergeleitet. Das *Event-Drop*-Signal und das *Reset*-Signal haben die gleiche Wirkung: Sie versetzen den *Aligning Buffer* in den Grundzustand. Alle Datenzeilen im kleinen Puffer werden gelöscht. Das *Endmarker*-Signal gibt das 16-Bit-Muster für die Erkennung der Endmarkierungen im Datenstrom vor.

Auf der rechten Seite der Abbildung sind die Interface-Signale zur nachfolgenden Stufe in der 200-MHz-Clock-Domain dargestellt. Das *Line-Data*-Signal gibt auf Anforderung durch das *Line-Advance*-Signal die älteste Zeile im kleinen Puffer aus. Das *End-Line*-Signal ist gesetzt, wenn es sich dabei um die letzte Zeile des Ergebnisses handelt. Das *Line-Valid*-Signal zeigt an, dass weitere Zeilen zur Auslese bereitstehen. Angeforderte Daten stehen im übernächsten Takt zur Verfügung.



**Abbildung 7.4:** Aufbau des *Aligning Buffers*. Die 16-Bit-Datenworte werden in vier RAM-Blöcken zu 128 Bit breiten Zeilen zusammengefasst und in der 200-MHz-Clock-Domain zur Auslese bereit gestellt.

**Aufbau** Im *Aligning Buffer* müssen Signale großer Breite (128 Bit) gepuffert und aus der 125-MHz-Clock-Domain zur Weiterverarbeitung in den 200-MHz-Bereich übertragen werden. Eine geeignete Wahl der Struktur ist von entscheidender Bedeutung. Da für jeden der Kanäle eine eigene Instanz nötig ist, werden alle Anzahlen eingesetzter Ressourcen mit dem Faktor Zwölf multipliziert.

Die im Rahmen dieser Arbeit entwickelte Lösung basiert auf dem Einsatz flexibel konfigurierbarer *Dual-Port-Block-RAM*-Blöcke, wie sie in der Xilinx Virtex™-4-Familie geboten werden. In den verwendeten FPGA-Chips stehen 232 (FX60) bzw. 376 (FX100) solcher Blöcke zur Verfügung. Ein großer Vorteil ist die Hardwareunterstützung für unabhängige Schreib- und Lesetakte. Das *Clock Domain Crossing* des 128 Bit breiten Datenpfades er-

folgt in dedizierten Halbleiterstrukturen. Die Unterstützung unterschiedlich breiter Lese- und Schreibports wird zur Reduktion der benötigten Anzahl von RAM-Blöcken verwendet. Für die vorliegende Anwendung werden die Schreibports mit einer Breite von 16 Bit (plus zwei *Parity*-Bits) und die Leseports mit der doppelten Breite konfiguriert. Durch den asymmetrischen Zugriff auf die interne Speichermatrix ergibt sich eine Zusammenstellung von zwei 16-Bit-Werten zu einem 32-Bit-Wort.

So werden nur vier RAM-Blöcke benötigt. Bei Strukturen mit symmetrischen Ein- und Ausgangsbreiten wie Standard-FIFOs werden acht Einheiten benötigt, der Aufwand für die Kontrolllogik ist verdoppelt.

Die einlaufenden 16-Bit-Daten werden an die Schreibports aller vier RAM-Blöcke geführt und zusätzlich mittels eines Komparators auf Übereinstimmungen mit der vorgegebenen Endmarkierung überprüft. Das Ergebnis des Vergleiches (*Endmarker Match*) wird für jedes Datenwort in einem der zwei zusätzlichen *Parity*-Bits mitgespeichert. Die Schreibsignale der RAM-Blöcke werden durch Konjunktion des *Data-Valid*-Signals und eines zweiten, für jeden der RAM-Blöcke separat vorgegebenen Freigabe-Signals erzeugt.

Zur Organisation der RAM-Blöcke als Ringpuffer und zur Erzeugung der für die Zeilenzusammenstellung notwendigen vier Schreibfreigabe-Signale wird ein 8-Bit-Ringzähler eingesetzt. Aus den oberen fünf und dem untersten Bit wird die an allen vier RAM-Blöcken anliegende Schreibadresse gebildet. Die beiden anderen Bits dienen der Ableitung der Schreibfreigabe-Signale.

Die Koordination zwischen Schreib- und Leseseite über die *Clock-Domain*-Grenze hinweg erfolgt mittels eines flachen *Dual-Clock*-FIFOs. Den Eingang bilden die obersten fünf Bits der Schreibadresse, der Ausgang ist direkt mit den Leseadressen aller vier RAM-Blöcke verbunden. Die jeweils 32-Bit breiten Lesedaten der RAM-Blöcke sind zu einer 128-Bit-Zeile zusammengefasst und stellen den ausgehenden Datenstrom dar.

**Funktionsprinzip** Nutzdatenworte werden parallel in alle freigegebenen RAM-Blöcke geschrieben und der Wert des Ringzählers weiter gezählt. Bei Komma-Zeichen unterbleiben die Schreib- und Zählvorgänge, sie treten in den zusammengestellten Zeilen nicht mehr auf.

Die Schreibfreigabe der RAM-Blöcke wird nach dem folgenden Schema aus dem zweit- und drittniedrigsten Zählerbit abgeleitet: Bei ‚00‘ wird das nächsten Nutzdatenwort gleichzeitig in alle vier RAM-Blöcke gespeichert. Bei ‚01‘ und ‚10‘ werden die drei bzw. zwei höherwertigen RAM-Blöcke beschrieben. Bei ‚11‘ wird der Wert schließlich nur in den höchstwertigen RAM-Block übernommen.

Die Zusammenstellung der allermeisten Zeilen könnte auch einfacher durch konsekutives Beschreiben jeweils eines RAM-Blockes erreicht werden. Bei der letzten Zeile der Ereignisdaten hat das beschriebene Verfahren jedoch einen Vorteil.

Die Gesamtanzahl der 16-Bit-Worte eines Kanals variiert mit der Menge der ermittelten Tracklets. Sie ist nicht notwendigerweise ein Vielfaches von Acht, wie es zur naht-

losen Zusammenstellung von 128-Bit-Zeilen erforderlich ist. Für den Füllstand der letzten Datenzeile ergeben sich somit verschiedene Möglichkeiten. Der nachfolgende Datenpfad baut Zeilen auf, die letzte Zeile muss mit Endmarkierungen aufgefüllt werden, um die Speicherung zufälliger Datenwerte zu vermeiden. Der einlaufende Datenstrom wird durch vier Endmarkierungen abgeschlossen. Bei der Umsetzung in 128-Bit-Zeilen muss sichergestellt werden, dass die letzte Zeile mindestens zwei Endmarkierungen enthält und danach keine anderen Daten mehr.

Durch die oben beschriebene Schreibfreigabe-Logik ist diese Bedingung ohne zusätzliche Schreibvorgänge zum Auffüllen immer erfüllt.

Ist eine Zeile fertig gestellt, werden die oberen fünf Zählerbits in das *Dual-Clock-FIFO* geschrieben. In der 200-MHz-Clock-Domain der Leseseite stehen sie mit einer Verzögerung bereit, welche Lese- und Schreiboperationen auf die gleiche Speicherzelle ausschließt. Das *Empty*-Signal des FIFOs dient als inverse Anzeige für bereitstehende Zeilen. Das als *Advance*-Signal nach außen geführte Lesesignal des FIFOs veranlasst jeweils die Ausgabe der Leseadresse der ältesten ungelesenen Zeile aus dem FIFO. Der Wert der Zeile liegt zwei Takte nach dem Setzen des *Advance*-Signals am Ausgang an.

Die letzte Zeile der Ereignisdaten weist mindestens zwei Endmarkierungen auf und ist gegebenenfalls mit zusätzlichen aufgefüllt. Die höchstwertigen zwei 16-Bit-Worte enthalten bei der letzten Zeile also immer die Endmarkierungen. Dies wird zur Erzeugung des *End-Line*-Signals genutzt. Dazu ist nur eine Konjunktion der beiden *Parity*-Bits nötig, welche eine Übereinstimmung dieser beiden Datenworte mit der Endmarkierung anzeigen.

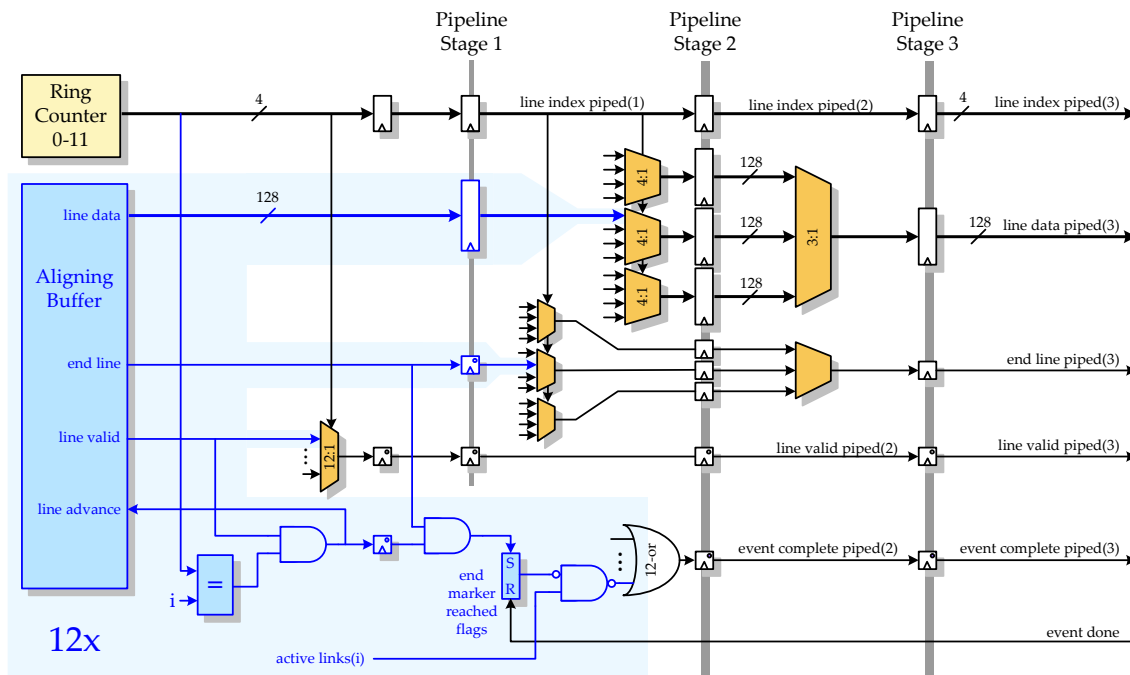
### 7.3.2 Der Schreibdatenpfad

Die Verarbeitungsschritte im Datenpfad, welcher die 128-Bit-Zeilen der zwölf *Aligning Buffers* zum Schreibport des SRAM-Controllers führt, erfordern ein Vielfaches der in einem 200-MHz-Takt verfügbaren Zeit von 5 ns.

Der Datenpfad ist daher in vier Pipeline-Stufen unterteilt, die eine schrittweise Verarbeitung der Daten ermöglichen (siehe Abbildung 7.5). Die dadurch eingeführte Latenz spielt für die Anwendung keine Rolle.

Ein Ringzähler durchläuft unablässig die Zahlenwerte Null bis Elf. Das vier Bit breite Zählersignal (*Line Index*) dient der Auswahl des Kanals, dessen Daten im nächsten Takt verarbeitet werden. Auf diese Weise werden die Zeilen der zwölf Kanäle in fester Reihenfolge abwechselnd aus den *Aligning Buffers* gelesen und zum Schreibport des SRAM-Controllers weitergeleitet.

Mittels zwölf Komparatoren, welche den *Line Index* mit jeweils einem der möglichen Zählerwerte vergleichen, werden zwölf Auswahlsignale gebildet, von denen in jedem Takt nur eines aktiv ist (*One Hot Encoding*).



**Abbildung 7.5:** Die ersten drei Pipeline-Stufen des Datenpfades im *Event Shaper*. Die grau unterlegten und blau hervorgehobenen Strukturen sind für jeden Kanal separat ausgeführt, also zwölfmal vorhanden. Durch Punkte gekennzeichnete Register besitzen einen synchronen Reset-Eingang. Register aufeinander folgender Pipeline-Stufen ohne Reset können effizient in SRL16-Einheiten zusammengefasst werden.

Das *Line-Advance*-Signal jedes *Aligning Buffers* wird aus der Konjunktion des zugeordneten Auswahlsignals und des *Line-Valid*-Signals gebildet<sup>2</sup>. Zwei Takte nach dem Setzen des *Line-Advance*-Signals steht die angeforderte Zeile am Ausgang des entsprechenden *Aligning Buffers* bereit. Sie wird in die erste Pipeline-Stufe übernommen.

Diese Pipeline-Stufe dient zur Entkopplung der Zugriffszeit im RAM-Block und der anschließenden langen Signallaufzeiten. Die RAM-Blöcke sind in einem weitläufigen Raster über die Chipfläche verstreut. Beim Zusammenführen der Datensignale mehrerer RAM-Blöcke für die Multiplexer sind lange Signalwege mit entsprechenden Laufzeiten unvermeidlich. Diese erste Pipeline-Stufe bringt durch die zwölf breiten Datenpfade einen erheblichen Ressourcenbedarf mit sich:  $12 \times 128$ , also 1536 Register. Der ursprüngliche Ansatz, diese Register durch die optionalen Pipeline-Register innerhalb der BRAM-Blöcke zu realisieren, bietet leider keinen ausreichenden Zeitgewinn. Durch die integrierten Re-

<sup>2</sup> Das *Line-Advance*-Signal führt im *Aligning Buffer* auf den *Read-Enable*-Eingang eines FIFOs, welches nicht-destruktive *Buffer Underflows* sicherstellt. Die Konjunktion könnte ohne Schaden weggelassen und nur das *One-Hot*-Auswahlsignal verwendet werden. Um eine klare Modularität zu erhalten, wird es jedoch vorgezogen, das Ansteuersignal korrekt zu erzeugen. Aufgrund der Logik-Granularität werden zur Erzeugung der Auswahlsignale jeweils drei *Slices* benötigt. Die Konjunktion lässt sich ohne zusätzliche Ressourcen hinzufügen.

gister kann nur die Zugriffszeit abgefangen werden, die Signallaufzeiten in der Größenordnung einiger Nanosekunden verbleiben. *Fabric*-Register können hingegen während des *Routings* so platziert werden, dass die Signallaufzeiten aufgeteilt werden.

Durch Registerstufen werden das *Line-Index*-Signal des Ringzählers und das über einen schnellen 12:1-Multiplexer ausgewählte *Line-Valid*-Signal so verzögert, dass sie in der ersten Pipeline-Stufe gemeinsam mit den zugehörigen Daten erfasst werden.

Ein zusätzliches Signal wird für jeden der Kanäle in der ersten Pipeline-Stufe erzeugt. Die Verundung von *End-Line*- und *Line-Advance*-Signal ergibt ein Signal, welches den Abruf der letzten Zeile eines Kanals anzeigt. Dieses Signal wird auf den synchronen Preset-Eingang eines Registers geführt, welches das *Endmarker-Reached*-Flag speichert. Das Flag wird beim Erreichen der letzten Zeile gesetzt und bleibt bis zur Löschung nach dem letzten Speichervorgang erhalten.

Die nächsten zwei Registerstufen dienen hauptsächlich der Realisierung des 128-Bit breiten 12:1-Multiplexers zur Auswahl zwischen den Zeilen der Kanäle.

Durch die gezielte Instanziierung spezieller Primitiven, welche die Verwendung bestimmter Multiplexer-Ressourcen innerhalb eines CLB<sup>3</sup> erzwingen, kann ein 12:1-Multiplexer prinzipiell innerhalb eines Logikblocks implementiert werden. Laufzeiten durch Inter-CLB-Routing entfallen und die Summe der internen Verzögerungszeiten ist deutlich geringer als 5 ns.

Der hohe *Fan In* von 768 auf den *Select*-Leitungen der Multiplexer ist hier jedoch unvermeidbar. Die Verteilung der *Select*-Signale an eine so große Anzahl von Eingängen ist mit einem gestuften Verteilerbaum innerhalb der in einem Takt verfügbaren Zeit nicht möglich. Zwar bieten die verwendeten FPGA-Chips auch dedizierte Treiber, die eine große Anzahl von Eingängen treiben können. Diese sind jedoch nicht schnell genug für einen Betrieb bei 200 MHz.

Eine Aufteilung des Multiplexers in zwei Stufen bietet sich durch die Struktur der kleinsten Logikeinheiten, der *Slices*, an. In einem *Slice* kann ein 4:1-Multiplexer zusammen mit dem nachfolgenden Pipelining-Register untergebracht werden (siehe Abbildung 7.6). In der ersten Stufe des 12:1-Multiplexers kommen vier solcher Multiplexer-*Slices* zum Einsatz, in der zweiten drei.

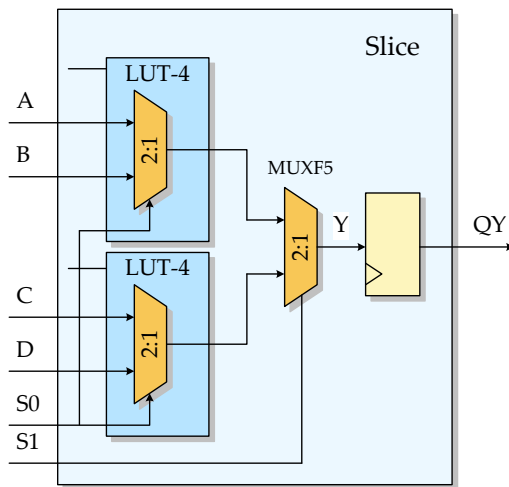
Die *Endmarker-Reached*-Flags der ersten Pipeline-Stufe werden in der zweiten zu einem Signal verknüpft, welches anzeigt, ob in allen aktiven Kanälen die Endmarkierungen erreicht wurden. Dieses Signal zeigt der nachfolgenden Logik an, dass alle Ereignisdaten empfangen wurden.

Der zweite Teil des Datenpfades, in dessen Mittelpunkt die Verwaltung des Speichers steht, ist in Abbildung 7.7 dargestellt. Die abschließende Registerstufe im 128-Bit-Daten-

---

<sup>3</sup> ‚Configurable Logic Blocks‘ stellen die dritte Granularitätsstufe der Logik-Ressourcen im FPGA dar. Sie enthalten vier *Slices*, welche zwei *Lookup Tables* zur Implementierung logischer Funktionen, zwei Register und spezialisierte Logikfunktionen enthalten.





**Abbildung 7.6:** 4:1-Multiplexer in einem Logik-Slice. Der MUXF5-Multiplexer kann als *Primitive* instanziiert werden, um die Implementierung des Multiplexers in einem *Slice* sicherzustellen.

pfad dient der Verzögerung der Daten, bis die passende Speicheradresse berechnet ist. Sie vereinfacht außerdem das *Floorplanning* deutlich, da die Signallaufzeiten zum SRAM-Controller in der Nähe der I/O-Pins entkoppelt werden.

Die Schreibadressen werden aus zwei Summanden gebildet. Ein LUT-basiertes ROM liefert in der dritten Pipeline-Stufe die Basisadresse des jeweiligen Speicherbereiches. Der zweite Summand ist der Schreibzeiger, der als Offset innerhalb des Speicherbereiches fungiert.

### 7.3.3 Die Speicherverwaltung

Der physikalische Speicher ist in zwölf unabhängige logische Bereiche unterteilt. Jeder nimmt die Daten eines Kanals auf.

In der vorliegenden Anwendung zielen die Schreib- und Lesevorgänge auf aufeinander folgende Speicherzellen. Der von den Ereignisdaten eingenommene Speicherplatz variiert und ist vorher nicht bekannt. Die Organisation der Speicherbereiche als Ringpuffer bietet sich daher an.

Für die Verwaltung jedes Ringpuffers werden zwei Schreibzeiger und ein Lesezeiger (in der *Read-Out*-Einheit verwaltet) benötigt. Einer der beiden Schreibzeiger gibt die nächste Schreibposition an, der zweite speichert die Schreibposition der ersten Zeile des aktuellen Ereignisses. Diese wird als ‚Rücksprung-Position‘ bei einem *Event Drop* benötigt.

Wie bei den Datenzeilen treten auch bei der Verwaltung der Schreibzeiger breite Multiplexer auf. Zur Realisierung der *Event-Drop*-Funktionalität sind 18 Bit breite 24:1-Multiplexer oder verwandte Strukturen unvermeidlich. Mit *Fabric*-Ressourcen sind solche Strukturen bei Frequenzen von 200 MHz nur in mehreren Pipeline-Stufen möglich. Eine Alternative stellt auch hier der Einsatz eines RAM-Blockes zur Verwaltung der Schreibzeiger dar.

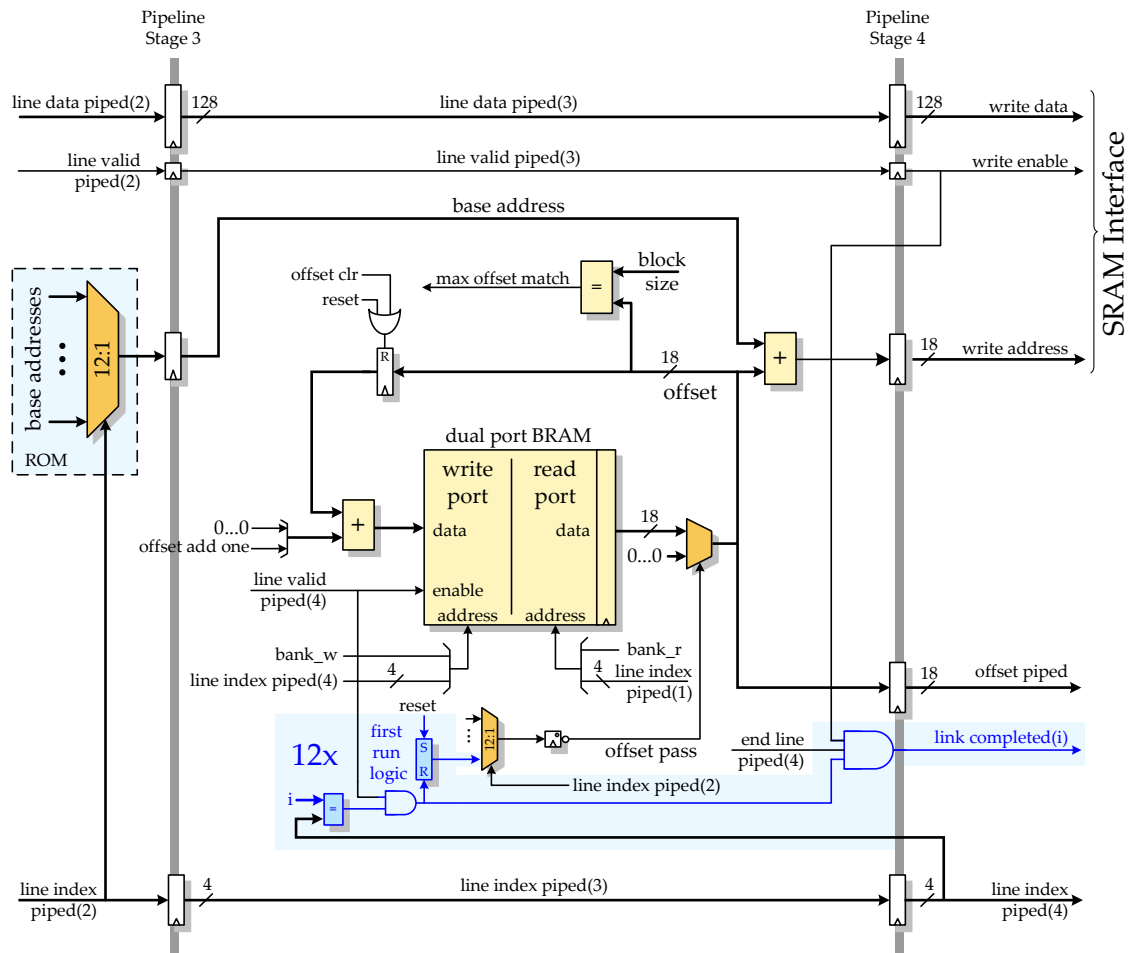


Abbildung 7.7: Der zweite Teil des Datenpfades im Event Shaper.

Es ergeben sich zwei wichtige Vorteile: Die erforderlichen  $12 \times 2 \times 18$ , also 432 Bits können ohne Belegung von *Fabric*-Registern in der Speichermatrix abgelegt werden. Die aufwändigen 24:1-Multiplexer können vollständig durch die schnelle Auswahllogik der RAM-Blöcke für das Auslesen der Speicherzellen ersetzt werden. Dies ermöglicht eine Berechnung der Schreibadressen mit einer Pipeline-Stufe.

**Beschaltung des RAM-Blocks zur Adressverwaltung** Ein 16-Bit breiter Datenport bietet zusammen mit den zwei zusätzlichen *Parity*-Bits direkt die benötigte Breite für die Aufnahme der 18-Bit-Schreibzeiger. Die Lese- und Schreibadressen des RAM-Blocks sind fünf Bit breit gewählt. Die unteren vier Bit wählen zwischen den zwölf Schreibzeigern aus. Das fünfte selektiert einen der beiden Sätze von Schreibzeigern.

Die unteren vier Bit der Lese- und Schreibadressen werden direkt durch unterschiedlich verzögerte Versionen des Zeilenindex vorgegeben. Das fünfte Bit zur Auswahl des

Zeigersatzes wird durch eine geeignete Logik zur Behandlung neuer Ereignisse und *Event-Drops* gesteuert. Die ausgelesenen Schreibzeiger werden über einen Pfad mit einer Pipeline-Stufe auf den Schreibport des RAM-Blocks zurückgeführt. In diesem Pfad können drei Operationen ausgeführt werden: Der Datenwert kann unverändert auf den Schreibport geführt werden, er kann auf Null gesetzt und um Eins inkrementiert werden.

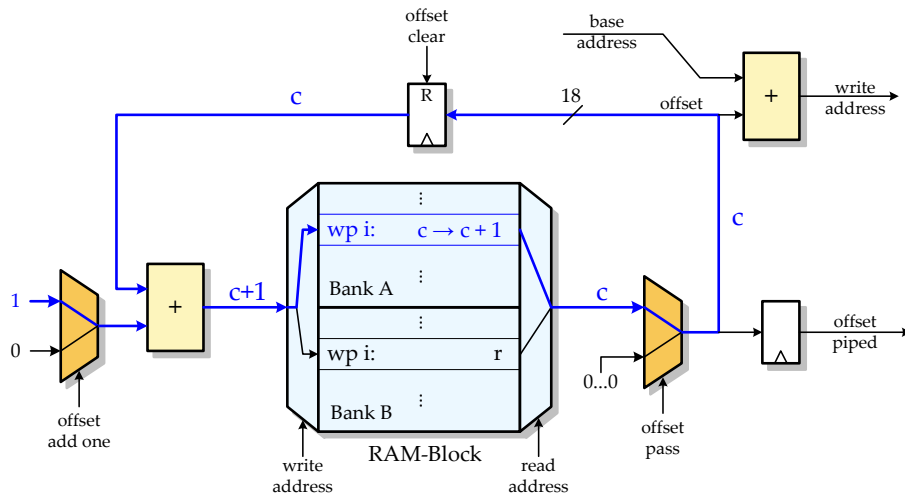
Im Folgenden werden die verschiedenen Vorgänge der Adressverwaltung kurz erläutert.

**Normale Schreibvorgänge** Zunächst soll die Adresserzeugung im einfachsten Fall dargestellt werden: ein Schreibzugriff im mittleren Bereich der Ereignisdaten. Der Vorgang ist in Abbildung 7.8(a) dargestellt. Bank A enthalte im Moment die aktuellen Schreibzeiger  $c_i$ . In Bank B sind dann die jeweils ersten Schreibpositionen des Ereignisses abgelegt, sie werden mit  $r_i$  bezeichnet.

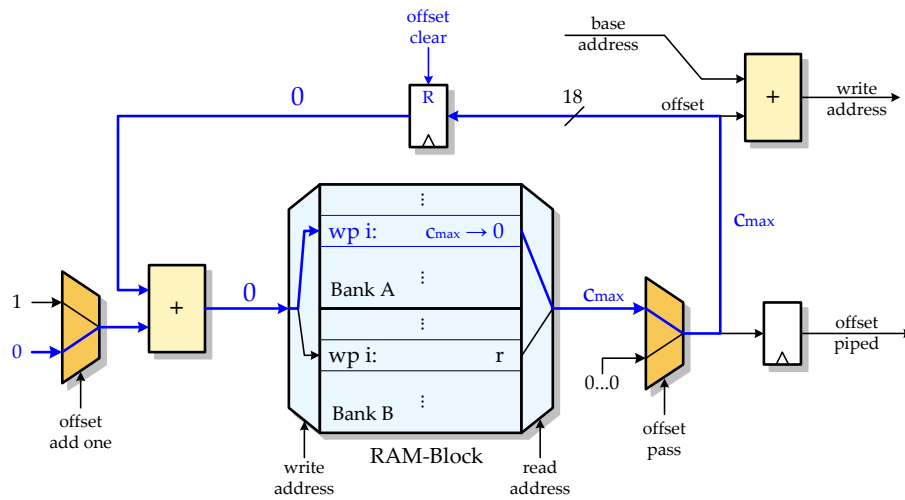
Der Speicherwert aus Bank A kann direkt als *Offset* für die Adresserzeugung verwendet und unverändert über das Register auf den ersten Addierer-Eingang geführt werden. Der zweite Summand wird auf Eins gesetzt. Die so um Eins erhöhte Adresse wird drei Takte nach dem Lesezugriff in die gleiche Speicherzelle zurückgeschrieben. In jedem Takt erfolgt diese Operation für einen der unabhängigen Bereiche im externen Speicher. Die Schreibfreigabe erfolgt natürlich nur, wenn eine gültige Zeile, angezeigt durch das passend verzögerte *Line-Valid*-Signal, weitergeleitet wird.

**Umlauf beim Erreichen der maximalen Adresse** Die Bereiche des externen Speichers sind als Ringpuffer organisiert. Auf den maximalen Offset innerhalb des Bereiches folgt der Übergang zurück auf Null. Ist die Anzahl der Speicherzellen gleich einer Zweierpotenz, ergibt sich dieser Umlauf durch die Verwendung eines entsprechend breiten Zählers automatisch. Im vorliegenden Fall soll der Gesamtspeicher der Größe  $2^{18}=262\,144$  jedoch in zwölf Bereiche unterteilt werden. Ein 14-Bit-Zähler bietet die maximale Bereichsgröße von 16 384 Zellen bei automatischem Umlauf. Ein Viertel des Gesamtspeichers bliebe bei dieser Wahl ungenutzt. Zur Ausnutzung des gesamten Speichers muss der Umlauf zu Null nach einem *Offset* von 21 844 erfolgen. Dies wird über einen Komparator geprüft. Wird die maximale Adresse erreicht, wird der synchrone Reset-Eingang des Registers in der Rückleitung aktiviert und der gespeicherte Offset für die nächste Schreiboperation ist Null (siehe Abbildung 7.8(b)).

**Der erste Schreibvorgang nach einem Reset** Die Speicherzellen des RAM-Blocks werden bei einem Reset nicht gelöscht. Bei der ersten Schreiboperation jedes Bereichs muss der Offset Null sein und die entsprechende Speicherzelle im RAM-Block korrekt initialisiert werden. Um dies ohne dedizierte Schreibvorgänge zur Initialisierung zu erreichen,



(a) Adresserhöhung



(b) Adressumlauf

**Abbildung 7.8:** Schreibvorgänge während des Datenempfangs innerhalb eines Ereignisses.

wird ein *First-Run*-Flag für jeden der Kanäle gespeichert. Es zeigt an, ob die erste Schreiboperation bereits ausgeführt wurde (siehe Abbildung 7.7). Beim ersten Schreibvorgang wird der Multiplexer direkt im Anschluss an den Ausgang des RAM-Blocks zum direkten Nullsetzen des Offsets verwendet. Der erste in den RAM-Block gespeicherte Schreibzeiger ist dann Eins.

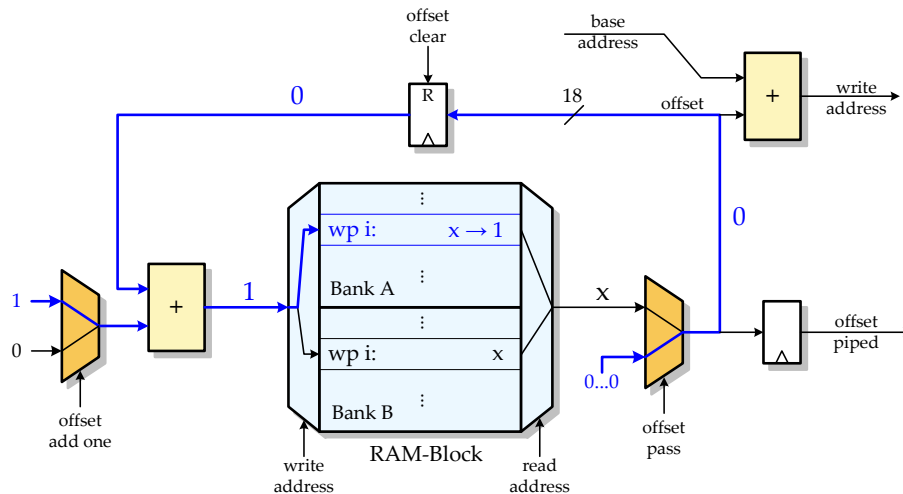


Abbildung 7.9: Erster Schreibvorgang nach einem Reset.

**Der erste Schreibvorgang eines Ereignisses** Für die Schreibvorgänge innerhalb eines Ereignisses wird nur eine der beiden Bänke für die Schreibzeiger benötigt. Die Möglichkeit, Ereignisdaten mitten im Empfang verwerfen und den Speicher für neue Daten nutzen zu können, erfordert jedoch den Einsatz beider Bänke.

Hier wird der Vorgang bei der ersten Schreiboperation eines neuen Ereignisses beschrieben. Er erfolgt für jeden der zwölf Speicherbereiche separat. Der Fall der ersten Schreiboperation wurde bereits weiter oben behandelt.

Die Rolle der beiden Speicherbänke wird mit dem Beginn eines neuen Ereignisses vertauscht. Die Bank, welche bisher die aktuellen Schreibzeiger enthielt, bleibt nun unverändert und hält die erste Schreibposition  $r_i$  des Ereignisses fest. Ihr Wert  $cl_i$  wird ausgelesen und als Offset zur Adressbildung verwendet. Der inkrementierte Wert wird jedoch nicht zurück in diese Speicherzelle, sondern in die der anderen Bank geschrieben. Diese wird bei allen weiteren Schreiboperationen des Ereignisses für die laufende Adresserzeugung genutzt.

**Event Drop** Bei einem *Event Drop* werden alle Daten verworfen, welche zu dem betroffenen Ereignis bereits in den Speicher geschrieben wurden. Dies könnte durch einfaches Vertauschen der Bänke erreicht werden, denn die passive Bank hält die erste Schreibposition für das letzte Ereignis bereit. Bei diesem Vorgehen würde jedoch ein direkt nach-

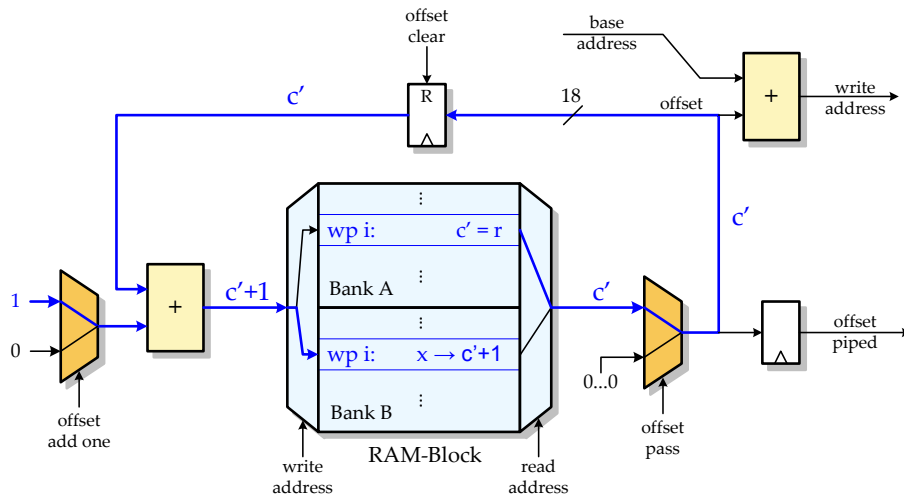


Abbildung 7.10: Der erste Schreibvorgang eines neuen Ereignisses

folgender zweiter *Event Drop* zu inkonsistenten Adressen führen. Um dies zu vermeiden, behält die passive Bank ihren Wert und die Startadresse wird in die aktive Bank kopiert. Bei einem neuen Ereignis kann dann wie oben beschrieben verfahren werden. Beliebige Anzahlen aufeinander folgender *Event Drops* sind so fehlerfrei möglich.

Die Unterstützung für konsekutive *Event Drops* ist für die vorliegende Anwendung besonders wichtig. Ein *Event Drop* tritt auf, wenn die Auslese der gespeicherten Daten nicht schnell genug erfolgt oder fehlerhafte Daten einlaufen. Die Wahrscheinlichkeit ist hoch, dass in solchen Fällen mehrfache *Drops* erfolgen.

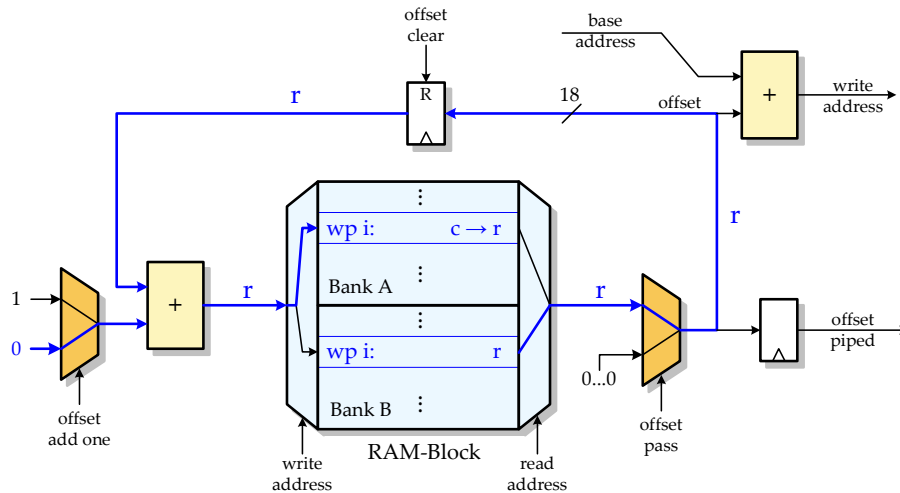


Abbildung 7.11: Schreibvorgang nach einem *Event Drop*

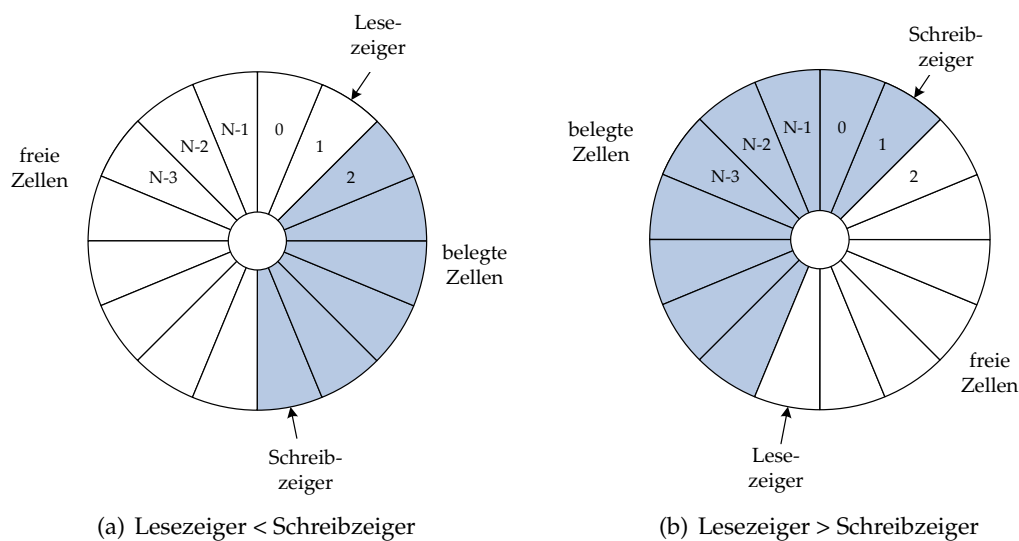
**Prävention von Speicherüberläufen und *Busy-Signal*** Die Organisation als Ringpuffer erlaubt die flexible Benutzung des verfügbaren Speichers bei unterschiedlichen Er-

eignisdatenmengen. Nähert sich ein Ringpuffer seiner vollständigen Füllung, droht der Schreibzeiger den Lesezeiger zu ‚übereunden‘. In diesem Fall würden ungelesene Daten überschrieben.

Um dies zu verhindern, muss die Adressverwaltung die Größe des freien Speichers in jedem der zwölf Bereiche überwachen und bei einem drohenden Datenverlust die Aufnahme weiterer Daten verhindern.

Die Berechnung des freien Speicherplatzes erfolgt durch die Subtraktion von Lese- und Schreibzeigern. Dabei treten drei Möglichkeiten auf: Beide Zeiger können gleich oder einer der beiden Zeiger größer als der andere sein. Sind beide Zeiger gleich, ist der Puffer leer und der verfügbare Speicherplatz maximal.

Die beiden anderen Fälle sind in Abbildung 7.12 dargestellt. Ist die Speichergröße eine Zweierpotenz, ist das Vorgehen sehr einfach. Ein Subtrahierer mit nachfolgender Logik reicht aus. Im einen Fall ergibt sich die Zahl freier Zellen direkt aus der Differenz, im anderen Fall liefert der Subtrahierer das Zweierkomplement der Anzahl freier Speicherzellen<sup>4</sup>. Bei der hier vorliegenden Anwendung trifft dies nicht zu. Die beiden Fälle müssen unterschieden werden und die jeweiligen Beziehungen für die Anzahl freier Speicherzellen umfassen mehrere Rechenoperationen. Ihre Implementation wird aufwändiger, das Ergebnis kann nicht innerhalb eines 200-MHz-Taktes angegeben werden.



**Abbildung 7.12:** Bei der Berechnung des freien Speicherplatzes müssen die beiden dargestellten Fälle unterschieden werden.

Ist der Schreibzähler größer als der Lesezähler, gilt für die Anzahl der freien Speicherzel-

<sup>4</sup> Für die korrekte Anzahl freier Zellen muss zum Ergebnis noch eine Eins addiert werden. Diese kann jedoch in einem nachfolgenden Komparator der Differenz mit einer Schwelle absorbiert werden.

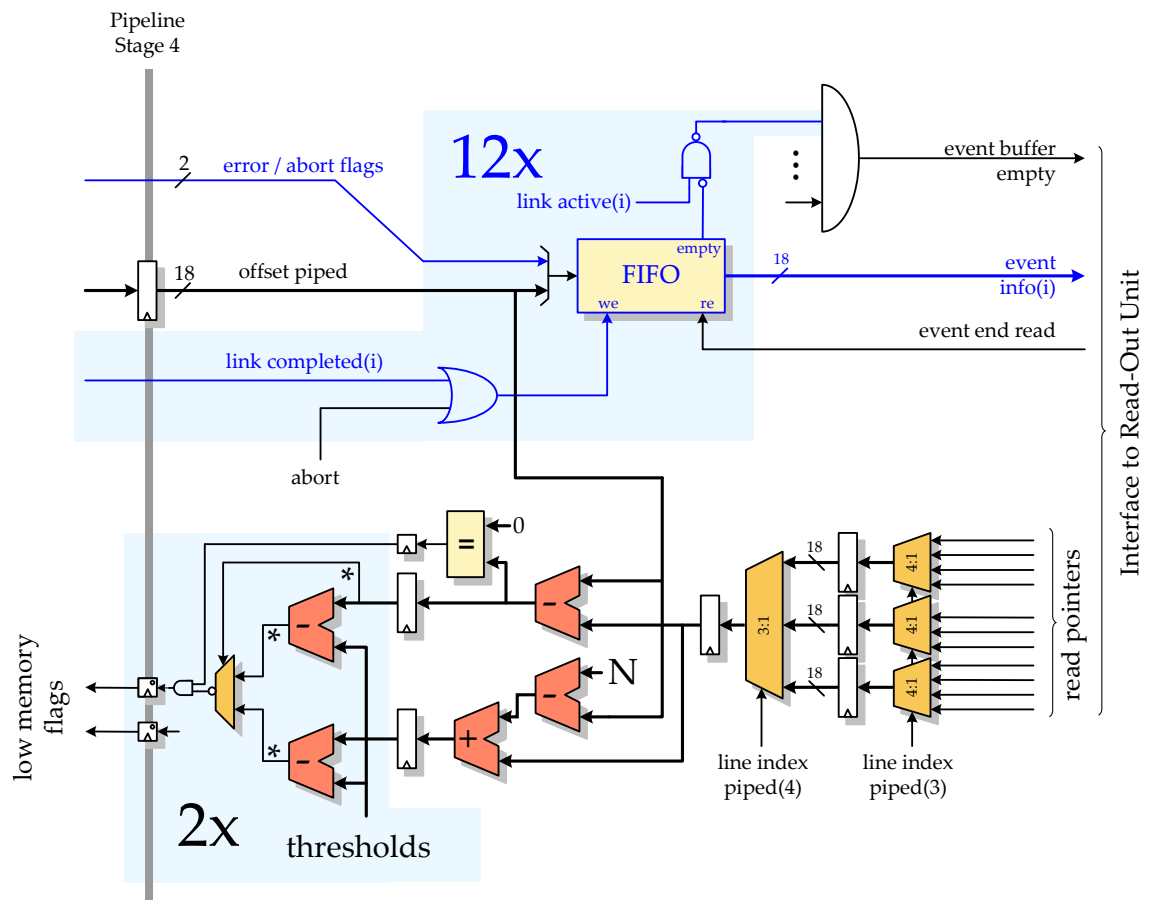
len bei einer Gesamtanzahl von  $N$  Speicherzellen:

$$N_{\text{frei}, wp > rp} = N - wp + rp + 1 \quad (7.1)$$

Im umgekehrten Fall gilt:

$$N_{\text{frei}, wp < rp} = rp - wp - 1 \quad (7.2)$$

Der untere Teil von Abbildung 7.13 zeigt die Implementierung der Berechnung zusammen mit den Komponenten des Interfaces zur *Read-Out*-Einheit.



**Abbildung 7.13:** Interface zur Read-Out-Einheit und Arithmetik zur Speicherüberlauf-Prävention im *Event Shaper*. Die mit Sternen gekennzeichneten Signale stellen jeweils das oberste Bit der breiten Signale dar.

Die Berechnung ist auf fünf Pipeline-Stufen verteilt. Dies erhöht die Latenz des Datenpfades jedoch nicht, da anstelle der Forderung nach genau keiner freien Speicherzelle auch eine ausreichend große Anzahl freier Zellen verlangt werden kann, die dieser Latenz entspricht. Der 18 Bit breite 12:1-Multiplexer zur Auswahl der Lesepositionen ist in zwei Stufen aufgebaut. Die Gleichungen 7.1 und 7.2 werden in einer Pipeline-Stufe parallel



ausgeführt. In der nächsten Pipeline-Stufe werden die Anzahlen freier Stufen für beide Fälle durch Subtraktion darauf überprüft, ob sie über einem Schwellenwert liegen. Das oberste Bit des Subtrahierers, der Gleichung 7.1 umsetzt, kann zur Unterscheidung der Fälle verwendet werden (es ist gesetzt, wenn der Schreibzeiger größer als der Lesezeiger ist). Es dient als Auswahlsignal für den Multiplexer, der zwischen den beiden obersten Bits der Subtraktionsergebnisse auswählt. Das so gebildete Ausgangssignal ist gesetzt, wenn die Anzahl der freien Speicherzellen die vorgegebene Schwelle unterschreitet.

Die Logik zum Schwellenwert-Vergleich ist doppelt ausgeführt. Die eine Schwelle ist klein gewählt (6) und wird zum Auslösen des Fehlersignals verwendet. Die zweite Schwelle ist größer und liefert ein *Busy*-Signal, das für die Signalisierung eines bevorstehenden Speicherengpasses an den CTP übermittelt werden kann. Durch die Unterdrückung von *Level-0*-Triggern bei diesem Signal können Datenverluste ausgeschlossen werden.

### 7.3.4 Der Datenstrom-Monitor

Die *Aligning Buffers* setzen einen korrekten Aufbau der empfangenen Ereignis-Daten voraus. Die Daten eines Ereignisses werden vom *Event Shaper* erst freigegeben, wenn bei allen aktiven Links die Endmarkierungen erreicht wurden.

Fehlt in einem der Links diese Endmarkierung, beispielsweise da ein fehlerhafter oder falsch konfigurierter Link nur Komma-Zeichen oder beliebig viele Zufallsdaten sendet, dann werden die Ereignisdaten nicht zur Weiterverarbeitung freigegeben und das System ist blockiert.

Um diese Situation auszuschließen, müssen die Datenströme aller aktiven Links auf korrekte Funktion überwacht werden. Dies ist die Aufgabe des Datenstrom-Monitors. Erkennt dieser ein Fehlverhalten in einem der Datenströme, löst er ein *Event Drop* aus. Der Fehler wird dann korrekt an die nachfolgenden Stufen gemeldet und das System funktioniert sofort nach Beheben der Fehlerursache wieder normal.

Die Kriterien zur Überwachung der Datenströme sind gegenwärtig noch nicht festgelegt. Sie lassen sich aber zu einem späteren Zeitpunkt leicht in die bereit stehende Entität einsetzen.

## 7.4 Der SRAM-Controller

Der logische Speicher zur Pufferung der Ereignisdaten ist physikalisch aus zwei 18-MBit-DDR-II-SRAM-Chips (Cypress, CY7C1320AV18) aufgebaut. Die jeweils 36 Bit breiten Datenpfade der beiden Speicher werden zu einem 72 Bit breiten Datensignal zusammengefasst, die Adress- und Kontrollsignale der beiden RAMs sind dementsprechend gleich geschaltet. Der SRAM-Controller zur Ansteuerung der Speicher mit einer Taktfrequenz von

200 MHz basiert auf einem MIG<sup>5</sup>-Quellcode. Aufgrund verschiedener Probleme wurden einige Korrekturen und Erweiterungen für die geplante Anwendung vorgenommen. Beim ersten Testbetrieb am CERN entdeckte, statistisch auftretende Fehler konnten auf den Einsatz defekter FIFO16-Blöcke innerhalb des Controllers zurückgeführt werden. Diese Blöcke wurden im Rahmen dieser Arbeit durch *Distributed-RAM-FIFOs* geeigneter Tiefe ersetzt. Zusätzliche *Place-And-Route-Constraints* haben sich als entscheidend für die Zuverlässigkeit des Controllers erwiesen.

Abbildung 7.14 zeigt den schematischen Aufbau des Controllers. Er stellt einen Schreib- und einen Lesekanal für den Zugriff auf den Speicher bereit. In beiden Kanälen trennen FIFO-Puffer die Adress- und Datensignale vom Inneren des Controllers.

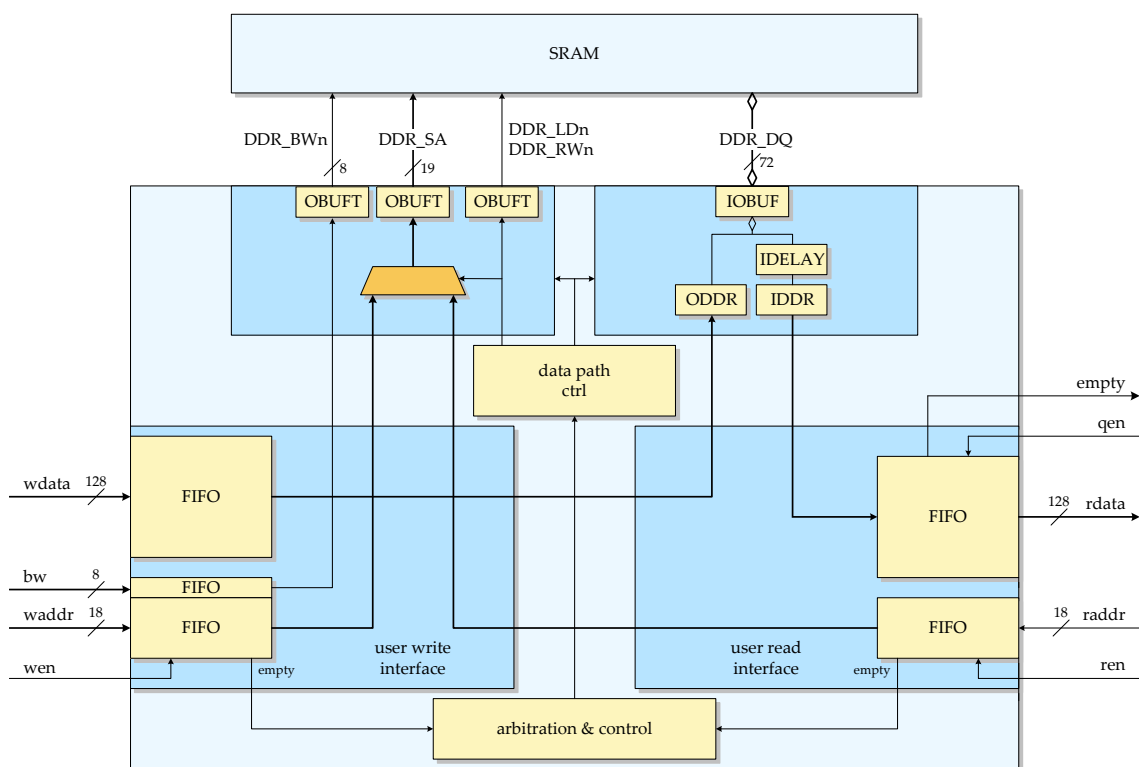


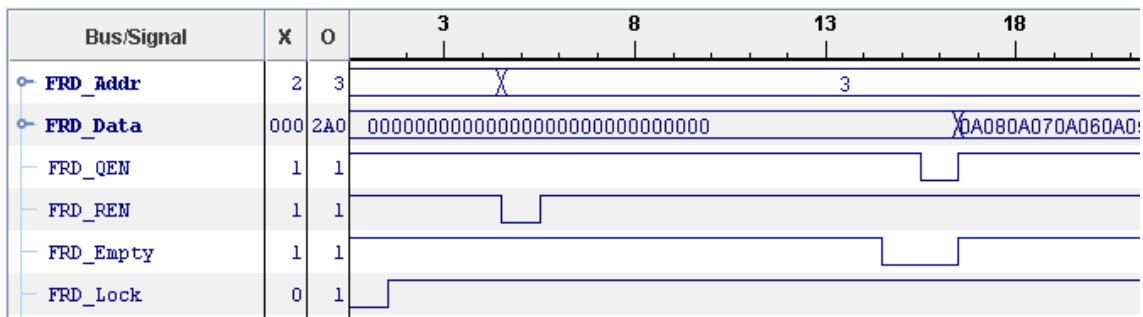
Abbildung 7.14: Aufbau des SRAM-Controllers

Der Schreibkanal ist einfach anzusteuern. Die 128 Bit breiten Daten werden zusammen mit der 18 Bit breiten Adresse beim Aktivieren des *Write-Enable*-Signals (wen) in die FIFOs übernommen. Die Tiefe der neu eingesetzten FIFOs ist ausreichend, um nach einer Schreibpause einen kontinuierlichen Datenstrom ohne Verluste in den Speicher schreiben zu können. Dies ist wichtig, da beim Speichern der Ereignisdaten nahezu jeder Schreibtakt genutzt werden können muss.

<sup>5</sup> Der ‚Memory Interface Generator‘ ist Teil der *Core-Generator*-Software von Xilinx, mit der Standard-Funktionsblöcke als Sourcecode oder Netzliste erzeugt werden können.

Die Ansteuerung des Lesekanals ist zweistufig aufgebaut. Ein Lesevorgang beginnt mit dem Übernehmen der Leseadresse in das FIFO mittels Aktivierung des *ren*-Signals (Leseanforderung). Der Controller führt zum nächstmöglichen Zeitpunkt die Lesetransaktion aus und stellt die gelesenen Daten im Daten-FIFO bereit. Aus diesem FIFO können die Daten durch Aktivieren des *qen*-Signals übernommen werden.

Die Verzögerungszeit zwischen der Anforderung und dem Eintreffen der Daten ist nicht genau vorherbestimmt. Die minimale Latenz beträgt zehn 200 MHz-Takte (siehe Abbildung 7.15).



**Abbildung 7.15:** Signale und Latenz beim Lesevorgang aus dem SRAM.

Beim Entwurf der *Read-Out-Einheit* muss diese Latenz berücksichtigt werden. Mit einzeln abgesetzten Leseanforderungen und anschließendem Warten bis zum Eintreffen der Daten kann nur eine recht geringe Datenrate bei der Auslese erzielt werden.

Eine wichtige Frage stellt sich im Zusammenhang mit der Priorisierung von gleichzeitigen Lese- und Schreibzugriffen. Für die vorliegende Anwendung ist es entscheidend, dass das Schreiben immer Vorrang hat. Die Leseseite ist im Gegensatz zur Schreibseite durchgängig mit Handshaking ausgerüstet. Falls dies nicht im SRAM-Controller sichergestellt werden kann, muss ein einfacher externer Mechanismus hinzugefügt werden.

## 7.5 Die Read-Out-Einheit

Die Aufgabe der *Read-Out-Einheit* ist die Auslese und Weiterleitung der im externen Speicher abgelegten Ereignisdaten. Bei einem *Level-2-Accept* werden die Daten des ältesten Ereignisses im Speicher an die nachfolgende Stufe weitergeleitet. Bei einem *Level-2-Reject* werden sie direkt verworfen.

Im späteren Aufbau am Detektor ist die nachfolgende Stufe die *Super Module Unit* (SMU). Sie erhält die *Level-2*-Triggersignale und generiert koordinierte *Accept*- oder *Reject*-Signale für die sequenzielle Auslese der *Read-Out-Einheiten* auf fünf TMU-Boards. Da diese bis zum gegenwärtigen Zeitpunkt nicht verfügbar ist, steht für den Testbetrieb

am Detektor eine Variante für den eigenständigen Betrieb mit einer DDL-SIU-Karte zur Datenweiterleitung an das *Data Acquisition System* bereit.

Hauptgesichtspunkt bei der Wahl der vorliegenden Struktur ist das Erreichen einer möglichst hohen Auslastung der nachfolgenden Datenstrecke. Die gewählte Lösung muss vor allem die Auswirkungen der großen Latenzen bei Lesezugriffen auf den externen Speicher minimieren. Die Flexibilität zur Ansteuerung unterschiedlicher Datensenzen ohne große Änderungen ist der zweite wichtige Aspekt.

Zum Erreichen dieser Ziele ist der Datenpfad der *Read-Out-Einheit* in drei Funktionsblöcke unterteilt: den *Read Initiator*, den *Read Acceptor* und den *Dispatcher*. Während der *Event Shaper* seinen Anforderungen entsprechend als reine *Data-Push-Architektur* bis in den externen Speicher ausgeführt ist, unterliegen die drei Teile des *Read-Out-Datenpfades* einer durchgehenden, rückwärts gerichteten Flusskontrolle. Abbildung 7.16 stellt den Datenpfad schematisch dar.

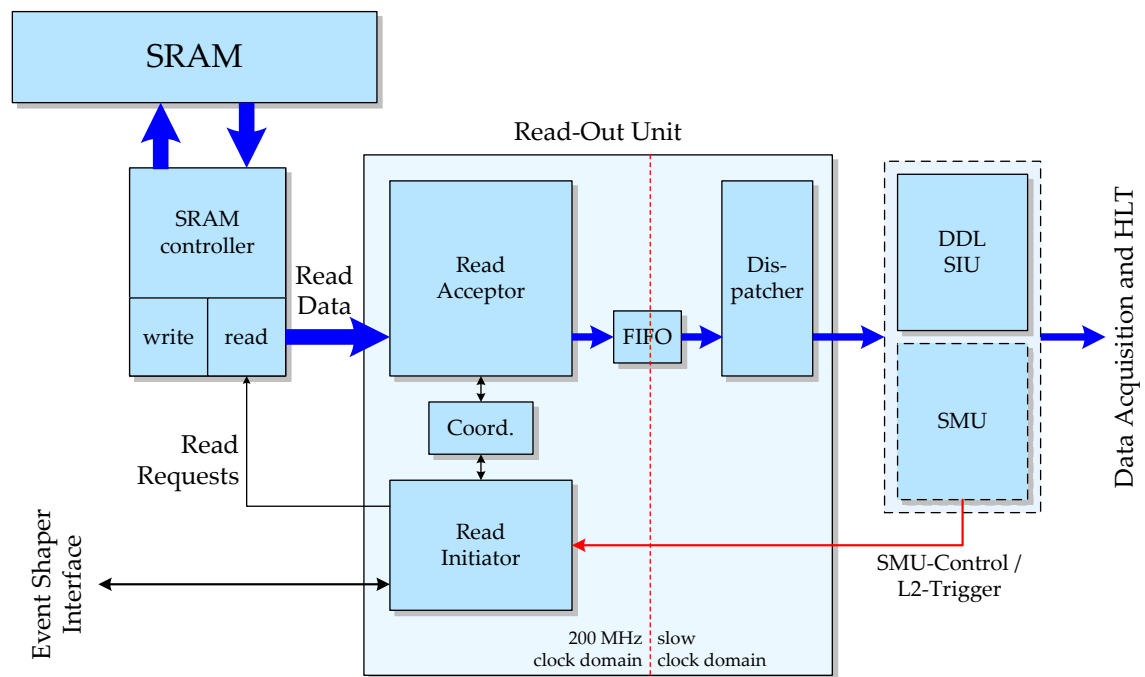


Abbildung 7.16: Schematischer Aufbau der *Read-Out-Einheit*

Die beiden ersten Teile dienen der effizienten Auslese der Ereignisdaten aus dem externen Speicher. Der dritte Teil ist durch ein *Dual-Clock-FIFO* von der *200-MHz-Clock-Domain* der ersten beiden Teile entkoppelt und kann mit einer zur Ansteuerung der nachfolgenden Stufe geeigneten Frequenz betrieben werden.

Im Folgenden werden Aufbau und Funktionsweise der drei Teile näher erläutert.

### 7.5.1 Der Read Initiator

Die Latenz bei Lesezugriffen beträgt mindestens zehn 200-MHz-Takte, kann bei parallelen Schreibzugriffen aber auch deutlich größer sein. Die Auswirkungen der Latenz können durch die Entkopplung der Leseanforderungen und der Verarbeitung der eintreffenden Lesedaten weitgehend eliminiert werden. Die Aufgabe des *Read Initiators* ist die Erzeugung von Leseanforderungen, die den SRAM-Controller zum Auslesen der benötigten Ereignisdaten veranlassen. Die mit einer Verzögerung eintreffenden Daten aus dem Speicher werden vom *Read Acceptor* weiterverarbeitet.

Die Verwaltung der Lesezeiger ist einfacher als die der Schreibzeiger im *Event Shaper*. Für jeden der zwölf Bereiche wird jeweils nur ein Lesezeiger benötigt, da aufgrund der Flusskontrolle keine *Event Drops* unterstützt werden müssen.

**Aufbau** Abbildung 7.17 stellt den Aufbau schematisch dar. Zur Erzeugung der Leseadressen reicht für jeden der zwölf Speicherbereiche ein 18-Bit-Ringzähler aus. Neben dem Weiterzählen mit Umlauf kann in den Zähler auch der *Offset* des letzten Ereignisdatenwortes aus dem entsprechenden FIFO des *Event-Shaper*-Interfaces geladen werden. Für die Ladefunktion wird ein Multiplexer in der Rückleitung des Zählerwertes benötigt. Die Verzögerung durch den erhöhten Logik- und Routingaufwand macht ein Pipelining des Zählers erforderlich.

Der Zählerausgang stellt den *Offset* innerhalb des jeweiligen Speicherbereiches dar. Jeder Zählerausgang wird um Eins inkrementiert und anschließend mit dem *Offset* der letzten Speicherzelle der Ereignisdaten aus dem jeweiligen FIFO verglichen. Eine Übereinstimmung zeigt das vorletzte Datenwort des Ereignisses an.

Über 12:1-Multiplexer werden aus den *Offsets* und den Basisadressen die dem jeweils bearbeiteten Kanal zugeordneten Werte weitergeleitet. Die anschließende Summation in der nächsten Pipeline-Stufe ergibt die Leseadresse für den SRAM-Controller. Das Auswahlsignal für die Multiplexer wird durch einen 4-Bit-Zähler generiert. Für die Auslese eines Ereignisses durchläuft dieser Zähler nur einmal die Folge von Null bis Elf.

**Flusskontrolle** *Read Initiator* und *Read Acceptor* sind indirekt über den SRAM-Controller gekoppelt. Eine Flusskontrolle auf Basis der Statussignale des Controllers ist jedoch nicht direkt möglich. Es stehen nur die *Empty*- und *Full*-Signale der Puffer für die Leseanforderungen und die empfangenen Daten zur Verfügung. Die Auswertung dieser Signale reicht für eine sichere Flusskontrolle nicht aus. Die Bedingung für die Zulässigkeit einer Leseanforderung ist, dass die Anzahl der Leseanforderungen im Anforderungspuffer die Anzahl der freien Plätze im Puffer für die gelesenen Daten nicht übersteigt. Die FIFO-Puffer im SRAM-Controller könnten durch aufwändigere Varianten ersetzt werden, welche die Anzahl der Worte im Puffer ausgeben. Mit zusätzlicher Arithmetik könnte die

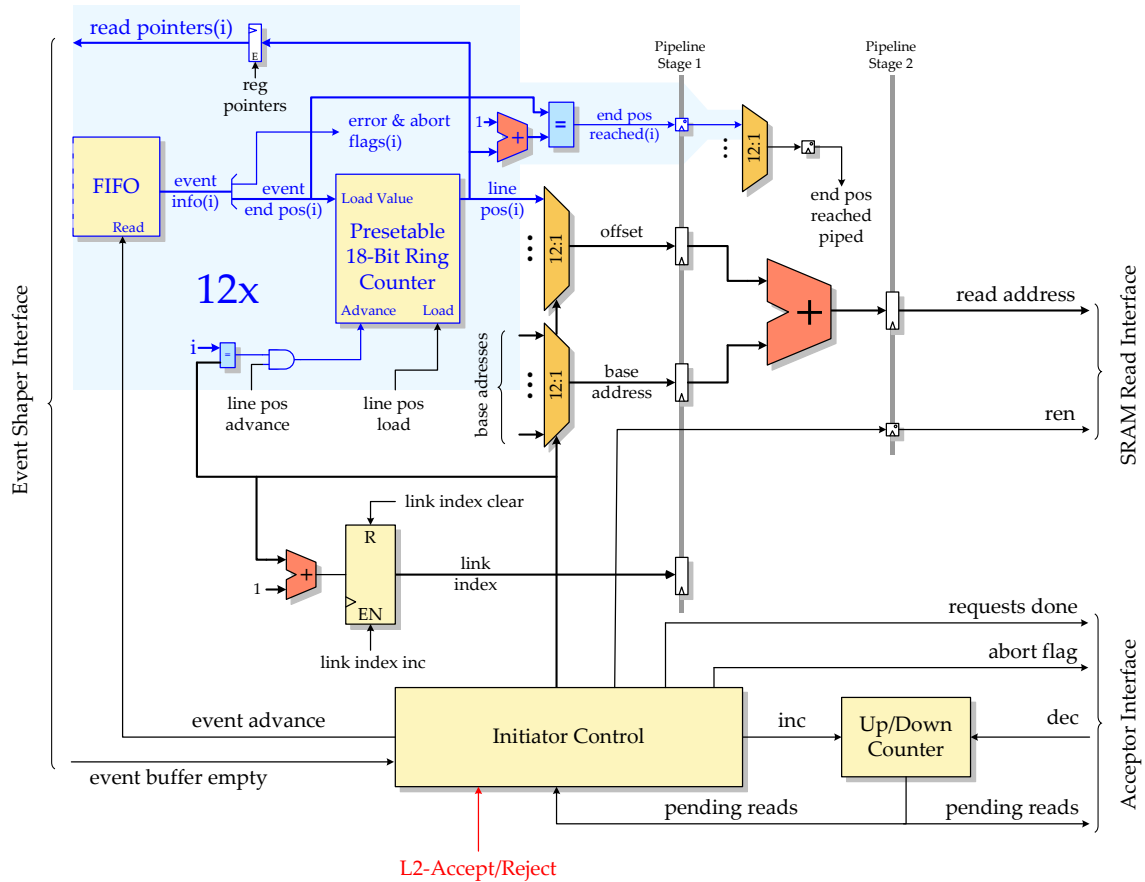


Abbildung 7.17: Schematischer Aufbau des *Read Initiators*

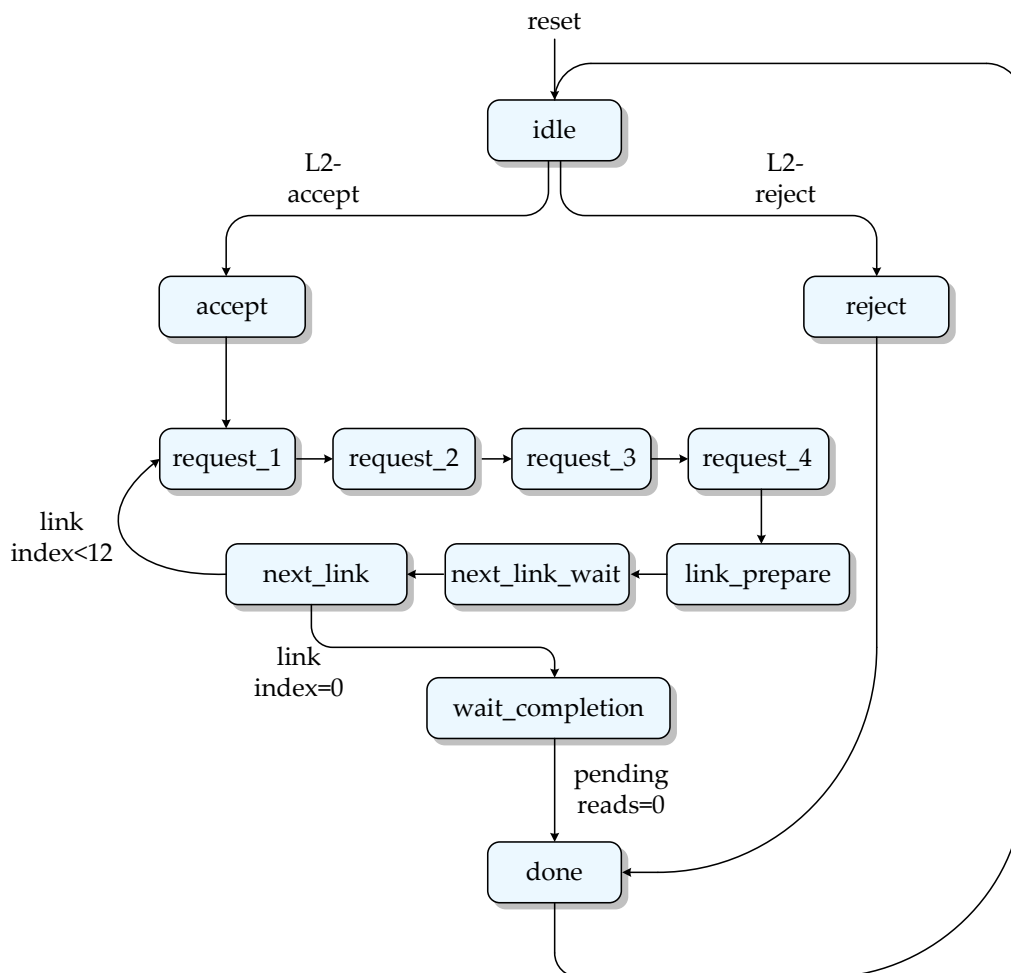
Bedingung umgesetzt und ein entsprechendes Signal für die Flusskontrolle erzeugt werden.

Eine weit einfachere Lösung bietet sich jedoch zur direkten Koordination der beiden Funktionsblöcke an: Ein gemeinsam verwalteter Zähler speichert die Anzahl der offenen Leseanforderungen. Gibt der *Read Initiator* eine Leseanforderung an den SRAM-Controller aus, wird der Zähler erhöht. Liest der *Read Acceptor* ein bereitgestelltes Datenwort aus, wird der Zähler erniedrigt. Geschieht beides gleichzeitig oder findet gar keine Operation statt, bleibt der Zählerwert unverändert. Der *Initiator* kann so lange Lesevorgänge anfordern, bis die Anzahl der ausstehenden Lesevorgänge der Tiefe des Puffers für die empfangenen Daten entspricht.

Im späteren Betrieb wird die Übertragung der gepufferten Ereignisdaten deutlich langsamer erfolgen als es die Bandbreite des externen Speichers erlaubt. Zu Beginn der Auslese wird der Zählerwert schnell auf den maximalen Wert steigen und die Ausgabe von Leseanforderungen stoppen. Der *Acceptor* bekommt die ersten Daten nach der vollen Latenz

des SRAM-Controllers. Die weiteren Daten folgen dann in jedem Takt. Sinkt der Zählerstand infolge der Annahme der Daten durch den *Acceptor*, erfolgt sofort eine weitere Leseanforderung und der maximale Zählerwert wird wieder erreicht. Die Tiefe der beiden Puffer ist ausreichend für 15 Leseoperationen. Der maximale Zählerwert ist auf 12 festgesetzt, um Verzögerungen bei der Arbitrierung sicher abzufangen.

**Die *Read-Initiator-Kontrolleinheit*** Die zwölf Zustände der Kontroll-Einheit des *Read Initiators* und die Übergänge zwischen ihnen sind in Abbildung 7.18 dargestellt. Nach dem Reset befindet sich die Kontrolleinheit im Zustand **idle**. In diesem Zustand werden *Level-2-Accepts* oder *-Rejects* angenommen. In beiden Fällen wird beim Übergang in den nächsten Zustand das *Event-Advance-Signal* gesetzt. Die Puffer des *Event-Shaper-Interfaces* stellen im nächsten Takt die Endadressen der Ereignisdaten bereit.



**Abbildung 7.18:** Zustände der *Read-Initiator-Kontrolleinheit*

Bei einem *Reject* findet der Übergang in den Zustand **reject** statt. In diesem Zustand wer-

den die Endadressen direkt in die Zähler zur Adresserzeugung geladen. Der von den Ereignisdaten belegte Speicher wird direkt wieder freigegeben. Im nächsten Takt wartet das System im **idle**-Zustand auf neue Triggersignale.

Bei einem *Accept* erfolgt der Übergang in den **accept**-Zustand. In diesem Zustand wird zunächst die Ereignisinformation aus den Puffern auf *Event-Drop*-Flags untersucht. Wird ein *Event Drop* angezeigt, wird ein entsprechendes Signal an den *Read Acceptor* gesetzt. Eine Datenauslese findet nicht statt. Die Lesezeiger bleiben unverändert. Es erfolgt der Wechsel zu **done** und anschließend zurück nach **idle**.

Andernfalls werden die Leseanforderungen für den ersten Speicherbereich an den SRAM-Controller gegeben. Dies erfolgt, solange die Anzahl der offenen Lesevorgänge unterhalb der vorgegebenen Schwelle liegt und die Endadresse der Ereignisdaten noch nicht erreicht ist. Ist die Endadresse erreicht, wird der Kanalindex erhöht und die Ausgabe der Leseanforderungen für den nächsten Bereich beginnt. Der Vorgang wird für alle zwölf Bereiche ausgeführt, anschließend erfolgt der Übergang in den Zustand **wait\_completion**.

In diesem Zustand sind alle Leseanforderungen ausgegeben. Ein Nullwert des Koordinationszählers zeigt daher an, dass das Auslesen aller Ereignisdaten aus dem SRAM abgeschlossen ist. Durch den Wechsel in den **done**-Zustand werden die aktuellen Lesezeiger in die Lesezeiger-Register des *Event-Shaper*-Interfaces übernommen.

### 7.5.2 Der Read Acceptor

Der SRAM-Controller führt die vom *Read Initiator* angestoßenen Leseoperationen aus und stellt die Lesedaten für den *Read Acceptor* in einem FIFO-Puffer bereit.

Die Aufgabe des *Read Acceptors* besteht darin, die 128 Bit breiten Lesedaten aus dem Controller-FIFO auszulesen, sie über einen 4:1-Multiplexer in vier aufeinander folgende 32-Bit-Datenworte zu zerteilen und in ein *Dual-Clock-FIFO* weiterzuleiten. Der schematische Aufbau ist im linken Teil von Abbildung 7.19 dargestellt. Das 34 Bit breite *Dual-Clock-FIFO* dient dem Übergang in die *Clock Domain* des *Dispatchers*. Neben den 32-Bit-Datenworten wird das FIFO zur Synchronisation zweier Flags genutzt: das *End-Of-Event*-Flag (EOE) und das *Abort*-Flag. Zur Flusskontrolle dient an der Schnittstelle zum *Dispatcher* das *Full*-Signal des *Dual-Clock-FIFOs*. Die Koordination mit dem *Read Initiator* wurde oben bereits besprochen.

**Die Read-Acceptor-Kontrolleinheit** Die Kontrolleinheit des *Read-Acceptors* dient der flusskontrollierten Ansteuerung der FIFOs auf beiden Seiten ihres Datenpfades. Dazu benötigt sie fünf Zustände.

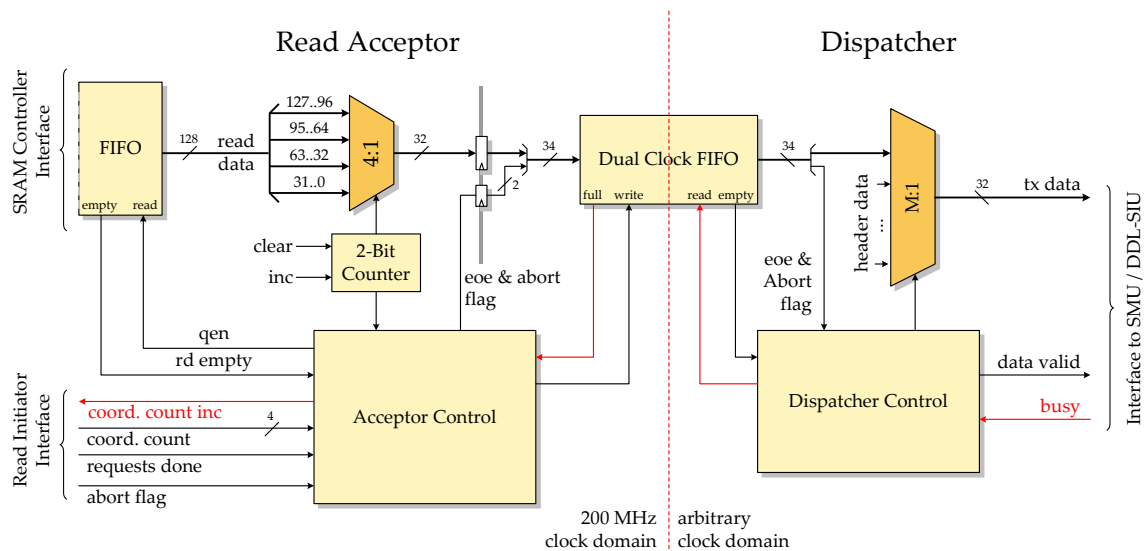
Nach einem Reset befindet sie sich im Zustand **idle**. Ist das *Abort*-Flag gesetzt, wird der Zustand **abort** eingenommen und ein einzelnes 34-Bit-Wort mit gesetztem *Abort*-Flag in das *Dispatcher-FIFO* geschrieben.



Liegen stattdessen Lesedaten im Controller-FIFO bereit, erfolgt der Wechsel in den Zustand **fetch**. In diesem Zustand wird das erste bereitstehende 128-Bit-Lesewort aus dem Puffer angefordert und in den Zustand **push\_data** gewechselt. In diesem Zustand verbleibt die Maschine für vier Takte, in denen der 2-Bit-Zähler seine Werte durchläuft und nacheinander die vier 32-Teilworte durch den Multiplexer weiterschaltet. Liegen weitere Lesedaten bereit, wird der Vorgang durch Wechsel in den Zustand **fetch** wiederholt, andernfalls erfolgt der Übergang zurück nach **idle**.

Das *Empty*-Flag des Lesedatenpuffers kann nicht zur Erkennung des Endes der Ereignisdaten verwendet werden. Die Lesevorgänge könnten durch Schreiboperationen unterbrochen werden.

Um das Ende der Ereignisdaten erkennen zu können, wird der Anforderungszähler zusammen mit einem Signal des *Read Initiators* verwendet. Dieser setzt in seinem Zustand **wait\_completion** das *Requests-Done*-Signal, welches anzeigt, dass alle Leseanforderungen an den SRAM-Controller ausgegeben wurden. Ist dieses Signal gesetzt und die Anzahl der offenen Lesevorgänge null, dann sind alle Daten des Ereignisses aus dem Speicher angekommen und weitergeleitet. Ist diese Bedingung erfüllt, erfolgt der Übergang in den Zustand **eof**. Es wird ein zusätzliches 34-Bit-Wort in das *Dispatcher-FIFO* mit gesetztem EOF-Flag geschrieben.



**Abbildung 7.19:** Schematischer Aufbau des *Read Acceptors* und des *Dispatchers*. Die rückwärts gerichtete Flusskontrolle wird durch die rot gekennzeichneten Signale vermittelt.

### 7.5.3 Der Dispatcher

Der *Dispatcher* befindet sich in einer unabhängigen *Clock-Domain*, deren Takt entsprechend den Anforderungen der nachfolgenden Einheit gewählt werden kann. Die Ereignisdaten stehen als 32-Bit-Worte im FIFO zur Versendung bereit. Ein *Event-Drop* und das Ende der Ereignisdaten werden durch zwei zusätzliche Datenleitungen angezeigt. Mit geringem Aufwand kann dieser letzte Teil später an die konkreten Anforderungen für die Datenübertragung zur SMU angepasst werden.

In der im Rahmen dieser Arbeit entwickelten Variante ist der *Dispatcher* für den eigenständigen Betrieb zur direkten Ansteuerung einer DDL-SIU-Karte<sup>6</sup> ausgelegt. Für die Flusskontrolle liefert die SIU-Karte ein *Busy*-Signal, welches anzeigt, dass sie direkt im nächsten Takt keine Daten mehr annehmen kann. (Diese ungewöhnlich knappe Signalisierung verkompliziert die Leseansteuerung des vorausgehenden FIFOs.) Das Ende der Ereignisdaten wird der Karte über ein dediziertes Signal angezeigt.

Um Daten mittels einer SIU-Karte an das *Data Acquisition System* zu übertragen, muss den Daten ein der DDL-Spezifikation (siehe [DJV]) entsprechender *Common Data Header* (CDH) vorangestellt werden. Der Multiplexer im *Dispatcher*-Datenpfad dient der Einblendung der acht Header-Worte sowie der *Active-Link*-Maske in den Datenstrom.

Der Frequenz des *Dispatcher*-Taktes beträgt 60 MHz. Dies ist die maximale zulässige Betriebsfrequenz für die SIU-Karte.

## 7.6 Ressourcenbedarf und Status

Der primäre Gesichtspunkt bei der Implementation der *Event-Buffering*-Einheit ist das Erreichen der hohen Taktfrequenzen. Nur durch kurzschrittiges *Pipelining* ist ein Betrieb mit Frequenzen um 200 MHz und darüber hinaus gut zu realisieren.

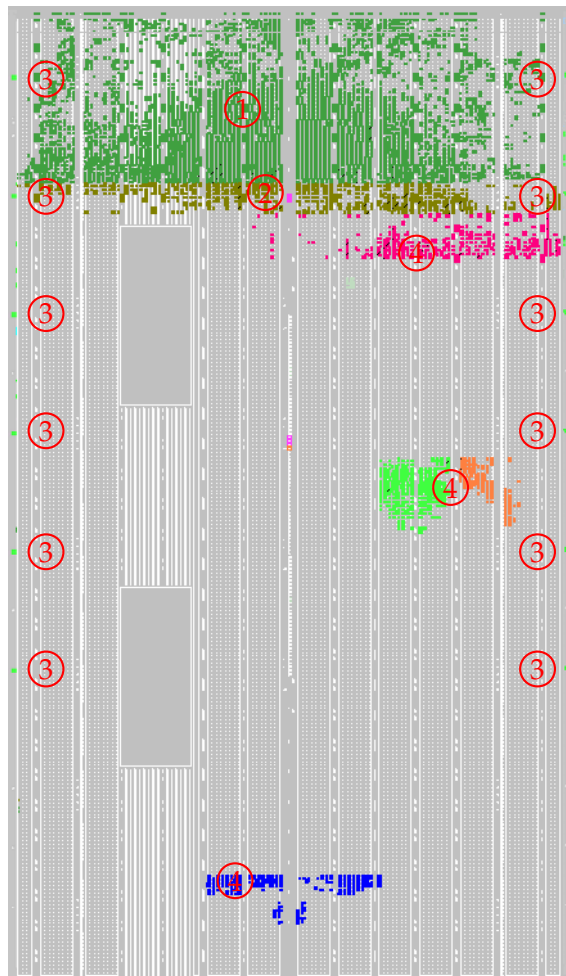
Die zweite Vorgabe, die dem ersten Punkt entgegen läuft, ist die Beschränkung auf eine möglichst geringe Belegung von Logik- und *Routing*-Ressourcen um genügend Raum im FPGA für das Trigger-Design vorzuhalten. Aufgrund der 128 Bit breiten Datenpfade und ihrer zwölffachen Ausführung stellt jede Pipeline-Stufe einen hohen Ressourcenaufwand dar.

Die Platzierung der einzelnen Komponenten spielt eine wichtige Rolle bei der Optimierung des FPGA-Designs für hohe Taktfrequenzen. Die erreichbaren Geschwindigkeiten

---

<sup>6</sup> DDL steht für ‚Detector Data Link‘. Dies bezeichnet die optischen Übertragungstrecken, über die Detektoren ihre Daten an das Datenaufzeichnungssystem übertragen. Als Sender kommt eine ‚Source-Interface-Unit‘-Karte (SIU) zum Einsatz. Auf der Empfängerseite wandelt eine ‚Destination-Interface-Unit‘-Karte (DIU) die optischen Daten in elektrische zurück und gibt sie an eine ‚DAQ Read-out Receiver Card‘ (D-RORC) [CCC<sup>+</sup>] weiter. Diese Karte puffert die empfangenen Daten und stellt sie zur Auslese über den PCI-Bus für die DATE-Software bereit. Diese kontrolliert der Aufzeichnung der Daten.

werden hauptsächlich durch die Signallaufzeiten der Verbindungen zwischen den Logikblöcken bestimmt. Bei der gleichen Anzahl belegter Logikzellen stehen bei einer unbeschränkten Nutzung der gesamten *Fabric*-Fläche weit mehr Möglichkeiten für die Platzierung der Komponenten und das lokale *Routing* zur Verfügung als dies bei einer engen Bereichsvorgabe der Fall ist.



**Abbildung 7.20:** Die *Event-Buffering*-Einheit im FX60-FPGA.  
 (1) *Event Shaper*, (2) *Event-Readout-Unit*, (3) MGT-Blöcke, (4) Teststrukturen für die Entwicklung

Die vorliegende Implementation ist so ausgelegt, dass sie bei Beschränkung auf einen Streifen an der oberen schmalen Seite des *Chip Die* die erforderlichen Taktfrequenzen erreicht. Dieser Bereich ist in direkter Nähe zu den I/O-Pins für die Ansteuerung des SRAM gewählt und belegt etwa 20 % der Fläche bei des FX60-FPGA und nach ersten Abschätzungen etwa 16 % bei einem FX100.

Die vertikale Ausdehnung des Streifens ist durch das weitläufige Raster der benutzten

RAM-Blöcke vorgegeben. In den Randbereichen stehen noch viele Ressourcen für andere Aufgaben zur Verfügung (siehe Abbildung 7.20). Der restliche Bereich des FPGA steht vollständig für das Trigger-Design zur Verfügung.

Bei dem im nächsten Kapitel beschriebenen Testbetrieb am CERN wurde eine Reihe von Fehlern gefunden und behoben. Für erneute Tests stand das Supermodul wegen des Einbaus in den *Space-Frame* des Experiments bis zum Abschluss dieser Arbeit nicht mehr zur Verfügung.

Die Funktionsfähigkeit der Einheit im vorliegenden Stand wurde daher mit vier einzelnen *Optical Readout Interface Boards* und anschließend mit einem FPGA-Design verifiziert, welches die zwölf MGT-Sendeeinheiten zur optischen Übertragung eines vollen Satzes genau bekannter Ereignisdaten verwendet.

Das *Constraining* des 200-MHz-Teils ist noch nicht endgültig ausgereift, nicht in jedem Syntheselauf wird die Frequenzvorgabe erreicht. Bei einzelnen Synthese-Läufen treten im realen Test Fehler auf, während die *Timing*-Analyse keine Probleme aufzeigt. Das endgültige *Constraining* muss bei der Zusammenführung mit dem Trigger-Design und den zusätzlichen Funktionsblöcken wie dem PowerPC<sup>®</sup> erfolgen. Ein Teil der *Constraining*-Probleme geht auf die vorläufig eingesetzten Übergänge von Kontroll- und Statussignalen zu den *Clock Domains* dieser Blöcke zurück.

Ein Teil der vorgestellten Logik zur Erkennung von Speicherüberläufen ist in der vorliegenden Version aufgrund nicht fertig gestellter Erweiterungen derzeit ausgenommen. Verschiedene Anpassungen an die aktuellsten Anforderungen im Zusammenhang mit den zu erwartenden Steuersignalen der *Super Module Unit* sind noch nicht umgesetzt. Die Kriterien für die Überwachung der Datenströme durch den *Event Monitor* müssen anhand der Erfahrungen eines weiteren Testbetriebs noch festgesetzt und implementiert werden.

Mit dem nun vorliegenden Design wurden 20 000 Ereignisse über die zwölf optischen Strecken gesendet, durch die *Event-Buffering*-Einheit aufgenommen und über eine DDL-SIU-Karte an ein DAQ-System übertragen. Mittels einer im Rahmen dieser Arbeit erstellten Software zur Auswertung der DATE-Ereignisdateien konnte anschließend eine fehlerfreie Funktion der gesamten Ausleseketten bei allen Ereignissen nachgewiesen werden.

## 8 Erster Testbetrieb am CERN

Nach der Ankunft des ersten Supermoduls am CERN stand ein kurzes Zeitfenster für den Testbetrieb mit optischer Auslese der Detektordaten und der zu dieser Zeit noch nicht fertig gestellten *Event-Buffering*-Einheit zur Weiterleitung der Ereignisdaten an das *Data Acquisition System* zur Verfügung. Im ersten Teil dieses Kapitels wird der verwendete Testaufbau vorgestellt, anschließend werden die Testergebnisse zusammengefasst. Visualisierungen während des Tests aufgenommener Ereignisdaten bilden den Abschluss des Kapitels.

Die *Super Module Unit* zur Zusammenfassung und Weiterleitung der gepufferten Daten eines Supermoduls steht bis zum gegenwärtigen Zeitpunkt nicht zur Verfügung. Um bis zu ihrer Fertigstellung bereits die Ereignisdaten des ersten Supermoduls auslesen und an ein DAQ-System zur Auswertung weiterleiten zu können, steht die im Rahmen dieser Arbeit entwickelte Variante der *Event-Buffering*-Einheit für den eigenständigen Betrieb zur Verfügung. Eine spezielle Bestückungsvariante des TMU/SMU-PCB trägt dazu sowohl die zwölf optischen Empfänger der späteren TMU-Boards als auch das *Detector Control System Boards* (DCS) und eine DLL-SIU-Karte. Das DCS-Board ermöglicht eine Reprogrammierung des FPGAs im laufenden Betrieb, später wird es auch die Triggersignale an das FPGA-Design weiterleiten.

### 8.1 Der Testaufbau

Erstes Ziel des Tests war die Überprüfung der fehlerfreien optischen Übertragung der Detektordaten an die GTU. Die 60 *Optical Readout Interface Boards* waren dazu über Glasfasern mit den Empfängern auf fünf TMU-Boards verbunden. Zur automatisierten Erfassung der optischen Leistungen kam eine PowerPC-Software zur Verarbeitung der Sensorinformationen der optischen Empfängermodule und zur Bildung einer Übertragungsfehlerstatistik zum Einsatz. Das zweite Ziel war die Vorbereitung auf einen dauerhaften Testbetrieb am Supermodul nach dem Einbau in den *Space Frame*. Dazu war die prinzipielle Funktionsfähigkeit der *Event-Buffering*-Einheit und die Übertragung der Ereignisdaten an das DAQ-System in Form eines PC mit D-RORC-Karten und DATE-Software zu prüfen.

Zur Auslese eines Supermoduls wird im späteren Betrieb ein *Crate* der GTU bestückt mit fünf TMU-Boards und einem SMU-Board eingesetzt (siehe Abschnitte 2.3.4 und 5.1).

Die Ereignisdaten werden bei einem *Level-2-Accept* von der SMU aus den *Event-Buffering*-Einheiten der TMU-Boards ausgelesen und über eine DDL-SIU-Karte an das DAQ-System und den *High-Level Trigger* übertragen.

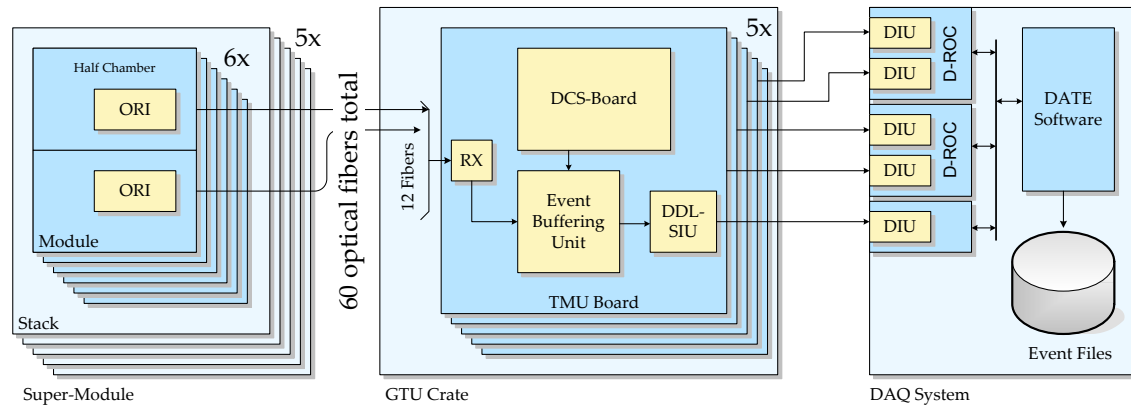


Abbildung 8.1: Schema des Testaufbaus am CERN

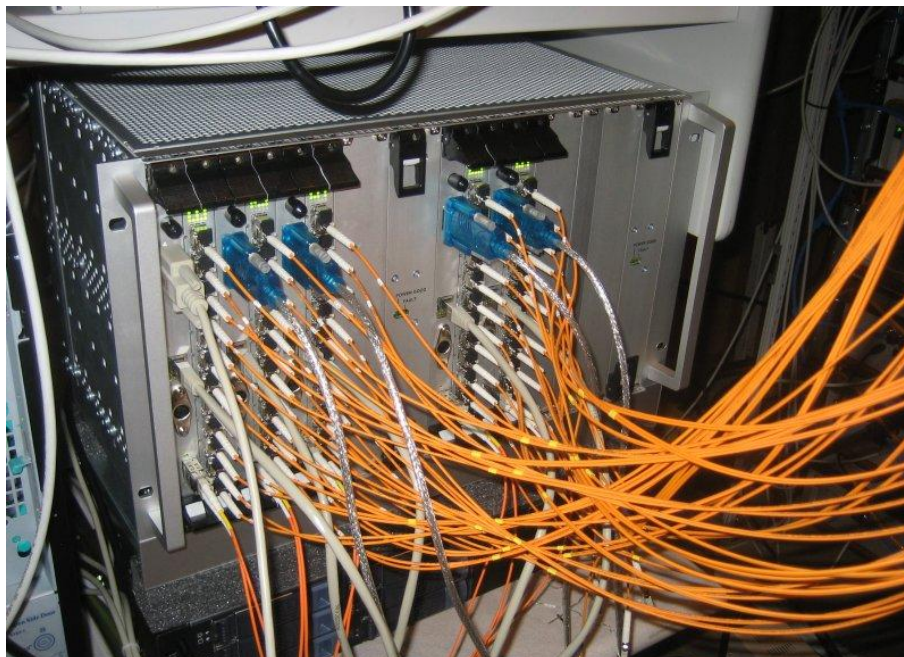
Der eingesetzte Testaufbau ist in Abbildung 8.1 dargestellt. Fünf TMU-Boards kamen in einer speziellen Bestückungsvariante für einen unabhängigen Betrieb zum Einsatz (siehe 5.2). Neben den zwölf optischen Empfängern waren auch jeweils ein *Detector Control System Board* zur Reprogrammierung des FPGAs und eine SIU-Karte zur Übertragung der Daten an das DAQ-System aufgesetzt. Die fünf *Detector Data Links* wurden von einem DAQ-PC mit zwei D-RORC-Karten empfangen, die Aufzeichnung der Ereignisdaten erfolgte durch die DATE-Software.

Abbildung 8.2 zeigt das eingesetzte GTU-Rack mit den optischen Fasern des Supermoduls und der *Detector Data Links*.

## 8.2 Testergebnisse für die optische Übertragung

Ein Histogramm der optischen Leistungen aller *Optical Readout Interface Boards* des Supermoduls ist in Abbildung 8.3 dargestellt. Alle aktiven Sender zeigten eine Leistung, die über dem festgesetzten Mindestwert von  $200 \mu\text{W}$  liegt. Zwei der 60 Sender lieferten keine Leistung, da die zugehörige Kammer des unteren *Layers* im mittleren *Stack* aufgrund eines Defekts ausgeschaltet war.

Die Übertragungsfehlerraten zeigen bei allen Kanälen die aus den Labortests bekannte Größenordnung von  $< 10^{-15}$ .



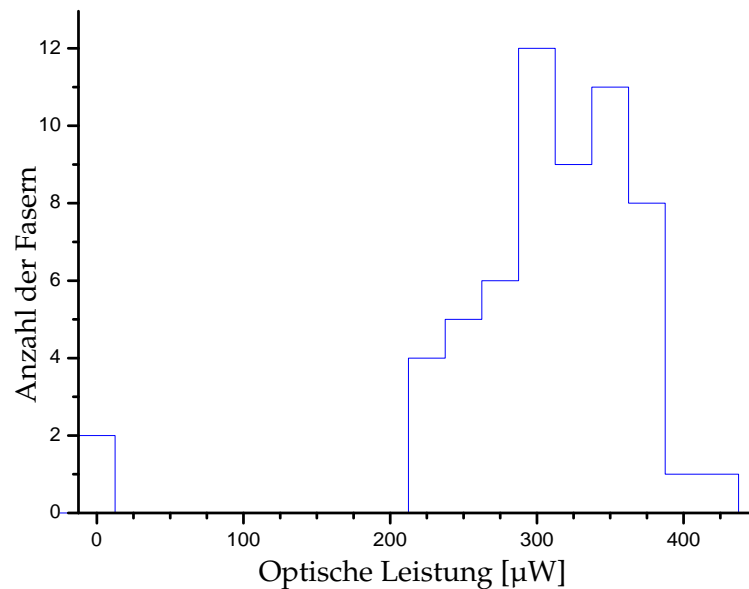
**Abbildung 8.2:** Diese Fotografie zeigt das TMU-Crate während des Testbetriebs. Die 60 nach oben verlaufenden Glasfasern liefern die optischen Signale der ORI-Boards innerhalb des Supermoduls. Die fünf nach unten weggeführten Faserpaare dienen der Datenübertragung an das DAQ-System. Die blauen Stecker verbinden einen PowerPC im FPGA des TMU-Boards mit dem Rackrechner unter dem Crate.

### 8.3 Testergebnisse für die gesamte Auslekette

Die Ereignisdaten für den Test der gesamten Auslekette wurden bei eingeschalteter Hochspannung durch einen Trigger auf kosmische Schauer erzeugt. In den Phasen ohne Hochspannung wurden künstliche *Pre Trigger* erzeugt, die ausgelesenen Daten zeigen dann nur den Rauschuntergrund des Detektors.

Parallel zur Aufzeichnung der von den fünf TMU-Boards an das DAQ-System übertragenen Ereignisdaten fand eine Auslese der Detektordaten auch über das *Slow Control System Network* (SCSN) des Supermoduls statt.

Die Auswertung der abgespeicherten Ereignisdaten zeigte eine Mischung verschiedener Fehlertypen: neben statistisch verteilten, einzelnen Bitfehlern zeigten sich häufig 128-Bit-Folgen mit sehr vielen fehlerhaften oder komplett gesetzten Bits. Zusätzlich trat ein bereits verstandener Fehler bei jedem sechsten Ereignis auf. Nach der Rückkehr konnte eine Lücke im *Constraining* des SRAM-Controllers in Verbindung mit dem kurz vor der Abreise veränderten *Design Flow* als Ursache für die zuvor nicht beobachteten häufigen



**Abbildung 8.3:** Optische Leistungen am *Patch Panel* des ersten Supermoduls, gemessen am CERN. Zwei Links zeigten keine optische Leistung, da zum Zeitpunkt der Messungen die zugehörige Kammer ausgeschaltet war.

Datenfehler ausgemacht werden<sup>1</sup>. Die Funktionsfähigkeit der Ereignisverwaltung konnte mit Ausnahme des vorher bekannten Fehlers verifiziert werden. Die Übertragung der Ereignisdaten über die *Detector Data Links* an das DAQ-System war zuverlässig.

Aufgrund der häufigen Datenfehler konnte nur ein geringer Teil der aufgezeichneten Daten ausgewertet werden. Abbildung 8.4 zeigt die weitgehend fehlerfreien Daten während einer Auslese des Rauschuntergrundes des Supermoduls ohne Hochspannung. Abbildung 8.5 und 8.6 stellen aufgezeichnete Schauerereignisse dar.

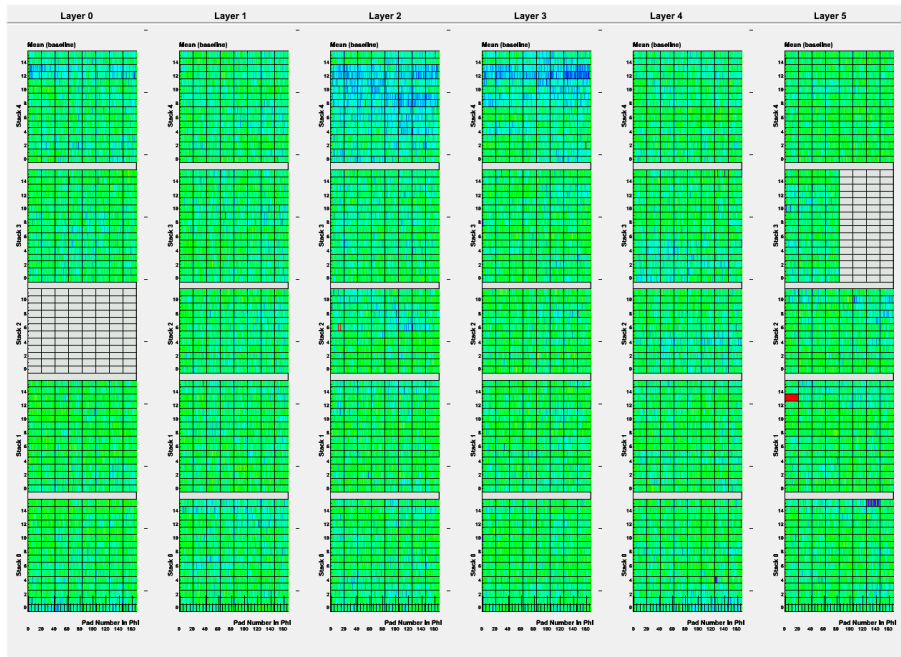
Mit den Erfahrungen aus dem ersten Testbetrieb und der vorliegenden Version des *Event-Buffering-Designs* kann ein dauerhafter Teststand am Supermodul nun mit geringem Vorbereitungsaufwand installiert werden.

---

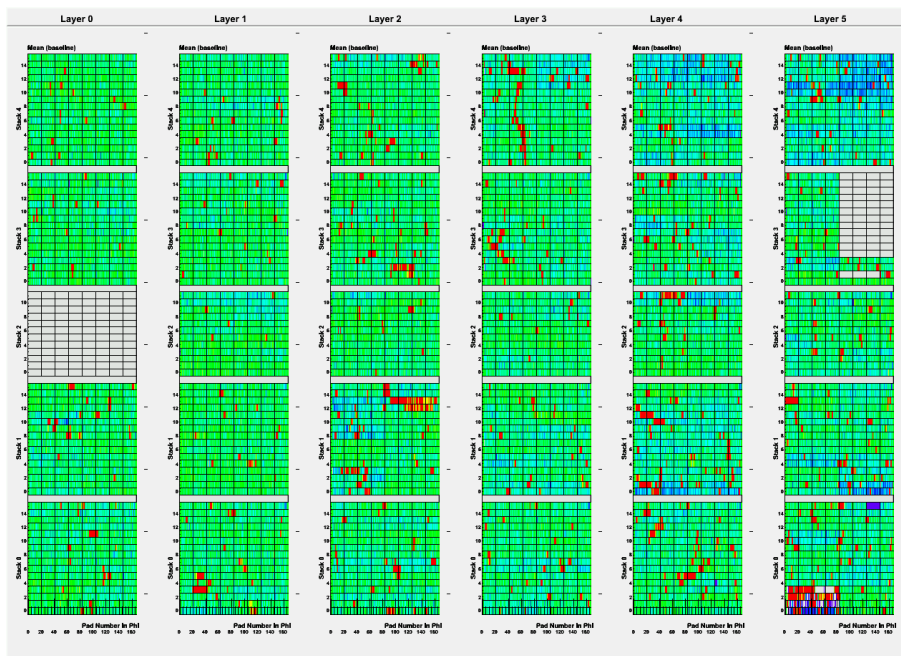
<sup>1</sup> Die Register mehrerer Steuersignale der SRAMs wurden aufgrund veränderter *Place-And-Route*-Einstellungen nicht mehr direkt in den IOBs, sondern in etwas entfernten *Fabric*-Registern implementiert, da der Pfad zwischen Registerausgang und I/O-Zelle nicht mit *Constraints* belegt war. Das Timing der Steuersignale verschob sich daher gegen das der Datensignale. Durch Vorgabe einer Platzierung der Register in IOBs wurde das Problem behoben.



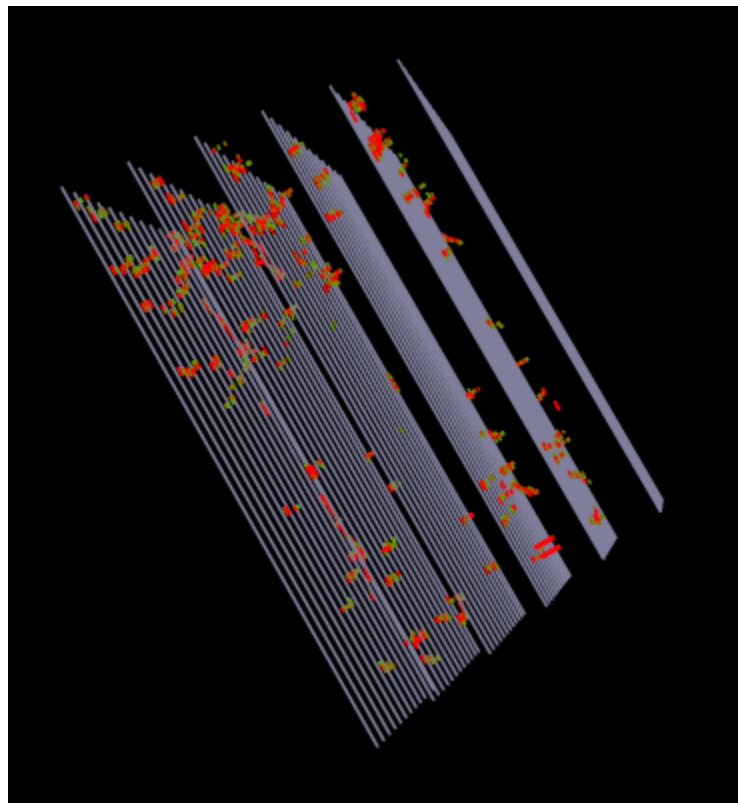
### 8.3 Testergebnisse für die gesamte Auslekette



**Abbildung 8.4:** Rauschuntergrund des Supermoduls während des Testbetriebs. Mit Dank an Benjamin Doenguis für die Visualisierungen.



**Abbildung 8.5:** *Cosmic*-Ereignis aus dem Testbetrieb am CERN



**Abbildung 8.6:** Dreidimensionale Darstellung eines *Cosmic*-Ereignisses

## 9 Zusammenfassung

Die Detektoren von ALICE erzeugen bei Schwerionenkollisionen große Datenmengen, welche nicht in Echtzeit verarbeitet oder gespeichert werden können. Ein mehrstufiges Triggersystem dient der Auswahl von Ereignissen, deren Daten für die spätere *Offline*-Analyse gespeichert werden. Der Übergangsstrahlungsdetektor leistet einen Beitrag zur *Level-1*-Triggerentscheidung. Für die Auswertung der rund 1,2 Mio. Kanäle stehen dabei nur etwa  $6\ \mu\text{s}$  zur Verfügung. In einer stark parallelisierten Verarbeitung durch die *Front-End*-Elektronik werden aus den Kanal-Rohdaten kurze Spursegmente extrahiert und parametrisiert. Zur Übertragung der Segmentparameter an die *Track Matching Units* kommen 1080 optische 2,5-GHz-Strecken mit einer Gesamtbandbreite von 2,7 TBit/s zum Einsatz. Aus den in den *Track Matching Units* rekonstruierten Teilchenspuren und den daraus ermittelten Transversalimpulsen wird die Entscheidung für den *Level-1*-Triggerbeitrag des TRD abgeleitet. Die bei einem *Level-1*-Trigger nachfolgenden Rohdaten aller Kanäle werden von *Event-Buffering*-Einheiten in den TMU-Boards zwischengespeichert und für eine spätere Weiterleitung an den *High-Level Trigger* und das *Data Acquisition System* vorgehalten. Die Daten mehrerer Ereignisse können einlaufen, bevor eine *Level-2*-Entscheidung über das Weiterleiten oder Verwerfen der Daten eintrifft.

Die vorliegende Arbeit befasst sich mit der Entwicklung der gesamten Auslekette von den optischen Sendern der *Front-End*-Elektronik bis hin zur Weiterleitung der Ereignisdaten an das *Data Acquisition System* und den *High-Level Trigger*. Es ergibt sich dabei ein breites Spektrum interessanter Aufgabenstellungen. Im ersten Teil der Arbeit wird die optische Übertragungsstrecke für die Übermittlung der Detektordaten von der *Front-End*-Elektronik zu der *Global Tracking Unit* dargestellt. Der zweite Teil stellt das Konzept und die Implementation der *Event-Buffering*-Einheit zur Zwischenspeicherung der Ereignisrohdaten vor.

Bei der Übertragung serieller Gigabit-Signale werden hohe Anforderungen an die Integrität der elektrischen und optischen Signalformen gestellt. Auf der Empfängerseite kommen verschiedene Aspekte wie die Rekonstruktion des Sendertaktes und der Übergang der empfangenen Daten in die lokalen *Clock Domains* hinzu. Mit der in dieser Arbeit beschriebenen Kombination aus einer Optimierung der Laserdiodenansteuerung auf den *Optical Readout Interface Boards* und den passend konfigurierten *Multi-Gigabit Transceivern* in den FPGAs der TMU-Boards wird eine sehr zuverlässige Übertragung mit Bitfehlerraten unter  $10^{-15}$  erreicht. Die Auswirkungen der komplexen Konfiguration der

Transceiver-Blöcke auf die Übertragungslatenz werden diskutiert und durch eine Vermessung der Latenz der gesamten Datenstrecke überprüft. Als Teil der *Front-End-Elektronik* sind die *Optical Readout Interface Boards* erhöhter Strahlenbelastung ausgesetzt. Um die Zuverlässigkeit der Datenübertragung auch unter diesen Bedingungen garantieren zu können, ist ein Strahlentoleranztest erforderlich. Ein im Rahmen dieser Arbeit durchgeführter Test am ‚Oslo Cyclotron Laboratory‘ belegt eine ausreichende Belastbarkeit.

Die Implementation der *Event-Buffering*-Einheit stellt hohe Anforderungen an das FPGA-Design. Die Ereignisrohdaten laufen mit Datenraten von bis zu 2,71 GByte/s ein. Zwölf unabhängige Datenströme müssen für die Speicherung im externen SRAM zu einem einzigen konzentriert und in verschiedenen Bereichen des Speichers abgelegt werden. Die in dieser Arbeit vorgestellte Implementation erfüllt die Bandbreitenanforderungen und unterstützt verschachtelte Triggersequenzen. Der verfügbare Speicher reicht für die Daten von mindestens fünf Ereignissen aus. Die Synthesevorgaben sind so gewählt, dass die Einheit auf einen schmalen Bereich an einer Seite des FPGA-Fabric beschränkt ist, sie belegt rund 16 % der Ressourcen des später eingesetzten FPGA.

Zum Abschluss dieser Arbeit steht eine sehr zuverlässige optische Datenübertragung zur Auslese der Detektordaten zur Verfügung. Die 60 *Optical Readout Interface Boards* des ersten installierten Supermoduls zeigen einwandfreie Sendesignale. Für den anstehenden Testbetrieb des Supermoduls steht eine Einheit aus fünf unabhängigen TMU-Boards zur Auslese, Zwischenspeicherung und Weiterleitung der Ereignisdaten an ein *Data Acquisition System* bereit.

**Danksagung** Ich danke besonders herzlich meinem betreuenden Professor, Herrn Prof. Dr. Volker Lindenstruth, für das breite Spektrum interessanter Aufgabenstellungen und die Möglichkeit der Aufenthalte am OCL und am CERN. Bei der Zusammenarbeit mit ‚meinem Doktoranden‘ Jan de Cuveland habe ich sehr viel gelernt. Er hat mich in vieler Hinsicht unterstützt, die gemeinsame Zeit hat mich sehr bereichert. Herrn Dr. Venelin Angelov und Volker Kiworra möchte ich für die Hilfsbereitschaft danken. Mein Dank gilt auch den anderen Mitgliedern meiner Arbeitsgruppe, besonders Florian Painke und Stefan Kirsch. Till Wippermann bin ich für sein Durchhaltevermögen bei der Durchsicht der Arbeit sehr verbunden.

Mein herzlichster Dank gilt Julia Frank, die diese entbehrungsreiche Zeit mit mir zusammen durchgestanden und dabei tatkräftige Unterstützung geleistet hat.

# Anhang A

## Details der Lasertreiber-Konfiguration

### Details zur Lasertreiber-Konfiguration

Der Lasertreiber LTC5100 bietet zwei Betriebsmodi, den *Constant-Current-Control*- und den *Automatic-Power-Control*-Modus (APC). Die folgenden Tabellen geben einen Überblick über die wichtigsten Konfigurationsparameter im APC-Modus, da dieser in den *Optical Readout Interface Boards* Verwendung findet.

Parameter	Wert	Bedeutung
$I_{S\_rng}$ (2 Bit)	00b	Dieser Parameter bestimmt den zulässigen Bereich des Source-Stroms. Es gilt $I_{S\_max} = 9 \text{ mA} \cdot (I_{S\_rng} + 1)$ . Das Datenblatt der Diode gibt als Obergrenze für den maximalen kontinuierlichen Biasstrom 12 mA an. Der kleinste Bereich ist zu wählen: $0 \text{ mA} \leq I_S \leq 9 \text{ mA}$ .
$I_{M\_rng}$ (2 Bit)	00b	Dieser Parameter bestimmt den zulässigen Bereich des Modulationsstroms. Es gilt $I_{M\_max} = 9 \text{ mA} \cdot (I_{M\_rng} + 1)$ . Für die gewählte Laserdiode ist der kleinste Bereich zu wählen: $0 \text{ mA} \leq I_M \leq 9 \text{ mA}$ ( <i>Peak-to-Peak</i> ).
$I_{MD\_rng}$ (2 Bit)	10b	Dieser Parameter bestimmt den Bereich des Monitordiodenstroms. Für die gewählte Laserdiode ist der dritte Bereich geeignet: 68 – 544 $\mu\text{A}$ .
$I_{MD\_nom}$ (10 Bit)	0x1f4	Der Sollwert für den Monitordiodenstrom wird nach der Beziehung $I_{MD\_nom} = 4,25 \text{ A} \cdot 4^{I_{MD\_rng}} \cdot \exp \left\{ \ln 8 \cdot \frac{I_{MD\_nom}}{1024} \right\}$ festgelegt. Der Sollwert beträgt $\cong 181 \mu\text{A}$ , was einer optischen Leistung von 200 – 400 $\mu\text{W}$ entspricht.

**Tabelle A.1:** Die wichtigsten Konfigurationsparameter des Laserdiodentreibers im *Automatic-Power-Control*-Modus.

Parameter	Wert	Bedeutung
peaking (5 Bit)	0x12	Dieser Wert bestimmt die Stärke der auf den Modulationsstrom aufgeprägten Überschwingung bei einem Signalwechsel. Ein großer Wert bedeutet eine leichte Betonung.
APC gain (5 Bit)	0x04	Dieser Wert bestimmt die Dynamik des Servoreglers für die Einstellung des Source-Stroms anhand des Mess- und Sollwertes für den Monitordiodenstrom. Der Standardwert führt zu einem langsamen, aber stabilen Regelverhalten.
$I_M$ gain (3 Bit)	0x1	Dieser Wert bestimmt die Dynamik des Servoreglers für die Einstellung des Modulationsstroms anhand des Mess- und Sollwertes. Der Standardwert führt auch hier zu einem langsamen, aber stabilen Regelverhalten.
sys_config (8 Bit)	0x9e	Einstellungen zum Betriebsmodus: APC-Modus, CML-Terminierung, Polarität der Monitordiode
$I_{M\_tc1}$ , $I_{M\_tc2}$ (je 8 Bit)	0x8, 0x0	Korrekturkoeffizienten erster (122 ppm/°C) und zweiter (3,81 ppm/°C) Ordnung für Temperaturdrift des Modulationsstroms. Angabe als Zweierkomplement.
$I_{MD\_tc1}$ , $I_{MD\_tc2}$ (je 8 Bit)	0x8, 0x0	Korrekturkoeffizienten erster (122 ppm/°C) und zweiter (3,81 ppm/°C) Ordnung für Temperaturdrift des Monitordiodenstroms. Angabe als Zweierkomplement.
$T_{nom}$ (10 Bit)	0x272	Referenztemperatur, auf die sich die Sollwerte beziehen. Es gilt: $T_{nom} = (T + 273)/0,5$ .

**Tabelle A.2:** Die wichtigsten Konfigurationsparameter des Laserdiodentreibers im *Automatic-Power-Control*-Modus.

# Details des Strahlenhärte-tests

## Das ‚Oslo Cyclotron Laboratory‘

Das ‚Oslo Cyclotron Laboratory‘ (OCL) ist der Universität von Oslo, Norwegen, angegliedert und in den Räumen der dortigen physikalischen Fakultät untergebracht. Kernstück des OCL ist ein Zyklotron (Scanditronix MC-35), welches Protonen, Deuteronen,  $^3\text{He}$ - und  $^4\text{He}$ -Kerne auf Energien bis zu 47 MeV beschleunigt. Neben Forschungszwecken dient der Beschleuniger auch der Isotopenproduktion für medizinische Anwendungen, hauptsächlich von  $^{18}\text{F}$ , welches als Strahlenquelle für die Positronen-Emissions-Tomographie (PET) im nahegelegenen ‚Norwegian Radium Hospital‘ verwendet wird.

Abbildung A.1 gibt einen Überblick über die Strahlführung des OCL. Das Zyklotron befindet sich in einem mit zwei Meter dicken Betonwänden abgeschirmten Raum. Zur Fokussierung des Teilchenstrahls beim Austritt aus dem Beschleuniger dient der Quadrupolmagnet Q1. Ein Magnet kann zur Ablenkung des Strahls auf Ziele für die  $^{211}\text{At}$ - oder  $^{18}\text{F}$ -Produktion verwendet werden. *Faraday Cup* F1 dient zur Unterbrechung und Strahls und zur Messung seiner Intensität. Über einen Analysatormagneten kann der Teilchenstrahl in das Strahlrohr des Experimentalbereiches geführt werden. Eine *Faraday Cup* dient auch hier zur Unterbrechung und Intensitätsmessung. Ein weiterer Quadrupolmagnet (Q2) dient zur erneuten Fokussierung des Strahls. Ein Selektormagnet erlaubt die Umlenkung auf einen der Experimentplätze.

## Nachweis-Effizienz des *Thin-film-Breakdown*-Zählers

Zur Messung der Protonenflussdichte wurde ein *Thin-film-Breakdown*-Zähler[EPS95] eingesetzt. Die Nachweis-Effizienz des Zählers hängt von der kinetischen Energie der Protonen und der angelegten Vorspannung ab. Für die Bestimmung der Flussdichten wurde ein aus Tabelle A.3 interpolierter Wert von  $1,52 \cdot 10^{-8}$  für eine Protonenenergie von 27,7 MeV verwendet.

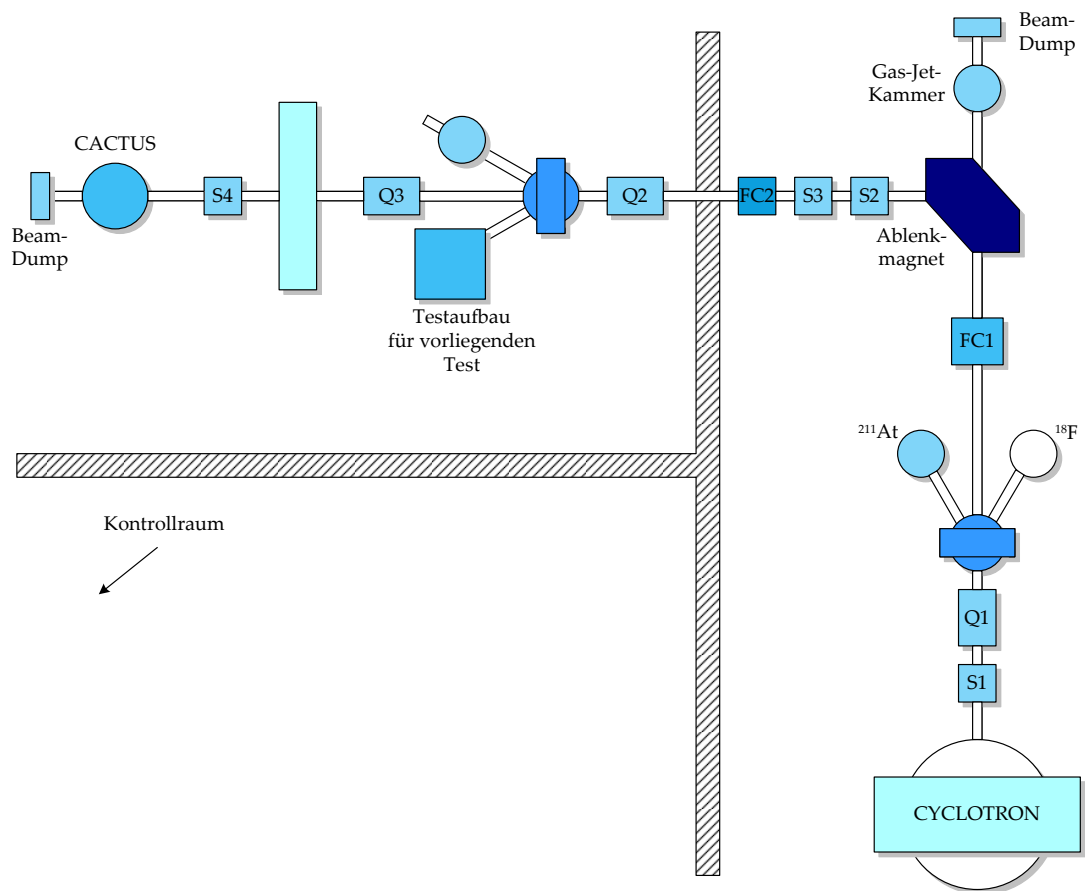
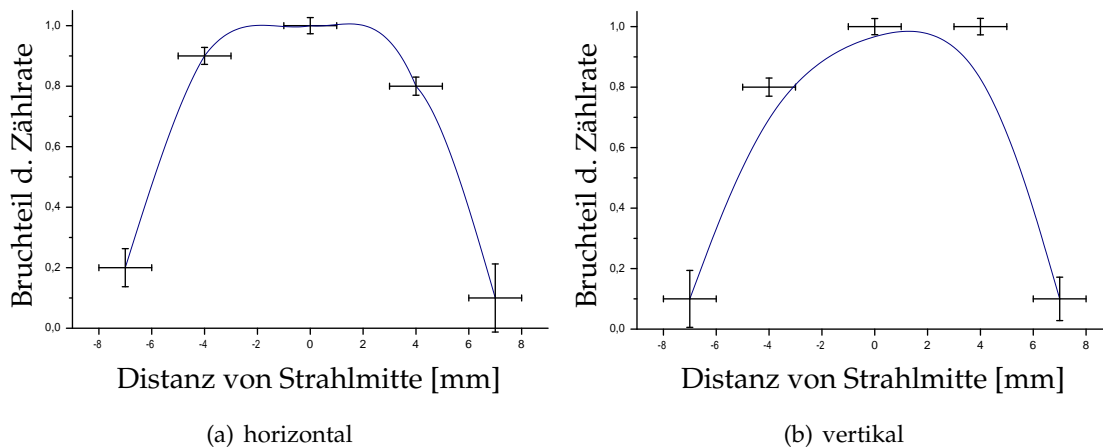


Abbildung A.1: Aufbau des ‚Oslo Cyclotron Laboratory‘.



E [MeV]	$S_{60}$	$\Delta S_{60}$	$S_{75}$	$\Delta S_{75}$
20	$5,50 \cdot 10^{-9}$	13,3 %	$1,07 \cdot 10^{-8}$	12,9 %
21	$5,91 \cdot 10^{-9}$	13,3 %	$1,15 \cdot 10^{-8}$	12,9 %
22	$6,29 \cdot 10^{-9}$	13,3 %	$1,22 \cdot 10^{-8}$	12,9 %
23	$6,63 \cdot 10^{-9}$	13,3 %	$1,28 \cdot 10^{-8}$	12,9 %
24	$6,96 \cdot 10^{-9}$	13,3 %	$1,34 \cdot 10^{-8}$	12,9 %
25	$7,27 \cdot 10^{-9}$	13,3 %	$1,40 \cdot 10^{-8}$	12,9 %
26	$7,55 \cdot 10^{-9}$	13,3 %	$1,45 \cdot 10^{-8}$	12,9 %
27	$7,82 \cdot 10^{-9}$	13,3 %	$1,49 \cdot 10^{-8}$	12,9 %
28	$8,05 \cdot 10^{-9}$	13,3 %	$1,53 \cdot 10^{-8}$	12,9 %
29	$8,27 \cdot 10^{-9}$	13,3 %	$1,57 \cdot 10^{-8}$	12,9 %
30	$8,45 \cdot 10^{-9}$	13,3 %	$1,60 \cdot 10^{-8}$	12,9 %
31	$8,60 \cdot 10^{-9}$	13,3 %	$1,62 \cdot 10^{-8}$	12,9 %
32	$8,72 \cdot 10^{-9}$	13,3 %	$1,65 \cdot 10^{-8}$	12,9 %
33	$8,79 \cdot 10^{-9}$	13,3 %	$1,66 \cdot 10^{-8}$	12,9 %
34	$8,82 \cdot 10^{-9}$	13,3 %	$1,67 \cdot 10^{-8}$	12,9 %
35	$8,81 \cdot 10^{-9}$	13,3 %	$1,68 \cdot 10^{-8}$	12,9 %

**Tabelle A.3:** Nachweis-Effizienz des verwendeten *Thin-Film-Breakdown*-Zählers mit der Bezeichnung *r26*.  $E$  ist die kinetische Energie der Protonen,  $S_{75}$  die Nachweis-Effizienz bei einer Vorspannung von 75 V und  $\Delta S_{75}$  der relative Fehler der Nachweis-Effizienz. Die beiden anderen Spalte beziehen sich auf eine Vorspannung von 60 V. Die Daten wurden erstellt von A. Smirnov und V. Khlopin am ‚Radium Institute‘ in St. Petersburg, Russland [Rø04].



**Abbildung A.2:** Horizontales und vertikales Profil des Protonenstrahls zu Beginn der ersten Messperiode; zu dieser Zeit wurde noch keine Blende verwendet. Aus den beiden Strahlprofilen lässt eine Halbwertsbreite von etwa 1,3 cm abschätzen. Aufgrund des Messaufbaus ist diese Messung jedoch sehr unzuverlässig. Die am zweiten Messtag eingeführte Blende definiert die bestrahlte Fläche wesentlich genauer.

Lauf	Ziel	$\Phi [\frac{1}{cm^2s}]$	$F [\frac{1}{cm^2}]$	D [Gy]	T [a]	Zustand
08-1	1 – Serializer	$2,1 \cdot 10^7$	$1,1 \cdot 10^{10}$	30,8	171	ok
08-2	1 – Serializer	$2,1 \cdot 10^8$	$1,1 \cdot 10^{11}$	317,9	1766	ok
08-3	1 – Serializer	Probleme mit der Strahlstabilität				
08-4	1 – Lasertreiber	$1,1 \cdot 10^8$	$5,4 \cdot 10^{11}$	155,7	865	Ausfall
09-1a	1 – Lasertreiber	$1,2 \cdot 10^8$	$1,6 \cdot 10^{10}$	45,6	253	Ausfall
09-1b	1 – 3.3 V-Regler	$1,2 \cdot 10^8$	$1,8 \cdot 10^{10}$	50,7	281	Ausfall
09-1c	1 – 2.5 V-Regler	$1,1 \cdot 10^8$	$2,6 \cdot 10^{10}$	74,2	412	Ausfall
09-2a	2 – LVDS-Wandler	$2,8 \cdot 10^7$	$2,8 \cdot 10^9$	8,0	44	ok
09-2b	2 – LVDS-Wandler	$2,8 \cdot 10^7$	$2,8 \cdot 10^9$	8,0	44	ok
09-2c	2 – LVDS-Wandler	$2,8 \cdot 10^7$	$2,8 \cdot 10^9$	8,0	44	ok
09-3a	2 – Lasertreiber	$2,8 \cdot 10^7$	$2,8 \cdot 10^9$	8,0	44	ok
09-3b	2 – Lasertreiber	$2,8 \cdot 10^7$	$2,8 \cdot 10^9$	8,0	44	ok
09-3c	2 – Lasertreiber	$2,8 \cdot 10^7$	$2,8 \cdot 10^9$	8,0	44	ok
09-3d	2 – Lasertreiber	$2,8 \cdot 10^7$	$2,8 \cdot 10^9$	8,0	44	ok
09-3e	2 – Lasertreiber	$2,8 \cdot 10^7$	$2,8 \cdot 10^9$	8,0	44	ok
09-3f	2 – Lasertreiber	$2,3 \cdot 10^7$	$2,3 \cdot 10^9$	6,7	37	ok
09-4a	2 – CPLD	$1,9 \cdot 10^7$	$1,9 \cdot 10^9$	5,5	31	ok
09-4b	2 – CPLD	$1,9 \cdot 10^7$	$1,9 \cdot 10^9$	5,5	31	ok
09-5a	2 – EEPROM	$1,8 \cdot 10^7$	$1,8 \cdot 10^9$	5,1	29	ok
09-5b	2 – EEPROM	$1,8 \cdot 10^7$	$1,8 \cdot 10^9$	5,1	29	ok
09-5c	2 – EEPROM	$1,8 \cdot 10^7$	$1,8 \cdot 10^9$	5,1	29	ok
09-5d	2 – EEPROM	$1,8 \cdot 10^7$	$8,9 \cdot 10^8$	2,6	14	Ausfall
09-6a	2 – EEPROM	$1,8 \cdot 10^7$	$1,8 \cdot 10^9$	5,1	29	ok
09-6b	2 – EEPROM	$1,8 \cdot 10^7$	$1,8 \cdot 10^9$	5,1	29	ok
09-6c	2 – EEPROM	$1,8 \cdot 10^7$	$1,8 \cdot 10^9$	5,1	29	ok
09-6d	2 – EEPROM	$1,8 \cdot 10^7$	$1,8 \cdot 10^9$	5,1	29	ok
09-7a	2 – Laserdiode	$9,2 \cdot 10^6$	$9,2 \cdot 10^8$	2,7	15	ok
09-7b	2 – Laserdiode	$9,2 \cdot 10^6$	$9,2 \cdot 10^8$	2,7	15	ok
09-7c	2 – Laserdiode	$9,2 \cdot 10^6$	$9,2 \cdot 10^8$	2,7	15	ok
09-7d	2 – Laserdiode	$9,2 \cdot 10^6$	$9,2 \cdot 10^8$	2,7	15	ok
09-7e	2 – Laserdiode	$9,2 \cdot 10^6$	$9,2 \cdot 10^8$	2,7	15	ok
10-1a	2 – Lasertreiber	$1,8 \cdot 10^8$	$1,8 \cdot 10^{10}$	51,4	286	ok
10-1b	2 – Lasertreiber	$1,5 \cdot 10^8$	$4,5 \cdot 10^9$	13,1	73	Ausfall
10-2	2 – EEPROM	Lasertreiber blockiert I <sup>2</sup> C-Auslese				
10-3	3 – Lasertreiber	$1,2 \cdot 10^8$	$1,2 \cdot 10^{10}$	35,7	198	ok
10-4	3 – CPLD	$1,2 \cdot 10^8$	$3,7 \cdot 10^9$	10,7	60	Ausfall
10-5	3 – CPLD	$1,2 \cdot 10^8$	$3,5 \cdot 10^9$	10,0	56	Ausfall
10-6a	3 – CPLD	$1,2 \cdot 10^8$	$1,2 \cdot 10^{10}$	35,7	198	ok
10-6b	3 – CPLD	$1,2 \cdot 10^8$	$1,1 \cdot 10^{10}$	32,1	178	Datenfehler

**Tabelle A.4:** Perioden des Strahlentoleranztests. Das Ziel ist jeweils mit der Nummer des verwendeten ORI-Boards und dem Typ des bestrahlten Bauteils angegeben.  $\Phi$  die Flussdichte während der Bestrahlung. Die Spalten  $F$ ,  $D$  und  $T$  bezeichnen Fluenz, Dosis und äquivalente Betriebsdauer. Die letzte Spalte gibt Auskunft über den Zustand des Bauteils nach der Bestrahlung.

# Diagnostik-Software für die Lasertreiber-Konfiguration

Die Software zum Schreiben und Auslesen der Lasertreiber-Register und des Konfigurations-EEPROMs implementiert einen I<sup>2</sup>C-Master und passende Ansteuerung zweier bidirektionaler I/O-Zellen im dazugehörigen Design für eine ACEX-Karte. Eine Übersicht der Parameter und eine typische Ausgabe sind im Folgenden dargestellt.

```
> ltc
```

```
Usage: ltc [Options]
```

```
Options:
```

```
-status          Read out LTC status via I2C and print it.
-phys           Display physical quantities.
-w <address> <value> Write value to address.
-s <alias> <value> Set values by alias.
                 Available aliases are:
                 IS_RNG <0, 1, 2, 3> Source Current Range
                 IM_RNG <0, 1, 2, 3> Modulation Current Range
                 IMD_RNG <0, 1, 2, 3> Monitor Diode Current Range
                 PROT <OP, UP, OC> Enable/Disable fault detection
                 APC_GAIN <gain> Set APC loop gain
                 IM_GAIN <gain> Set modulation current loop gain
                 T <temperature> Set nominal temperature in degree C
                 PEAK <peaking> Set peaking value
                 IMD_NOM <md current> Set monitor diode current in uA.
                 P <opt. power> Set approx. optical power in uW.
```

```
> ltc -status
```

```
0x01 0x0366 SOURCE_DAC - source current = 7.6 mA
0x02 0x03ff IM_DAC     - modulation current DAC = 9.0 mA (p-p)
0x03 0x0040 PWR_LIMIT
0x05 0x028e INT_TEMP   - die temperature = 54.0 C
0x06 0x01d8 IM_ADC     - modulation current = 4.15 mA
0x07 0x0206 IS_ADC     - monitor current = 194.69 uA -> P = 333uW
0x08 0x0044 RESERVED
0x0d 0x0000 EXT_TEMP
0x10 0x009e SYS_CONFIG - 1001 1110 - APC mode
```

## Anhang

---

0x11 0x0071 LASER LIMIT - 111 0001 - Base current limit = 7.9 mA  
0x12 0x0700 FLT\_STATUS - 0111 0000 0000 - READY LASING  
0x13 0x02c7 FLT\_CONFIG - 0010 1100 0111 - AUTO\_SHUTDOWN OVR\_CURR\_PROT  
UNDR\_PWR\_PROT OVR\_PWR\_PROT  
0x15 0x0200 IMD / BIAS - 0010 0000 0000 - IMD\_NOM = 512 = 192.3 uA,  
Source current range < 9 mA  
0x16 0x0008 IMD\_TC1 - 1. order monitor diode temp. coeff. = 8  
0x17 0x0000 IMD\_TC2 - 2. order monitor diode temp. coeff. = 0  
0x18 0x0745 INT\_ADC 0 - 0000 0111 0100 0101 - SRC current = 7.36 mA  
0x18 0x15d8 INT ADC 1 - 0001 0101 1101 1000 - Avg MOD current = 4.15 mA  
0x18 0x2606 INT ADC 2 - 0010 0110 0000 0110 - Laser voltage = 1.771 V  
0x18 0x3606 INT ADC 3 - 0011 0110 0000 0110 - Monitor current = 194.7 uA  
0x18 0x468e INT ADC 4 - 0100 0110 1000 1110 - Temperature = 54.0 °C  
0x18 0x57c5 INT ADC 5 - 0101 0111 1100 0101 - Term. resist. volt. = 377 mV  
0x19 0x0200 LASER MOD - 0010 0000 0000 - Mod current range = 9 mA (pp)  
0x1a 0x0004 IM\_TC1 - 1. order modulation current temp. coeff. = 4  
0x1b 0x0000 IM\_TC2 - 2. order modulation current temp. coeff. = 0  
0x1d 0x0a72 T\_NOM - 1010 0111 0010 - Monitor current range = 68-544 uA,  
T\_NOM=40 C  
0x1e 0x0021 LOOP\_GAIN - 0000 0000 0010 0001 - APC gain = 4, IM gain = 1  
0x1f 0x0010 PEAKING - 1 0000 - Peaking = 16

# Technische Details der Empfänger

## Wichtige Answer Records zu den MGT-Blöcken

Eine Reihe von Änderungen insbesondere in der Analog-Konfiguration der MGT-Blöcke der Virtex-4-FPGAs ist für eine zuverlässige Funktion zu berücksichtigen. Verschiedene Versionen der Synthese-Software liefern unterschiedliche Kombinationen veralteter Werte. In Tabelle A.5 sind die wichtigsten *Answer Records* im Zusammenhang mit den MGT-Blöcken und der Erzeugung des Referenztakts aufgelistet.

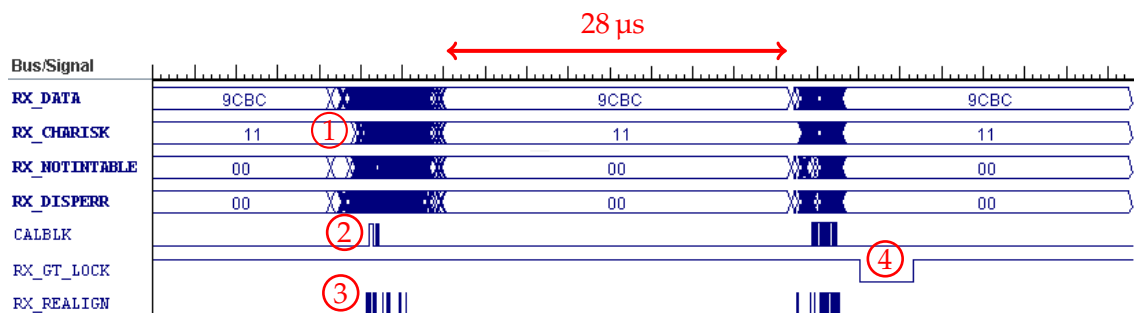
Nummer	Titel
20977	Does the DFE affect the latency of the PMA?
21582	How do I set the ...RXCLK0_FORCE_PMACLK attributes?
21672	Updated Rocket-IO attribute settings for ISE 7.x Architecture Wizard
22471	RocketIO Serial Transceivers - Static Operating Behavior
22477	Calibration Block for CES2, CES3, and CES4 FX devices
22845	RocketIO Wizard v1.1 Release Notes and Known Issues
24077	Virtex-4 RocketIO Wizard v1.2 - Mandatory Tactical Patch
21577	Where are the RX_LOS_THRESHOLD_INCR ... attributes?
21811	How can I adjust the sample location on my eye diagram?
21815	How many bits does the VCODAC_INIT attribute have?
21838	What are the TXCPSEL and RXCPSEL attributes?
22074	What does CLK_COR_SEQ_DROP do?
21140	What is the clock ppm tolerance of the Virtex-4 RocketIO?
21354	Are there any skew requirements on RXUSRCLK and RXUSRCLK2?
21012	How do I set up the MGT to initialize correctly in my design?
21188	Why is CLK_COR_SEQ_1_x not working correctly in simulation?
21007	Why is the RX/TXPCSHCLKOUT not working in hardware?

**Tabelle A.5:** Während der Entwicklung berücksichtige *Answer Records* zu den MGT-Blöcken

## Engineering Samples und Produktionsvarianten des FPGA

Die ersten Prototypen des TMU-Boards wurden mit *Engineering Samples* des Virtex-4-FX60 der ersten Generation (ES1-10C) bestückt. Wie in den Errata beschrieben, waren die darin enthaltenen MGT-Blöcke für eine Datenübertragung nicht ausreichend stabil.

Um die Zeit bis zur Verfügbarkeit besserer Varianten dennoch nutzen zu können, wurde ein FPGA-Design entwickelt, welches durch eine sorgsam gewählte Konfiguration der PLL-Analogteile eine Datenübertragung zumindest für kurze Zeiten ermöglichte. In diesem Design kam bereits der für spätere Varianten herausgegebene *MGT Calibration Block* in seiner ersten Version zum Einsatz. Die prinzipielle Funktionsfähigkeit der Übertragung zwischen zwei MGT-Blöcken mit unabhängigen Takten konnte mit diesem Aufbau gezeigt werden, kurze Datensequenzen ließen sich fehlerfrei übertragen. Eine Abschätzung der Fehlerraten war jedoch nicht möglich, da die PLL-Blöcke der Empfänger in unregelmäßigen Abständen von einigen Mikrosekunden die Synchronität zum Datenstrom verloren. Abbildung A.3 zeigt eine Aufnahme der relevanten Signale durch einen in das Design integrierten ChipScope-Logikanalysator<sup>1</sup>. Während der Sender einen kontinuierlichen Strom aus Komma-Zeichen liefert, zeigt der Datenpfad des Empfängers (in der Abbildung als RX\_DATA bezeichnet) nach einiger Zeit Zufallswerte an. Die begleitenden Statussignale weisen auf Bitmuster hin, die ausserhalb des 8B/10B-Code-Raumes liegen (angezeigt durch das Signal RX\_NOT IN TABLE) und Disparitätfehler (RX\_DISPERR). Wenig später führt das PCS mehrere *Realigning*-Vorgänge aus um die Ausrichtung der Wortgrenzen zu rejustieren und der *Calibration Block* wird aktiv. Auffällig ist auch, dass das Signal, welches das Einrasten des PLL auf den Datenstrom anzeigen soll, (RX\_GT\_LOCK) nicht zuverlässig ist.



**Abbildung A.3:** Probleme mit dem *Engineering Sample* ES1 des Xilinx Virtex™-4-FX60. Bei kontinuierlichen Strom aus Komma-Zeichen verliert der PLL zur Rekonstruktion des Sendetakes in unregelmässigen Intervallen die Synchronizität zum Datenstrom. Die Folge sind zufällige Datenwerte, die in den meisten Fällen durch eines der Fehlerflags gekennzeichnet sind.

Mit neueren *Engineering Samples* (FX60 ES4-10C) bestückt, zeigen die beiden Prototypen-Boards sehr geringe Fehlerraten bei der Datenübertragung. Ergebnisse mit den im späteren Betrieb eingesetzten FX100-11-Typen stehen zum Abschluss dieser Arbeit noch nicht

<sup>1</sup> Xilinx ChipScope bietet eine Reihe von Funktionsblöcken, die mit dem zu testenden FPGA-Design integriert werden können. Mittels Software werden die Funktionsblöcke über die JTAG-Programmierschnittstelle des FPGA angesteuert und ihre Funktionen dem Benutzer zur Verfügung gestellt. Ein wichtiger Funktionsblock ist der *Integrated Logic Analyzer* (ILA).

---

zur Verfügung.





## Literaturverzeichnis

- [A L] A LARGE ION COLLIDER EXPERIMENT (ALICE) AT CERN LHC. *Homepage*. URL <http://aliceinfo.cern.ch>
- [ALI01] ALICE COLLABORATION: ALICE Technical Design Report of the Transition Radiation Detector / CERN. Genf : CERN/LHCC, 2001 ( CERN/LHCC 2001-021). – Forschungsbericht. – 246 S. – ISBN 92–9083–184–7
- [ALI05] ALICE COLLABORATION: ALICE Technical Design Report of the Computing / CERN. Genf : CERN/LHCC, 2005 ( CERN/LHCC 2005-018). – Forschungsbericht. – ISBN 92–9083–247–9
- [BL<sup>+</sup>] BUSSON, Ph. ; L.DOBRZYNSKI [u. a.]: A solution to reduce the latency of a Multi Gigabit Transceiver (Virtex-II Pro).
- [CCC<sup>+</sup>] CARENA, F. ; CARENA, W. ; CHAPELAND, S. ; MARIN, J.C. ; VYVRE, P. V. ; SCHOSSMAIER, K. [u. a.]: The ALICE Data-Acquisition Read-out Receiver Card.
- [CER] CERN. *Homepage*. URL <http://www.cern.ch>
- [Cuv] DE CUVELAND, Jan: *Online Track Reconstruction of the ALICE Transition Radiation Detector at LHC (CERN)*. Heidelberg, Universität Heidelberg, Kirchhoff-Institut für Physik, Diss.. – Veröff. gepl.
- [Cuv03] DE CUVELAND, Jan: *Entwicklung der globalen Spurrekonstruktionseinheit für den ALICE-Übergangsstrahlungsdetektor am LHC (CERN)*. Heidelberg, Universität Heidelberg, Kirchhoff-Institut für Physik, Diplomarbeit, 2003. – 117 S
- [DDX95] DENNISON, L. ; DALLY, W. ; XANTHOPOULOS, T. *Low-latency plesiochronous data retiming*. 1995
- [DJV] DIVIÀ, R. ; JOVANOVIĆ, P. ; VYVRE, P. V.: Data Format over the ALICE DDL. ALICE-INT-2002-010
- [EPS95] EISMONT, V. P. ; PROKOFIEV, A. V. ; SMIRNOV, A. N.: Thin-Film Breakdown Counters and Their Applications. In: *Radiation Measurements* Volume 25, Nos 1-4 (1995), S. 151–156
- [F<sup>+</sup>03] FASSO, A. [u. a.]: The FLUKA code: present applications and future developments. In: *Proc. of Computing in High Energy and Nuclear Physics*, 2003

- [Fac] FACCIO, Federico: COTS for the LHC environment: the rules of the game.
- [FLU] FLUKA. *Online Manual*. URL <http://www.fluka.org>
- [Jan04] JANSSON, Andreas: Radiation tests of the Texas Instruments TLK2501 in the Tevatron Tunnel. (2004)
- [LARP05] LINDENSTRUTH, V. ; ANGELOV, V. ; RETTIG, F. ; POPOV, P.: Optical Readout Interface for the ALICE TRD. In: *GSI Scientific Report* (2005)
- [LTM<sup>+</sup>] LINDENSTRUTH, V. ; TILSNER, H. ; MARTENS, S. [u. a.]: DCS Board Production Readiness Review. DS302 Version 1.14.1
- [M<sup>+</sup>] MORSCH, Andreas [u. a.]. *FLUKA Simulations for ALICE*. URL <http://aliceinfo.cern.ch/static/Offline/fluka/Welcome.html>
- [Mor04a] MORSCH, Andreas. *Radiation Levels in ALICE*. August 2004
- [Mor04b] MORSCH, Andreas: *Radiation Levels in ALICE Detectors and Electronic Racks*, ALICE-INT-2002-28, March 2004
- [Rø04] RØED, Ketil: *Irradiation tests of ALTERA SRAM-based FPGAs*. Heidelberg, University of Bergen, Department of Physics and Technology, Masterarbeit, May 2004. – 127 S
- [SAP] SUIRE, C. ; ARBA, M. ; PAL, S.K.: Radiation Studies for the Readout Electronic of the ALICE Dimuon Forward Spectrometer. ALICE-INT-2005-008
- [Sch03] SCHNEIDER, Rolf: *Entwicklung des Triggerkonzeptes und die entsprechende Implementierung eines 200 GB/s Auslesenetzwerks für den ALICE-Übergangsstrahlungsdetektor*. Heidelberg, Universität Heidelberg, Kirchhoff-Institut für Physik, Diss., 2003
- [Sex01] SEXAUER, Edgar: *Development of Hard Readout Electronics for LHCb*. Kirchhoff-Institut für Physik, Heidelberg, Diss., 2001. – 99 S
- [SFF00a] SFF COMMITTEE. *INF-8074i Small Form-factor Pluggable (SFP) Transceiver MultiSource Agreement (MSA)*. URL <http://www.sffcommittee.com/ie/Specifications.html>. 2000
- [SFF00b] SFF COMMITTEE. *SFF-8472 Specification for Diagnostic Monitoring Interface for Optical Xcvrs*. 2000
- [Stö00] STÖCKER, Horst (Hrsg.): *Taschenbuch der Physik*. 4., korrigierte Aufl. Thun ; Frankfurt am Main : Deutsch, 2000. – 1088 S. – ISBN 3–8171–1628–4
- [Tsi05] TSILEDAKIS, Georgios: *Scale Dependence of Mean Transverse Momentum Fluctuations at Top SPS Energy measured by the CERES experiment and studies of gas properties for the ALICE experiment*. Fachbereich Physik, Technische Universität Darmstadt, Diss., 2005. – 212 S

- [WF83] WIDMER, A. X. ; FRANASZEK, P. A.: A DC-Balanced, Partitioned-Block, 8B/10B Transmission Code. In: *IBM Journal of Research and Development* Volume 27, Number 5 (1983), S. 440–451
- [Won94] WONG, Cheuk-Yin: *Introduction to high-energy heavy-ion collisions*. Singapore ; London : World Scientific, 1994. – 516 S. – ISBN 981–02–0264–4
- [Xil06a] XILINX, Incorporation: Rocket-IO User Guide. UG070 Version 3.2 (2006)
- [Xil06b] XILINX, Incorporation: Virtex-4 Family Overview. DS112 Version 1.6 (2006)
- [Y+06] YAO, W.-M. [u. a.]: Review of Particle Physics. In: *Journal of Physics G* 33 (2006), S. 1+



## **Erklärung zur selbständigen Verfassung**

Ich versichere, dass ich die vorliegende Diplomarbeit selbständig verfasst und keine anderen als die angegebenen Quellen und Hilfsmittel benutzt habe.

Heidelberg, im Januar 2007

*Felix Rettig*