



Andreas Grübl

---

Eine FPGA-basierte Plattform  
für neuronale Netze

Diplomarbeit

HD-KIP-03-02

**Fakultät für Physik und Astronomie**  
**Ruprecht-Karls-Universität Heidelberg**

Diplomarbeit  
im Studiengang Physik

vorgelegt von  
**Andreas Grübl**  
aus Erlangen  
2003



# **Eine FPGA-basierte Plattform für neuronale Netze**

Die Diplomarbeit wurde von Andreas Grübl ausgeführt am  
Kirchhoff-Institut für Physik  
unter der Betreuung von  
Herrn Prof. Dr. Karlheinz Meier



## **Eine FPGA-basierte Plattform für neuronale Netze**

In der vorliegenden Arbeit wurden Platinen entwickelt, welche es ermöglichen sollen, ein verteiltes, skalierbares System aus neuronalen Netzwerk-ASICs aufzubauen. Die Entwicklung der Platine NATHAN wird beschrieben, welche die zum Betrieb des HAGEN-ASICs erforderliche Infrastruktur bereitstellt. Herzstück der Platine ist ein programmierbarer Logikbaustein (FPGA) mit integriertem Mikroprozessor, wodurch es möglich ist, bereits bestehende Software eines PC-gestützten ASIC-Testsystems größtenteils zu übernehmen. Darüberhinaus verfügt der auf dieser Platine verwendete FPGA über serielle Hochgeschwindigkeitsschnittstellen. Diese Schnittstellen können benutzt werden, um die Netzwerktopologie der HAGEN-ASICs über Chipgrenzen hinweg zu skalieren. Dies wird durch eine ebenfalls in dieser Arbeit entwickelte Backplane realisiert, welche die notwendigen Versorgungsspannungen bereitstellt und die Kommunikation der Platinen untereinander ermöglicht. Die Verwendung moderner Komponenten und Signalübertragungstechniken stellten Herausforderungen an das Layout der Platinen, welche durch die Verwendung numerischer Simulationsverfahren angegangen wurden.

## **An FPGA-based platform for neural networks**

The presented thesis describes the development of printed circuit boards which shall be used to build a distributed and scalable system of artificial neural network ASICs. The development of the NATHAN module is described which provides the necessary infrastructure for the operation of the HAGEN ASIC. The main component of the module is a programmable logic device (FPGA) with an integrated micro processor core. This is to ensure the re-use of already developed software of a PC-based ASIC test system. Furthermore, the FPGA provides several serial high-speed links. These links can be used to scale the network topology of the HAGEN ASIC beyond its chip boundaries. This is realized by a backplane, developed as well within this thesis, which supplies the necessary power requirements and allows the communication among the NATHAN modules. The useage of modern components and signal transmission techniques led to the application of numerical signal integrity analysis methods.

# Inhaltsverzeichnis

<b>1</b>	<b>Einführung und Motivation</b>	<b>1</b>
<b>2</b>	<b>Grundlagen zum Signaltransport auf Leiterplatten</b>	<b>5</b>
2.1	Theorie zur Signalübertragung . . . . .	5
2.1.1	Benötigte Elektrodynamik . . . . .	6
2.1.2	Modell des Ersatzschaltkreises . . . . .	7
2.1.3	Reflexion . . . . .	8
2.1.4	Übersprechen . . . . .	9
2.1.5	Transmittivität . . . . .	10
2.1.6	Überschwingen . . . . .	11
2.2	Strategien zur Sicherung der Signalqualität . . . . .	12
2.2.1	Übergangszeiten und Verzögerung . . . . .	12
2.2.2	Einfache Datenleitungen . . . . .	13
2.2.3	Differentielle Datenleitungen . . . . .	15
2.2.4	Terminierungstechniken . . . . .	17
2.3	Strategien zur Sicherung der Symbolintegrität . . . . .	22
2.3.1	Charakterisierung digitaler Signale . . . . .	23
2.3.2	Verwendete Signalstandards . . . . .	25
2.3.3	Übertragungsstrategien . . . . .	29
2.4	SI-Analyse mit SPECCTRAQuest/SigXP . . . . .	31
2.4.1	Voraussetzungen . . . . .	32
2.4.2	Generierung des Ersatzschaltkreises . . . . .	33
2.4.3	Simulationstypen . . . . .	35
<b>3</b>	<b>Schaltungsentwurf</b>	<b>39</b>
3.1	Übersicht über das Gesamtsystem . . . . .	39
3.2	Auswahl der Komponenten . . . . .	40
3.3	Schaltungsentwurf der Platine NATHAN . . . . .	43
3.3.1	Schnittstelle des ANN HAGEN . . . . .	43
3.3.1.1	Strom- und Spannungsreferenzen . . . . .	45
3.3.2	Statisches (S-) RAM . . . . .	46
3.3.2.1	Synchrone LVCMOS-Schnittstelle . . . . .	46
3.3.3	Synchron-dynamisches DDR (SD-)RAM . . . . .	48
3.3.3.1	Quellensynchrone SSTL2-Schnittstelle . . . . .	49
3.3.3.2	Terminierung des DDR-SDRAM-Busses . . . . .	50
3.3.4	FPGA . . . . .	51
3.3.4.1	FPGA-Taktung und Takt-Management . . . . .	51
3.3.4.2	Fähigkeiten der DCMs . . . . .	52
3.3.4.3	Anschlussbelegung des FPGAs . . . . .	54
3.3.4.4	Terminierungen am FPGA . . . . .	56

3.3.4.5	Serielle Multi-Gigabit-Transceiver (MGTs) . . . . .	57
3.3.4.6	Steckplätze für die nächste ANN-Generation . . . . .	58
3.4	Anschlussbelegung des Sockels . . . . .	60
3.5	Schaltungsentwurf der Backplane . . . . .	61
3.5.1	Topologie des Netzwerks . . . . .	61
3.5.2	Die Schnittstelle zu Darkwing . . . . .	62
3.5.3	Globale Taktgenerierung . . . . .	64
3.5.4	Abschätzung der Leistungsaufnahme . . . . .	65
3.5.5	Blockkondensatoren auf NATHAN . . . . .	68
3.5.6	Spannungsversorgung . . . . .	69
3.6	Erweiterungsmöglichkeiten . . . . .	73
<b>4</b>	<b>Layout</b>	<b>75</b>
4.1	Technologie und Lagenaufbau . . . . .	75
4.1.1	Standard 4-Lagen Aufbau . . . . .	75
4.1.2	MicroVia-Build-up Prozess und Feinstleiteteknik . . . . .	76
4.2	Layout der Platine NATHAN . . . . .	77
4.2.1	Impedanzkontrollierte Strukturen . . . . .	77
4.2.2	Möglichkeiten zur Optimierung von Signallaufzeiten . . . . .	79
4.2.3	FPGA . . . . .	79
4.2.3.1	Differentielle Datenleitungen . . . . .	80
4.2.4	HAGEN . . . . .	82
4.2.4.1	Anforderungen an die Signallaufzeiten . . . . .	83
4.2.4.2	Simulationen . . . . .	84
4.2.5	Statisches (S-) RAM . . . . .	85
4.2.5.1	Anforderungen an die Signallaufzeiten . . . . .	86
4.2.5.2	Simulationen . . . . .	87
4.2.6	Synchron dynamisches DDR (SD-) RAM . . . . .	88
4.2.6.1	Anforderungen an die Signallaufzeiten . . . . .	89
4.2.6.2	Simulationen . . . . .	89
4.3	Layout der Backplane . . . . .	93
4.3.1	Impedanzkontrollierte Strukturen . . . . .	94
4.3.2	Leiterbahnführung auf der Backplane . . . . .	94
4.3.3	Spannungsversorgung . . . . .	96
<b>5</b>	<b>Zusammenfassung und Ausblick</b>	<b>99</b>
<b>A</b>	<b>Schaltpläne</b>	<b>i</b>
A.1	NATHAN . . . . .	i
A.2	Backplane . . . . .	vii
<b>B</b>	<b>Lagenpläne</b>	<b>xi</b>
B.1	NATHAN . . . . .	xi
B.2	Backplane . . . . .	xvi
<b>C</b>	<b>Würth-Constraints</b>	<b>xxi</b>
C.1	Build-Up Microvia-Prozess (NATHAN) . . . . .	xxi
C.2	Standard 4-Lagen-Prozess (Backplane) . . . . .	xxii
<b>D</b>	<b>Bestückung</b>	<b>xxiii</b>
D.1	Bestückung von NATHAN . . . . .	xxiii



D.2 Bestückung der Backplane . . . . .	xxvii
<b>E Anschlussbelegung des SCSI-Steckers</b>	<b>xxxix</b>
<b>F Korrekturen</b>	<b>xxxix</b>
<b>Literaturverzeichnis</b>	<b>xxxix</b>

# Kapitel 1

## Einführung und Motivation

Die Entwicklung künstlicher neuronaler Netze (KNN<sup>1</sup>) war von Anfang an stark von der Erkenntnis inspiriert, dass das menschliche Gehirn Information komplett anders verarbeitet als ein herkömmlicher Computer. Das Gehirn ist ein sehr komplexes und parallel arbeitendes Informationsverarbeitungssystem. Einer seiner wichtigsten Vorteile ist seine Anpassungsfähigkeit, wodurch es ihm möglich wird, bestimmte Aufgaben (z.B. Mustererkennung) sehr effizient lösen zu können.

Erste Ideen zur Nachbildung neuronaler Netze haben ihren Ursprung im Jahre 1943 mit der Arbeit von McCulloch und Pitts. Sie beschrieben in ihrem Aufsatz neuronale Netze, welche auf Neuronen basieren, die durch wenige, grundsätzliche Annahmen definiert werden („McCulloch-Pitts“-Neuron, [MP43]) und zeigten, dass einfache Klassen von neuronalen Netzen im Prinzip jede arithmetische und logische Funktion berechnen können. Der Aufbau dieser Systeme folgt dem biologischen Vorbild, indem einzelne Neuronen über Synapsen verbunden werden. Die Struktur dieses Netzwerkes wird durch unterschiedliche Gewichte einzelner Synapsen definiert.

Die konsequente Weiterentwicklung dieser Idee führte dazu, dass neuronale Netze heutzutage nicht nur gebräuchliche Werkzeuge in der Computerwissenschaft, sondern auch in alltäglichen Anwendungen zu finden sind. Vor allem bei der Interaktion Mensch - Maschine zeigen biologisch inspirierte Systeme bemerkenswerte Ergebnisse. Erfolgreiche Beispiele hierfür sind Sprach- und Zeichenerkennung. In den meisten Fällen erfolgt dabei die Implementierung des neuronalen Netzes durch die Beschreibung von Neuronen und Synapsen in Software, wodurch das Verhalten des neuronalen Netzes, basierend auf sequentieller Ausführung, auf Computern simuliert wird. Der Nachteil dieser Methode ist, dass ein großer Vorteil neuronaler Netze gegenüber herkömmlichen Computern, nämlich die parallele Informationsverarbeitung, aufgegeben wird. Es existieren verschiedene Ansätze, diesen Nachteil durch die Verwendung von Parallelrechnern auszugleichen. Vollständig parallele Informationsverarbeitung kann aber auch auf diese Weise nicht erreicht werden. Ein vielversprechender Ansatz ist hier die Anwendung moderner Halbleitertechnologien zur Implementierung von Neuronen und Synapsen in Hardware.

In der Forschungsgruppe *Electronic Vision(s)* am Kirchhoff-Institut für Physik in Heidelberg werden neuronale Netze in Hardware auf der Basis gemischt digital-analoger Halbleitertechnik entwickelt und ihre praktischen Anwendungsmöglichkeiten untersucht. Durch die Verwendung digital-analoger Systeme können die Vorteile der analogen Signalverarbeitung in einzelnen Bereichen eines Chips genutzt werden, wohingegen Skalierung und Signalführung mittels digitaler Schaltkreise erreicht werden kann. Weiterhin ermöglicht die parallele Informationsverarbeitung einer Hardwarelösung im Gegensatz zu einer Simulation in Software den Einsatz hochiterativer Trainingsverfahren. Im Zusammenhang mit diesen Forschungsarbeiten steht auch die Beteiligung an dem EU-Projekt *SenseMaker* [Sen]. Ziel dieses Projekts ist es, biologische, physikalische und technische Ansätze in einem System zu vereinen, welches, angelehnt am biologischen Vorbild, sensorische Informationen

---

<sup>1</sup>Künstliche neuronale Netze werden im Folgenden mit dem englischen Akronym ANN bezeichnet.

verschiedener Art verarbeiten kann. Wesentlicher Bestandteil dieses Projektes ist die Konstruktion eines Systems, welches diese Informationen mittels hardwarebasierter neuronaler Netze verarbeitet.

Ein zentraler Baustein dieses Systems ist der in der Forschungsgruppe Electronic Vision(s) entwickelte ASIC<sup>2</sup> HAGEN<sup>3</sup>. HAGEN [SHMS02] stellt ein in Grenzen frei konfigurierbares, analoges neuronales Netz mit digitalen Schnittstellen dar. Er beinhaltet 32768 Synapsen, die zu gleichen Teilen auf vier Netzwerkblöcke aufgeteilt sind. Jeder dieser Netzwerkblöcke besitzt 128 Eingangs- und 64 Ausgangsneuronen. Die benötigte Analogelektronik befindet sich vollständig innerhalb jedes Netzwerkblocks, und die Eingangs- und Ausgangssignale sind digital. Die Ausgangssignale können über programmierbare Signalrückführungen an die Eingänge eines Netzwerkblocks rückgekoppelt oder auch mit den Eingängen anderer Netzwerkblöcke verbunden werden. Somit erlaubt die Architektur des ASICs schon auf dem Chip die Realisierung mehrschichtiger Netzwerktopologien. Die externe digitale Schnittstelle zu den Neuronen erreicht Datenraten von über einem GigaByte pro Sekunde. Während der HAGEN-ASIC die elementare Funktionalität des neuronalen Netzes beinhaltet, wird das Training auf spezielle Probleme durch Software auf einem PC gesteuert.

Der bisherige Betrieb des HAGEN-Chips erfolgt mittels der PCI<sup>4</sup>-Platine *Darkwing* [Bec01], welche die Verbindung zu einem handelsüblichen PC herstellt. Bedingt durch diesen Aufbau verläuft die Kommunikation zwischen Software und HAGEN über den PCI-Bus des PCs, welcher die Geschwindigkeit dieser Kommunikation begrenzt. Die Möglichkeiten des Chips können jedoch mit diesem Aufbau nicht voll genutzt werden.

Durch die Möglichkeit, die Netzwerkblöcke des HAGEN-ASICs durch Signalrückführungen verbinden zu können und durch das zugrunde liegende Netzwerk-Modell, können mehrere Netzwerkblöcke in ihrer Gesamtheit als ein neuronales Netz funktionieren. Über die digitale Schnittstelle des HAGEN-ASICs bietet sich weiterhin an, diese Vernetzung nicht nur innerhalb des ASICs vorzunehmen sondern sie auch über mehrere Chips auszudehnen. Dieses Verfahren stellt hohe Ansprüche an die Kommunikationskanäle zwischen den ASICs. Neben hoher Bandbreite zum Datenaustausch zwischen den Netzwerkblöcken erfordert das Netzwerk-Modell auch feste Übertragungszeiten. Diese werden auf dem PCI-Bus nicht erreicht, so dass der aktuelle Aufbau die Arbeitsgeschwindigkeit des neuronalen Netzes beschränkt. Weiterhin erfordert der Einsatz mehrerer HAGEN-ASICs die Verwendung mehrerer *Darkwing*-Systeme und schließlich auch mehrerer PCs, was die Skalierbarkeit ebenfalls praktisch begrenzt.

Ziel der vorliegenden Arbeit ist die Entwicklung einer Plattform, die den Aufbau eines skalierbaren, verteilten Systems unter Verwendung mehrerer HAGEN-Chips ermöglicht. Die prinzipielle Struktur dieses Systems ist in Abbildung 1.1 illustriert und wird mit *distributed HAGEN* bezeichnet. Entwicklung und Aufbau dieses Systems erfolgen im Rahmen der Forschungsarbeiten der Electronic-Vision(s)-Gruppe. Darüberhinaus wird das *distributed HAGEN*-System auch die Grundlage des *SenseMaker*-Projekts bilden, da die kombinierten Ressourcen mehrerer HAGEN-ASICs zur Verarbeitung sensorischer Informationen zur Verfügung stehen.

Der Aufbau besteht aus separaten Platinen (im Folgenden mit *Evolutionsmodul NATHAN* bezeichnet), welche jeweils einen HAGEN-Chip aufnehmen. Eine Anforderung an diese Module ist die Bereitstellung einer Schnittstelle, welche die Kommunikation mit HAGEN bei voller Bandbreite ermöglicht. Zentraler Bestandteil eines Evolutionsmoduls ist, wie auf dem vorhandenen *Darkwing*-System, ein programmierbarer Logikbaustein in Form eines FPGAs<sup>5</sup>. Die FPGAs der Firma Xilinx bieten in der verwendeten Ausführung serielle Hochgeschwindigkeitsverbindungen, mittels derer die Vernetzung der Module untereinander realisiert werden kann. Durch die Verwendung von FPGAs mit integriertem Mikroprozessor können zum einen die im *Darkwing*-System benötigten PCs eingespart

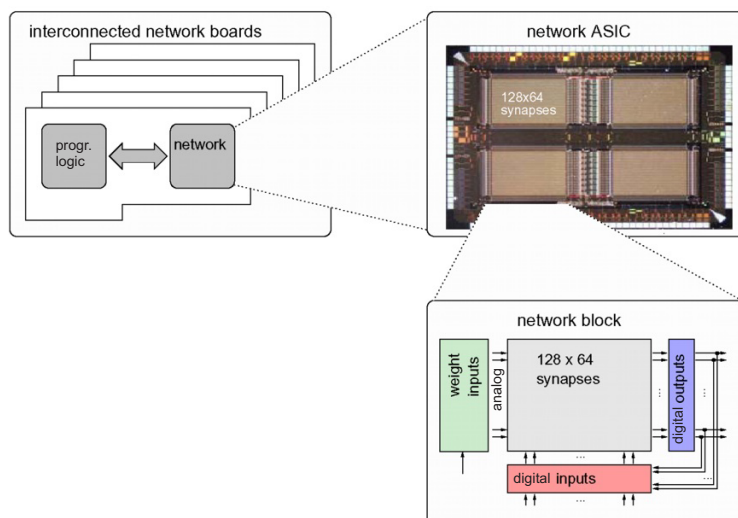
---

<sup>2</sup>ASIC: Application Specific Integrated Circuit.

<sup>3</sup>HAGEN: Heidelberg AnaloG Evolvable Neural Network.

<sup>4</sup>PCI: Peripheral Component Interconnect.

<sup>5</sup>FPGA: Field Programmable Gate Array.



**Abbildung 1.1:** Illustration des verteilten HAGEN-Systems. Die Konnektivität der Netzwerkköpfe eines Chips wird ausgenutzt, um die Skalierung des Systems über Chipgrenzen hinweg zu realisieren.

werden und zum anderen wird auch die Weiterverwendung vorhandener Kontroll- und Trainingssoftware ermöglicht. Darüber hinaus wird durch Steckplätze die Möglichkeit vorgesehen, auch zukünftige ASICs auf den Evolutionsmodulen zu betreiben. Dank der kompakten Bauweise lassen sich mehrere dieser Evolutionsmodule auf einer Backplane in handelsüblichen 19“-Einschubgehäusen zusammenfassen. Da sich darüber hinaus mehrere Backplanes effizient vernetzen lassen, können auf diese Weise Systeme mit verteilten Rechen- und Speicherressourcen aufgebaut werden, die über die Ansteuerung einzelner ASICs hinaus universell einsetzbar sind.

Die Implementierung moderner Übertragungstechniken und -standards auf den Evolutionsmodulen und der Backplane stellen hohe Anforderungen an das Layout der Platinen. So sollen für die Kommunikation der Evolutionsmodule untereinander differentielle Signale im GigaHertz-Bereich verwendet werden, die über mehrere Dezimeter Platine und zwei Steckverbinder laufen. Zur Ansteuerung moderner Arbeitsspeicher wiederum wird eine Schnittstelle realisiert, die Daten mit der doppelten Taktrate bereitstellt (DDR<sup>6</sup>). Um dies zu realisieren ist es notwendig, störende Einflüsse wie Signalreflexionen und Übersprechen während des Layouts der Leiterbahnen zu berücksichtigen. Bei Datenleitungen, die zu Bussen zusammengefasst sind, muss insbesondere die Signallaufzeit kontrolliert werden. Der Einsatz moderner Chip-Gehäuse verbessert zum einen die Qualität der übertragenen Signale, erschwert allerdings gleichzeitig die Verlegung der Signale durch die hohe Integrationsdichte. Um diese Nebenbedingungen zu realisieren, ist es notwendig, eine sorgfältige Entflechtung der Signale vorzunehmen, auf die numerische Bestimmung von Leiterbahneigenschaften zurückzugreifen und schließlich kritische Signale zu simulieren.

Im Weiteren werden zunächst einige Grundlagen zum Signaltransport auf Leiterbahnen vermittelt (Kapitel 2). In Kapitel 3 werden dann die Anforderungen an das System zusammengestellt. Anhand dieser Anforderungen werden die Komponenten des Systems ausgewählt und die Entwicklung der Schaltung erläutert. Kapitel 4 beschreibt schließlich das Layout der Platinen.

<sup>6</sup>DDR: **D**ouble **D**ata **R**ate.



## Kapitel 2

# Grundlagen zum Signaltransport auf Leiterplatten

Dieses Kapitel vermittelt zunächst Grundlagen zur Datenübertragung in Leitern und dem Verhalten dieser Leiter bei hohen Frequenzen, sowie zur Anwendung dieser Theorie auf die auf den Platinen implementierten Leiter. Da sich das Hochfrequenzverhalten eines Leiters meist negativ auf die Signalqualität auswirkt, ist es erforderlich, eine den jeweiligen Anforderungen entsprechende Übertragungstechnik zu verwenden, welche die entstehenden negativen Effekte möglichst klein hält. Um Kompatibilität der einzelnen Bauelemente zu gewährleisten, definiert man für unterschiedliche Übertragungstechniken Signalstandards. Die im vorgestellten System verwendeten Signalstandards werden dargestellt. Nach der Beschreibung des Analogverhaltens einer Leiterplatte folgen dann die notwendigen Grundlagen zur Sicherung der digitalen Signalintegrität und die bei der Übertragung digitaler Signale angewendeten Strategien. Außerdem wird die Analyse der tatsächlichen Gegebenheiten auf einer Leiterplatte an Hand von Simulationen vorgestellt.

### 2.1 Theorie zur Signalübertragung

Der Datenaustausch im vorgestellten System erfolgt vollständig auf digitaler Ebene, wobei die digitale Information durch den analogen Spannungswert eines übertragenen Signals kodiert wird. Das analoge Verhalten des übertragenen Signals ist von entscheidender Bedeutung für die Auswertbarkeit der übertragenen Information und ist anhand der in diesem Kapitel zusammengestellten Informationen zu optimieren. Abgesehen von der Konfigurationsschnittstelle und einigen langsamen Signalen reichen die vorgesehenen Datenraten von 100 Mbps bis 1,6 Gbps<sup>7</sup>. Entscheidend für das analoge Verhalten eines digitalen Signals ist dessen Anstiegszeit<sup>8</sup>. Sie bestimmt die dominante Frequenz im Spektrum eines digitalen Rechteckpulses und damit seine Ausbreitung im Leiter.

Im Gegensatz zu niederfrequenten Signalen mit großer Anstiegszeit auf einfachen Leiterplatten, verhalten sich hochfrequente Signale, besonders auf mehrlagigen Leiterplatten, wie sie hier zur Anwendung kommen, komplexer. Signale werden sowohl im Leiter als auch im umgebenden Dielektrikum transportiert. Beim Design der Leiterbahnen müssen also, vor allem bei kurzen Anstiegszeiten, die Eigenschaften des umgebenden Dielektrikums mitberücksichtigt werden. Dieses Problem ist aufgrund der geometrischen Komplexität nicht geschlossen lösbar. Es ist also notwendig, das Verhalten kritischer Signale, wie z.B. Taktsignale, numerisch zu simulieren.

Die Theorie zur analytischen Beschreibung elektrischer Signale basiert auf den Maxwell-Gleichungen und findet Anwendung in der *Vierpoltheorie*<sup>9</sup>, auf der auch die folgenden Grundlagen auf-

---

<sup>7</sup>Mbps: Mega bit per second; Gbps: Giga bit per second.

<sup>8</sup>Der Begriff *Anstiegszeit* wird in Abschnitt 2.2 erläutert.

<sup>9</sup>Die Vierpoltheorie wird ausführlich in [Hin96] behandelt.

bauen. Zur Analyse einer Leiterplatte wird der betrachtete Raumbereich und im speziellen die im Layout enthaltenen Leiter durch ein Gitter in einzelne Elemente, so genannte Vierpole, unterteilt. Für diese wird jeweils ein Satz aus Basisfunktionen für Ladungs- und Stromdichte erstellt. Mit Randbedingungen für Spannung und Strom werden diese Gleichungen für die einzelnen Raumelemente/Vierpole gelöst, um die komplette Ladungs- oder Stromverteilung im Layout zu erhalten.

Zur Planung einer Leiterplatte, zur Abschätzung gewisser Parameter der Leiterbahnen und zur späteren Interpretation der Simulationsergebnisse ist die Kenntnis der zugrundeliegenden Theorie zur Signalübertragung erforderlich. Diese wird in den folgenden Abschnitten erläutert.

### 2.1.1 Benötigte Elektrodynamik

Grundlage für die Untersuchung eines Systems aus Leitern und umgebendem Dielektrikum sind die Maxwell-Gleichungen für die elektromagnetischen Felder in Materie:

$$\begin{aligned}\nabla \mathbf{D} &= \rho \\ \nabla \times \mathbf{E} &= -\dot{\mathbf{B}} \\ \nabla \times \mathbf{H} &= \mathbf{j} + \dot{\mathbf{D}} \\ \nabla \mathbf{B} &= 0\end{aligned}$$

mit  $\mathbf{E}$ ,  $\mathbf{H}$  als elektrischem bzw. magnetischem Feld-Vektor und  $\mathbf{D}$ ,  $\mathbf{B}$  Vektoren der elektrischen bzw. magnetischen Flussdichten.  $\rho$  ist die freie Ladungsdichte und  $\mathbf{j}$  die Stromdichte. Die Feld- und Fluss-Vektoren stehen folgendermaßen in Verbindung:

$$\begin{aligned}\mathbf{B} &= \mu \mathbf{H} \\ \mathbf{D} &= \varepsilon \mathbf{E} \\ \mathbf{j} &= \sigma \mathbf{E} \quad ,\end{aligned}$$

mit der Permeabilität  $\mu$  und der Dielektrizitätskonstante  $\varepsilon$  des umgebenden Dielektrikums sowie dessen Leitfähigkeit  $\sigma$ . Sowohl mit der Kontinuitätsgleichung und der Lorentz-Eichung als auch unter Einführung des skalaren Potentials  $\phi$  und des Vektorpotentials  $\mathbf{A}$  lassen sich die Maxwell-Gleichungen in lorentzinvarianter Form für die elektromagnetischen Potentiale schreiben ([No193]):

$$\begin{aligned}\square \mathbf{A} &= -\mu \mathbf{j} \\ \square \phi &= \frac{-\rho}{\varepsilon} \quad .\end{aligned}$$

Dies ist die aus der Elektrodynamik bekannte *Poisson-Gleichung* mit dem d'Alembert-Operator  $\square \equiv \Delta - \frac{1}{c^2} \frac{\partial^2}{\partial t^2}$ .  $\Delta = \frac{\partial^2}{\partial x^2}$  ist der Laplace-Operator.

Unter der Annahme, dass dominante Wechselwirkungen und damit die Aufteilung der Leiterplattengeometrie auf räumliche Gebiete beschränkt sind, die wesentlich kleiner als eine Wellenlänge des betrachteten Signals sind, kann hier zeitunabhängig gerechnet werden. Der Übergang von zeitabhängigen Systemen zu Systemen, die für infinitesimale Zeiträume bzw. Raumgebiete als statisch betrachtet werden können, ist z.B. in [No193] gezeigt. Für Leiterbahnen und ähnliche Strukturen, die als klein gegenüber der Wellenlänge des zu übertragenden Signals (aber durchaus geometrisch komplex) anzunehmen sind, trifft diese Näherung sehr gut zu ([HHM00]).

Unter der Annahme der Zeitunabhängigkeit ergibt sich die *Statische Poisson-Gleichung* zu:

$$\begin{aligned}\Delta \mathbf{A} &= -\mu \mathbf{j} \\ \Delta \phi &= \frac{-\rho}{\varepsilon} \quad .\end{aligned}$$

Diese Gleichungen müssen gelöst werden, um das Potential einer bekannten Ladungs- oder Stromdichteverteilung zu finden. In ihrer integralen Form werden diese Potentialgleichungen durch die

Greensfunktionen  $G_A$  und  $G_\phi$  gelöst:

$$\begin{aligned}\mathbf{A}(\mathbf{r}) &= \iiint G_A(\mathbf{r}|\mathbf{r}')\mathbf{j}(\mathbf{r}')d^3\mathbf{r}' \\ \phi(\mathbf{r}) &= \iiint G_\phi(\mathbf{r}|\mathbf{r}')\rho(\mathbf{r}')d^3\mathbf{r}' \quad .\end{aligned}$$

Die Integration wird hierbei über einen Raumbereich ausgeführt, der alle zu betrachtenden Quellen einschließt. Der Vektor  $\mathbf{r}$  ist der Feld-Ortsvektor,  $\mathbf{r}'$  ist der Ortsvektor der Quelle des Feldes. Für den einfachsten Fall einer Punktladung sind die Greensfunktionen wohlbekannt. Sie entsprechen in diesem Fall dem Potential einer (Einheits-) Punktladung bzw. einer punktförmigen (Einheits-) Stromverteilung ([Nol93]):

$$\begin{aligned}G_A(\mathbf{r}|\mathbf{r}') &= \frac{\mu_0}{4\pi|\mathbf{r}-\mathbf{r}'|} \\ G_\phi(\mathbf{r}|\mathbf{r}') &= \frac{1}{4\pi\epsilon_0|\mathbf{r}-\mathbf{r}'|} \quad .\end{aligned}$$

Im Falle einer mehrlagigen Leiterplatte mit komplexen Ladungsverteilungen, verschiedenen Dielektrika und Potentialflächen (Kupferlagen), die z.B. auf Masse liegen, werden die Greensfunktionen sehr kompliziert und sind nicht mehr geschlossen lösbar. Zudem können Leiter bei hohen Übertragungsfrequenzen nicht mehr als geschlossene Einheit mit bestimmter Kapazität  $C$  und Induktivität  $L$  betrachtet werden, da die Periodendauer eines Signals in die Größenordnung seiner Ausbreitungszeit fällt (siehe [Vog97]). Das elektrische bzw. magnetische Feld kann dann zu einem bestimmten Zeitpunkt nicht mehr als konstant auf der gesamten Länge der Leiterbahn angenommen werden. Man muss den Leiter also in diskrete Elemente unterteilen, auf deren Länge diese Konstanz wieder näherungsweise gegeben ist. Dies führt zum Modell des Ersatzschaltkreises.

### 2.1.2 Modell des Ersatzschaltkreises

Da das elektrische bzw. magnetische Feld entlang eines Leiters bei hohen Frequenzen nicht als konstant angenommen werden kann, wird der Leiter in einzelne Querschnittselemente infinitesimaler Länge  $dx$  unterteilt, innerhalb derer die in Abschnitt 2.1.1 vorgestellte zeitunabhängige Näherung gültig ist. Das magnetische Feld entlang dieses infinitesimalen Elements kann dann durch eine Induktivität  $Ldx$  und das elektrische Feld durch eine Kapazität  $Cdx$  repräsentiert werden.  $L$  und  $C$  sind als Induktivität bzw. Kapazität pro Länge zu verstehen. Da auf Leiterplatten weder ideale Leiter noch ideale Isolatoren verwendet werden, muss auch der ohmsche Widerstand  $Rdx$  des Leiters und die Leitfähigkeit des Isolators zur Masse  $Gdx$  (jeweils in Einheiten pro Länge) berücksichtigt werden. Das Ersatzschaltbild eines solchen infinitesimalen Querschnittselements ist in Abbildung 2.1 dargestellt. Der sog. *Ersatzschaltkreis* eines Leiters ergibt sich aus der Verkettung dieser infinitesimalen Elemente.

Um die elektrischen Eigenschaften eines Leiters anhand dieser Zerlegung bestimmen zu können, muss die Aufteilung in Elemente endlicher Länge  $\Delta x$  erfolgen. Nach einer in [HHM00] dargestellten Näherung, gilt für die Anzahl  $N$  der Elemente bei gegebener Länge  $l$  des Leiters, Anstiegszeit  $t_r$  des Signals und Ausbreitungsgeschwindigkeit  $v$  des Signals:

$$N \geq 10 \left( \frac{l}{t_r v} \right) \quad . \quad (2.1)$$

Die Bestimmung von  $R, L, G$  und  $C$  kann nun auf verschiedene Weise erfolgen. Die Lösung der Maxwell-Gleichungen mittels der Greensfunktionen ist „von Hand“ nicht praktikabel und wird nur zur numerischen Lösung durch Simulatoren verwendet. Das von der Software SPECCTRAQuest/



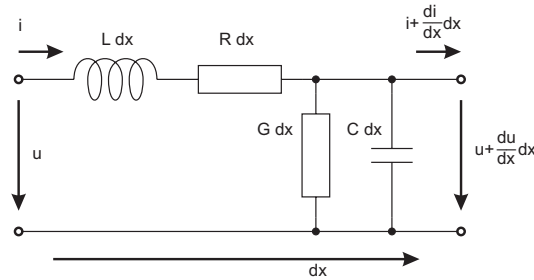


Abbildung 2.1: Ersatzschaltbild eines infinitesimalen Leiterelementes  $dx$

SigXp angewendete Simulationsverfahren basiert auf dieser Lösung und wird in Abschnitt 2.4 qualitativ beschrieben. Eine andere Möglichkeit besteht darin, Differentialgleichungen für Strom und Spannung aufzustellen und diese zu lösen. Diese Strategie wird in den folgenden Abschnitten angewendet.

### 2.1.3 Reflexion

Um die Qualität des auf einer Leiterbahn übertragenen Signals bewerten zu können, benötigt man hauptsächlich Informationen über durch Impedanzsprünge<sup>10</sup> verursachte Signalreflexionen und über durch Übersprechen von fremden Netzen verursachte Spannungsspitzen auf dieser Leiterbahn. Die Berechnung dieser Effekte erfolgt mit Hilfe des vorgestellten Modells des Ersatzschaltkreises. Nach den Kirchhoff'schen Gesetzen kann der Spannungsabfall sowohl über  $R$  und  $L$  als auch über  $G$  und  $C$  für ein infinitesimales Leiterelement  $dx$  berechnet werden:

$$-\frac{\partial u}{\partial x} dx = \left( R \cdot i + L \cdot \frac{\partial i}{\partial t} \right) dx \quad (2.2)$$

$$-\frac{\partial i}{\partial x} dx = \left( G \cdot u + C \cdot \frac{\partial u}{\partial t} \right) dx \quad (2.3)$$

Spannung  $u$  und Strom  $i$  sind über definiert:  $u(x, t) = \text{Re}\{U(x)e^{i\omega t}\}$  und  $i(x, t) = \text{Re}\{I(x)e^{i\omega t}\}$ . Differenziert man Gleichung 2.2 nach  $x$  und Gleichung 2.3 nach  $t$  und kombiniert beide, ergibt sich die sog. *Telegraphengleichung*:

$$\frac{\partial^2 u}{\partial x^2} = RGu + (RC + LG) \frac{\partial u}{\partial t} + LC \frac{\partial^2 u}{\partial t^2} \quad (2.4)$$

Für den Strom gibt es eine analoge Gleichung. Mit der komplexwertigen Definition der Spannung  $u$  und des Stromes  $i$  lassen sich obige Differentialgleichungen 2.2 und 2.3 schreiben als:

$$-\frac{dU}{dx} = (R + i\omega L) \cdot I \quad (2.5)$$

$$-\frac{dI}{dx} = (G + i\omega C) \cdot U \quad (2.6)$$

Durch Differentiation von Gleichung 2.5 und Einsetzen in Gleichung 2.6 erhält man eine Wellengleichung der Form:

$$-\frac{d^2 U}{dx^2} = \gamma^2 U \quad ,$$

<sup>10</sup>Die Impedanz eines Leiters wird in Ohm angegeben und gibt dessen Wellenwiderstand an.

wobei  $\gamma = \sqrt{(R + i\omega L)(G + i\omega C)} = \alpha + i\beta$ . Der Exponent  $\alpha$  kann als Dämpfungsfaktor und  $\beta$  als Phase betrachtet werden. Mit komplexen Amplituden  $U_0^v$  für die Wellenausbreitung in Vorwärtsrichtung und  $U_0^r$  für die Wellenausbreitung in Rückwärtsrichtung wird diese Wellengleichung allgemein gelöst durch:

$$\begin{aligned} U(x) &= U_0^v e^{-\gamma x} + U_0^r e^{\gamma x} \\ &= U_v(x) + U_r(x) \quad . \end{aligned}$$

Analog für den Strom:

$$\begin{aligned} I(x) &= \frac{U_0^v}{Z_0} e^{-\gamma x} - \frac{U_0^r}{Z_0} e^{\gamma x} \\ &= I_v(x) + I_r(x) \end{aligned}$$

mit der Leitungsimpedanz

$$Z_0 = \sqrt{\frac{R + i\omega L}{G + i\omega C}} \quad . \quad (2.7)$$

Ein Abschluss der Leitung mit einer Lastimpedanz  $Z_{\text{Last}}$  nach einer Strecke  $x = l$  wird eine teilweise Reflexion des Signals verursachen, falls die Impedanz des Abschlusses  $Z_{\text{Last}}$  nicht gleich der Leitungsimpedanz  $Z_0$  ist. Signalreflexionen sind auf Leiterbahnen unerwünscht, da sie durch Überlagerung mit dem einlaufenden Signal die Signalqualität beeinträchtigen, d.h. man strebt für die Amplitude  $U_0^r$  der reflektierten Welle eine Amplitude möglichst nahe Null an. Die hierzu verwendeten *Terminierungstechniken* werden in Abschnitt 2.2.4 gezeigt. Das Verhältnis zwischen einlaufender und reflektierter Amplitude bezeichnet man als Reflektivität  $r$ , sie ist an der Stelle  $x = l$  über  $U(l) = U_{\text{Last}}$ ,  $I(l) = I_{\text{Last}}$  und  $U_{\text{Last}} = Z_0 \cdot I_{\text{Last}}$  definiert als ([HHM00]):

$$r = \frac{U_r(l)}{U_v(l)} = \frac{Z_{\text{Last}} - Z_0}{Z_{\text{Last}} + Z_0} \quad . \quad (2.8)$$

Die Reflektivität an der Stelle  $x = l$  auf einer Leiterbahn hängt also nur von der Impedanz des Leiters  $Z_0$  und der Impedanz der Last  $Z_{\text{Last}}$  ab. Sie ist im Allgemeinen komplexwertig und ändert somit Amplitude und Phase der reflektierten Welle. Für Leitungen mit vernachlässigbaren ohmschen Verlusten ( $G \ll i\omega C$ ,  $R \ll i\omega L$ , wobei  $G$  die Leitfähigkeit des Isolators zur Masse und  $R$  der ohmsche Widerstand des Leiters ist) kann die Leitungsimpedanz als rein ohmsch angesehen werden:

$$Z_0 = \sqrt{\frac{L}{C}} \quad . \quad (2.9)$$

Für den Dämpfungsfaktor  $\alpha$  der gesamten Leiterbahn gilt dann:

$$\alpha = \frac{R}{2} \cdot \sqrt{\frac{C}{L}} \quad . \quad (2.10)$$

### 2.1.4 Übersprechen

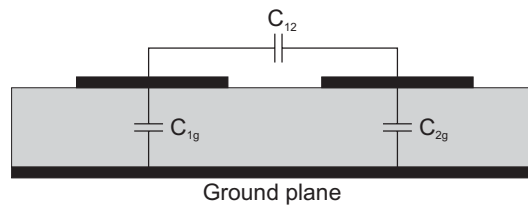
Neben der Berechnung der Reflektivität eines Impedanzsprunges lässt sich aus der Kenntnis der Kapazität und der Induktivität zweier Leiter untereinander sowie deren Anordnung zueinander auch das *Übersprechen* (engl.: crosstalk) eines Signals von einem Leiter auf den benachbarten ableiten. Zwei parallel verlaufende Leiter weisen immer eine Kapazität auf, zwei Stromschleifen gegenseitige Induktivität. Wenn sich also auf einem Leiter ein digitaler Impuls ausbreitet, verursacht die kapazitive Kopplung eine Spannungsspitze auf dem beeinflussten Leiter. Die induktive Kopplung führt zu einem Induktionsstrom, der ebenso als Spitze des Spannungsabfalls über dem ohmschen Widerstand

des Empfängers oder Senders wirksam wird. Diese beiden Effekte addieren sich. Zudem hat ein Impedanzsprung auf das Übersprechverhalten zweier Leiter starken Einfluss, da die Amplitude der dort weiterlaufenden Welle nach Gleichungen 2.12 und 2.13 maximal das Doppelte der Signalamplitude betragen und einen benachbarten Leiter, hauptsächlich durch kapazitive Kopplung, noch stärker beeinflussen kann.

Zur Berechnung des Übersprechverhaltens muss der Begriff des Ersatzschaltkreises erweitert werden, da es jetzt nicht mehr ausreicht, einen Leiter nur durch seine Induktivität bzw. Kapazität zu beschreiben. In einem System aus mehreren Leitern wird es nötig, die gegenseitige Induktivität und die Kapazität aller Leiter zueinander zu berücksichtigen. Gleichung 2.11 zeigt die übliche Darstellung dieser parasitären Effekte in Form einer Matrix für Kapazität und Induktivität für ein System aus zwei Leitern.

$$\mathcal{C} = \begin{bmatrix} C_{11} & C_{12} \\ C_{21} & C_{22} \end{bmatrix} \quad \text{und} \quad \mathcal{L} = \begin{bmatrix} L_{11} & L_{12} \\ L_{21} & L_{22} \end{bmatrix} \quad (2.11)$$

Bei der Betrachtung von  $N$  Leitern innerhalb eines Systems werden diese Matrizen dann entsprechend  $N$ -dimensional.



**Abbildung 2.2:** System aus zwei Leitern zur Veranschaulichung der Kapazitätsmatrix.

Die Diagonalelemente der Kapazitätsmatrix entsprechen der Gesamtkapazität der jeweiligen Leitung, welche sich aus der Kapazität der Leitung zur Masse und den Kapazitäten zu sämtlichen anderen Leitern des Systems zusammensetzt. Im Beispiel für ein System aus zwei Leitern wäre also (siehe Abbildung 2.2)

$$C_{11} = C_{1g} + C_{12} \quad \text{und} \quad C_{22} = C_{2g} + C_{21} \quad .$$

Somit wird das betrachtete System vollständig durch eine Kapazitäts-/Induktivitätsmatrix beschrieben. Auf die Anwendung dieser Überlegungen auf Leiterplattenebene wird in Abschnitt 2.2 eingegangen. Die Betrachtung einer Leiterbahn als Wellenleiter mit einer Impedanz impliziert weitere Eigenschaften, die in den folgenden beiden Abschnitten erläutert werden.

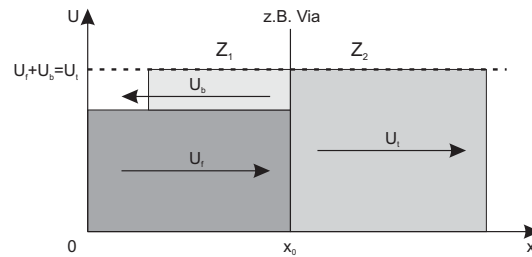
### 2.1.5 Transmittivität

Im Falle eines Impedanzsprunges auf einer Leiterbahn, der beispielsweise durch ein Via verursacht werden kann, tritt neben Reflexion auch Transmission auf. Eine solche Situation ist in Abbildung 2.3 dargestellt. Laut [DP01] gilt für den Transmissionskoeffizienten  $t$  an einem Impedanzsprung:

$$t = \frac{2Z_2}{Z_1 + Z_2} \quad , \quad (2.12)$$

wobei  $Z_1$  und  $Z_2$  die Impedanz des Leiters vor bzw. nach der Diskontinuität ist. Für die Terminierung einer Leiterbahn bzw. deren Abschluss am Empfänger ist  $Z_2$  gleich der Impedanz des Empfängers,  $Z_{\text{Last}}$  und  $Z_1$  gleich der Impedanz der Leiterbahn  $Z_0$ . Mit Gleichung 2.8 ergibt sich damit für  $t$  die Beziehung  $t = 1 + r$ , woraus weiterhin für die Amplituden vor und nach dem Impedanzsprung folgt (Energieerhaltung):

$$U_f + U_b = U_t \quad . \quad (2.13)$$



**Abbildung 2.3:** Darstellung der Übergangsregion (z.B. Via), an der Reflexion und Transmission auftreten.

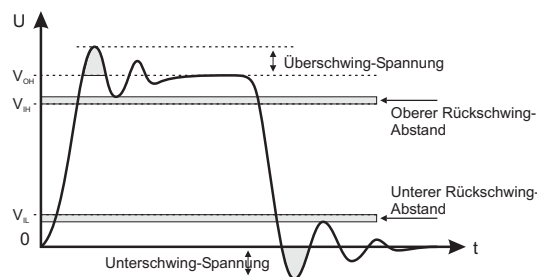
Nach Gleichung 2.12 ergibt sich für  $Z_2 \gg Z_1$  der Transmissionskoeffizient  $t \approx 2$ . Die Amplitude des durchgelassenen Signals beträgt also das Doppelte der einlaufenden Amplitude. Um Beschädigung eines hochohmigen Empfängers durch diese Spannungsspitze zu vermeiden, ist Impedanzanpassung durch eine Terminierung erforderlich (siehe Abschnitt 2.2.4).

### 2.1.6 Überschwingen

Aus den Ergebnissen für die Transmittivität lassen sich direkt weitere Eigenschaften eines Signals ableiten, die für dessen Qualität entscheidend sind. Die Amplitude der transmittierten Welle kann nach Gleichung 2.12 am unterterminierten Ende einer Leitung (vollständige Reflexion der einlaufenden Welle) den bis zu doppelten Wert der Amplitude der einlaufenden Welle annehmen. Im Falle einer Leiterbahn mit einer charakteristischen Impedanz von  $50\Omega$  an einem hochohmigen Empfänger ist genau diese Situation gegeben. Außerdem bilden Kapazität, Induktivität und ohmscher Widerstand des Empfängers einen gedämpften Schwingkreis mit der Resonanzfrequenz<sup>11</sup>

$$f_{\text{res}} = \frac{1}{2\pi} \sqrt{\frac{1}{LC} - \frac{R^2}{4L^2}} \quad (2.14)$$

Dieser wird durch das einlaufende Signal mit der Frequenz  $f_{\text{sin}}$  angeregt (siehe Gleichung 2.16) und es kommt zu einem gedämpften *Einschwingen* (engl.: ringing) des Signals auf seinen DC-Wert. Die erste Amplitude dieses Einschwingvorgangs wird als *Über-* bzw. *Unterschwingen* (engl.: over- bzw. undershoot) bezeichnet und ist in Abbildung 2.4 dargestellt.



**Abbildung 2.4:** Einschwingen eines Signals bei falscher Terminierung. Das Signal wird als *stabil* bezeichnet, solange es die Spannung  $V_{\text{IH}}$  bzw.  $V_{\text{IL}}$  nicht unter-/überschreitet.

<sup>11</sup>siehe z.B. [Vog97] oder jedes andere Buch über Experimentalphysik.

Empfängerbausteine besitzen meist sogenannte *Clamping-Dioden*, welche zum Schutz vor ESD<sup>12</sup> dienen und damit auch kurzzeitig zu große Signalamplituden unterdrücken können. Da diese *Clamping-Dioden* aber durch große Ströme zerstört werden können, ist zu starkes Über- bzw. Unterschwingen des Signals zu vermeiden, was wiederum nach Gleichung 2.12 durch eine Impedanzanpassung des Empfängers realisierbar ist. Diese Impedanzanpassung erfolgt durch eine Terminierung, auf die in Abschnitt 2.2.4 eingegangen wird.

Aus den Betrachtungen über das Hochfrequenzverhalten einfacher Leiterbahnen ist ersichtlich, dass auf jeglicher Datenleitung eine möglichst konstante Impedanz anzustreben ist, um eine gute Signalqualität zu erhalten, sprich Reflexionen und Übersprechen zu minimieren. Die folgenden Abschnitte beschreiben impedanzkontrollierte Strukturen, wie sie auf der Platine NATHAN und der Backplane zum Einsatz kommen.

## 2.2 Strategien zur Sicherung der Signalqualität

In den vorangegangenen Abschnitten haben sich die Impedanz sowie die Laufzeit eines übertragenen Signals als die für die Signalqualität maßgeblichen Eigenschaften einer Leiterbahn herausgestellt. Vor allem die Überlegungen zum Einschwingen einer Leitung setzen allerdings als weiteren Parameter noch die Frequenz des übertragenen Signals voraus. Da die Übertragung digitaler Signale in Form von Rechtecksignalen erfolgt, wird nicht die Frequenz dieses Rechtecksignals sondern das durch die Anstiegszeit des Signals bestimmte Frequenzspektrum dieses Rechteckimpulses betrachtet. Die Anstiegszeit sowie weitere charakteristische Parameter eines digitalen Signals werden im folgenden Abschnitt näher betrachtet.

### 2.2.1 Übergangszeiten und Verzögerung

Abbildung 2.5 illustriert die zur Beschreibung von Signalübergängen und Verzögerungen verwendeten Begriffe. Die Zeit für einen einzelnen Übergang bzw. eine Zustandsänderung eines Signals von LOW nach HIGH wird gemessen, während das Signal von 10 % auf 90 % seines Pegels ansteigt. Diese Zeit wird als *Anstiegszeit*<sup>13</sup>  $t_r$  bezeichnet; die *Abfallzeit*  $t_f$  eines Signals wird analog bestimmt.

Durch die Anstiegszeit wird die Form eines (nicht ideal rechteckigen) digitalen Impulses und damit sein Frequenzspektrum bestimmt. Die Untersuchung dieses Spektrums zeigt einerseits, dass Frequenzen, die einem Vielfachen der Taktfrequenz des Signals entsprechen, vollständig unterdrückt sind. Außerdem werden höhere Frequenzen bis hin zur sogenannten *Knickfrequenz* kontinuierlich um 20 dB pro Dekade gedämpft. Oberhalb der Knickfrequenz steigt die Dämpfung exponentiell an. In [JG93] wird gezeigt, dass die Knickfrequenz nur durch die Anstiegszeit der Signale einer digitalen Schaltung bestimmt wird. Sie ist folgendermaßen definiert:

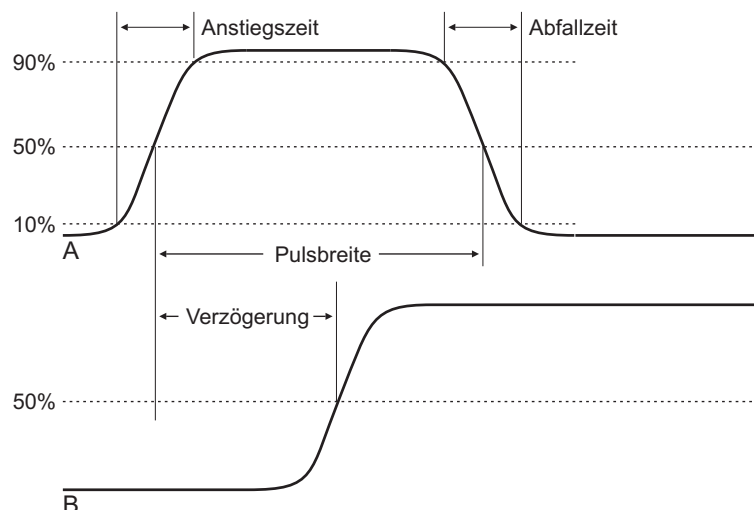
$$f_k = \frac{0.5}{t_{r/f}} \quad . \quad (2.15)$$

In Abbildung 2.6 ist die frequenzabhängige Dämpfung im Spektrum eines digitalen Signals in dB aufgetragen. Das „Abknicken“ der Amplituden der übertragenen Frequenzen bei der Knickfrequenz sowie die Unterdrückung der Vielfachen der Taktfrequenz sind gut erkennbar.

Die Frequenzantwort einer Schaltung muss also nur für Frequenzen bis  $f_k$  untersucht werden, da das Verhalten oberhalb von  $f_k$  einen vernachlässigbaren Einfluss auf die Verarbeitung digitaler Signale

<sup>12</sup>ESD: **E**lectrostatic **D**ischarge: Elektrostatische Entladungen, wie sie z.B. bei der Berührung des Bauteils auftreten können, wenn ein Potentialunterschied zwischen Finger und Bauteil besteht.

<sup>13</sup>In manchen Systemen wird die Anstiegszeit auch über andere Werte definiert, z.B. 20 % und 80 %. Die Definition über 10 % und 90 % ist allerdings die am Häufigsten verwendete. Eine ausführliche Darstellung findet sich in [JG93]. Für qualitative Betrachtungen wird nicht zwischen Anstiegs- und Abfallzeit unterschieden, da deren Werte meist annähernd gleich sind.



**Abbildung 2.5:** Anstiegszeit  $t_r$ , Abfallzeit  $t_f$  und Pulsbreite  $t_w$  eines digitalen Signals sowie die Verzögerung  $t_d$  zweier Signale A und B zueinander.

le durch die Schaltung hat. Für die folgenden Betrachtungen ist es außerdem nützlich, sich klarzumachen, dass man die steigende Flanke eines Signals durch eine Sinusschwingung annähern kann und dass durch die steigende Flanke etwa ein Drittel der Periode dieser Sinusschwingung überstrichen wird. Die Frequenz dieser Sinusschwingung beträgt dann:

$$f_{\text{sin}} = \frac{1}{3 t_{r/f}} \quad (2.16)$$

Dies ist auch die Frequenz des in Abschnitt 2.1.6 erläuterten Einschwingvorgangs am Empfänger. Bei der Datenübertragung auf Leiterplatten werden grundsätzlich zwei verschiedene Strategien unterschieden: Übertragung durch *einfache* Datenleitungen und Übertragung durch *differentielle* Datenleitungen.

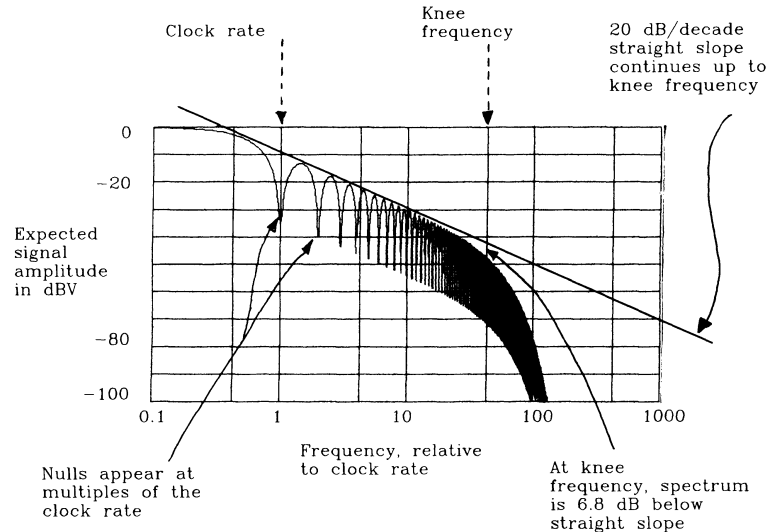
### 2.2.2 Einfache Datenleitungen

Unter einer einfachen (engl.: single ended) Datenleitung versteht man die Verbindung zwischen einem Sender und einem Empfänger in Form *einer* Kupferleitung. Der logische Zustand eines Signals ist durch die Spannung des Signals zu einem Referenzpotential definiert, welches meist die Masse des Schaltkreises ist. Bei niedrigen Frequenzen ist das Verhalten dieser Datenleitungen unkritisch und muss daher nicht näher betrachtet werden<sup>14</sup>. Bei hohen Übertragungsfrequenzen ist eine möglichst kleine Anstiegszeit zwingend erforderlich, was ein Ansteigen der Knickfrequenz nach sich zieht. Wird diese so hoch, dass die Wellenlänge der höchsten noch übertragenen Frequenz so klein wird, dass sich auf der Länge der Leiterbahn mehr als eine halbe Periode dieser Frequenz ausbilden kann, verhält sich diese Leitung wie ein Wellenleiter. Dies ist auch für die im nächsten Abschnitt diskutierten differentiellen Datenleitungen gültig. Nach Gleichung 2.16 und mit der bekannten Laufzeit des Signals auf der Datenleitung ist dieses Verhalten beobachtbar, wenn

$$\text{Signallaufzeit} > 20 - 25\% \text{ der Treiber-Anstiegs-/Abfallzeit} \quad (2.17)$$

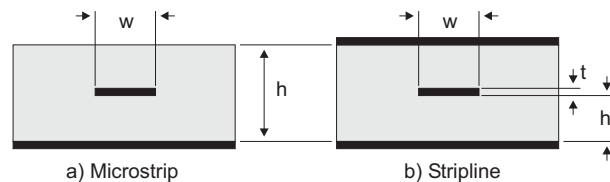
erfüllt ist. Es müssen also nicht nur das Gleichstromverhalten der Leitung sondern auch ihre Eigenschaften als Wellenleiter und damit Effekte wie Reflexionen, Überschwingen und Übersprechen

<sup>14</sup>Reflexionen und Übersprechen treten auch bei Signalen mit größerer Anstiegszeit auf, können dort aber vernachlässigt werden.



**Abbildung 2.6:** Erwartete spektrale Energiedichte einer zufälligen digitalen Wellenform ([JG93]).

berücksichtigt werden. Eine Datenleitung, welche dieses Verhalten zeigt, wird auch als *Transmission Line* bezeichnet. Etwas allgemeiner ist eine Transmission Line auch als eine Konfiguration aus mindestens zwei durch ein Dielektrikum voneinander isolierten Leitern, durch die ein Signal übertragen wird, definiert. Auf Leiterplattenebene werden die in Abbildung 2.7 dargestellten Typen von Transmission Lines unterschieden: *Microstrip* und *Stripline*. Zwei typische Kabelkonfigurationen, auf deren Beschreibung verzichtet wird, sind *Koaxialkabel* und *Twisted-Pair-Kabel*.



**Abbildung 2.7:** Transmission-Line Konfigurationen. Bei asymmetrischen Konfigurationen wird üblicherweise zusätzlich der Abstand  $h_1$  zur unteren Potentialfläche angegeben.

Leiterbahnen, die als Transmission Line bezeichnet werden können, werden durch folgende physikalische Größen charakterisiert: Ohmscher Widerstand  $R$ , Induktivität  $L$ , Kapazität  $C$  und Leitfähigkeit des Dielektrikums  $G$ . Hieraus ergeben sich weitere Größen, die für die Beurteilung solcher Leiterbahnen wichtig sind, wie Impedanz  $Z_0$  und Signallaufzeit  $t_d$ , welche in ps/cm angegeben wird. Unter Vernachlässigung ohmscher Verluste (siehe Gleichung 2.9) wird die Impedanz reell:  $Z_0 = \sqrt{L/C}$ . Mit dieser Näherung gilt für die Signallaufzeit nach [JG93]:

$$t_d[\text{ps cm}^{-1}] = \sqrt{\frac{L}{\text{cm cm}} \frac{C}{\text{cm cm}}} \quad (2.18)$$

Typische Werte sind z.B. für Microstrips  $t_d \approx 55 \text{ ps/cm}$  und für Striplines  $t_d \approx 70 \text{ ps/cm}$ . Wegen der Eigenschaften als Wellenleiter können die Parameter  $L$  und  $C$  für Microstrips oder Striplines nicht direkt angegeben werden<sup>15</sup>. Ist jedoch die Impedanz  $Z_0$  des Leiters sowie die Ausbreitungs-

<sup>15</sup>Aufgrund der notwendigen Aufteilung in Ersatzschaltbilder, können diese Parameter nur in Einheiten pro Länge ange-

geschwindigkeit  $v$  des Signals bekannt, so kann nach Gleichung 2.1 die Zerlegung in eine endliche Zahl Ersatzschaltbilder erfolgen. Mit der reellen Definition der Impedanz können dann die verteilten Induktivitäten und Kapazitäten  $Ldx$  und  $Cdx$  ermittelt werden. Durch Aufsummieren über die Länge des Leiters werden dann  $L$  und  $C$  bestimmt. Ein Beispiel für diesen „Fußweg“ ist in [HHM00] gezeigt. Dort wird auch gezeigt, wie man anhand dieser Informationen Abschätzungen über Übersprechen und Reflexionen auf der Leiterbahn treffen kann. Weiterhin wird in Abschnitt 2.4.2 die Erstellung des Simulationsmodells für den auf der Platine NATHAN verwendeten Sockel des DDR-SDRAMs<sup>16</sup> nach diesem Verfahren beschrieben. Zur Bestimmung der Impedanz kann innerhalb üblicher Herstellungsparameter auch folgende Näherungsform aus [lvd00] verwendet werden:

$$\text{Microstrip: } Z_0 = \frac{60}{\sqrt{0.475\epsilon_r + 0.67}} \ln \left( \frac{4h}{0.67(0.8w + t)} \right) , \quad (2.19)$$

$$\text{Stripline: } Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \left( \frac{4h}{0.67\pi(0.8w + t)} \right) . \quad (2.20)$$

In dieser Näherung wird angenommen, dass das Signal in der Leiterbahn übertragen wird und dass die Kupferfläche(n) auf festem Potential liegen und unendlich ausgedehnt sind. Unter Vernachlässigung benachbarter Strukturen kommt diese Näherung der Situation auf einer Leiterplatte sehr nahe.

### 2.2.3 Differentielle Datenleitungen

Als differentielle Datenleitung wird allgemein jede Kombination aus zwei gegenseitig wechselwirkenden Datenleitungen bezeichnet. Ein Spezialfall sind symmetrische Anordnungen, wie sie auf beiden Platinen des vorgestellten Systems ausschließlich verwendet werden. Um die Impedanz dieser Strukturen auf längeren Strecken kontrollieren zu können, werden die Datenleitungen stets in Microstrip- oder Stripline-Konfigurationen verlegt, welche durch die flankierenden Potentialflächen eine homogene Umgebung schaffen (siehe Abbildung 2.8). Im Gegensatz zu abgeschlossenen Datenleitungen werden hier *zwei* Kupferleitungen und damit zwei Signale zur Übertragung eines Datenbits genutzt. Am Empfänger wird dann im Gegensatz zu einfachen Datenleitungen die Differenz beider Spannungen  $\Delta V$  ausgewertet. Dieser relative Wert wird nicht auf ein festes Potential referenziert. Abhängig von der verwendeten Technologie darf allerdings die Gleichtaktspannung des Signals gewisse Werte nicht über- oder unterschreiten<sup>17</sup>. Da die logischen Zustände HIGH und LOW durch den Wert der Spannungsdifferenz zwischen den beiden Leitungen eines differentiellen Paares festgelegt sind, werden diese Zustände außerdem anhand der Richtung des Stromflusses durch einen *Terminierungswiderstand* am Empfänger definiert.

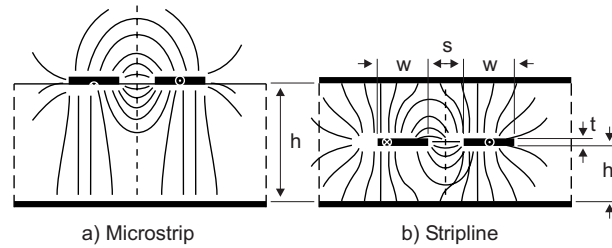
In Bezug auf Frequenzantwort und Knickfrequenz gelten für differentielle Datenleitungen die selben Gesetzmäßigkeiten, wie sie im vorigen Abschnitt für einfache Datenleitungen abgeleitet wurden. Die Impedanz der einzelnen Leitungen ist allerdings, abhängig von der Beschaltung, unterschiedlich: Werden beide Leitungen eines Paares mit Signalen gleicher Polarität, Amplitude und Phase betrieben, so weisen die Leitungen jeweils die Impedanz  $Z_g$  ihrer *geraden* Mode (engl.: even mode impedance) auf. Die Impedanz des Paares wird als *Gleichtakt*-Impedanz (engl.: common mode impedance) bezeichnet. Technische Anwendungen beschränken sich allerdings auf gegenphasiges Betreiben der Leitungen. Die Impedanz  $Z_u$  der einzelnen Leitungen ist die Impedanz der *ungeraden* Mode (engl.: odd mode impedance) der Leitung, die Impedanz zwischen beiden Leitungen wird als *differentielle* Impedanz (engl.: differential impedance) bezeichnet. Im Gegensatz zur Gleichtakt-Impedanz wird die differentielle Impedanz stark durch die gegenseitige Kopplung der Leitungen bestimmt. Für die Berechnung der Impedanzen muss die Wechselwirkung zwischen den Leitern berücksichtigt werden,

geben werden.

<sup>16</sup>DDR-SDRAM: **D**ouble **D**ata **R**ate **S**ynchronous **D**ynamic **R**andom **A**ccess **M**emory

<sup>17</sup>Auf die technische Realisierung wird in Abschnitt 2.3.2 am Beispiel von LVDS eingegangen.





**Abbildung 2.8:** Differentielle Transmission-Line Konfigurationen mit elektrischen Feldlinien. Bei asymmetrischen Konfigurationen wird üblicherweise zusätzlich der Abstand  $h_1$  zur unteren Potentialfläche angegeben [lvd00].

was wieder auf die Betrachtung infinitesimaler Leiterelemente mit Matrizen für Kapazität und Induktivität pro Länge führt. Die Vierpoltheorie liefert für die Impedanzen  $Z_u$ ,  $Z_g$  und die Signallaufzeit  $t_u$ ,  $t_g$  pro Länge:

$$Z_u = \sqrt{\frac{L_s - L_m}{C_{\text{tot}} + C_m}}, \quad t_u [\text{ps cm}^{-1}] = 10^{12} \sqrt{(L_s - L_m)(C_{\text{tot}} + C_m)} \quad (2.21)$$

$$Z_g = \sqrt{\frac{L_s + L_m}{C_{\text{tot}} - C_m}}, \quad t_g [\text{ps cm}^{-1}] = 10^{12} \sqrt{(L_s + L_m)(C_{\text{tot}} - C_m)} \quad , \quad (2.22)$$

mit der Selbstinduktivität der Leitung  $L_s$ , der gegenseitigen Induktivität  $L_m$ , der Kapazität der Leitung  $C_{\text{tot}}$ , sowie der Kapazität der jeweils betrachteten Leiterbahn zu den umliegenden Leitern (nicht zur Masse)  $C_m$ , jeweils in Einheiten pro Längeneinheit. Für die charakteristische Impedanz des Paares folgt dann aus der Reihen- bzw. Parallelschaltung beider Leitungen des Paares an einem Abschlusswiderstand bzw. Verbraucher:

$$Z_{\text{diff}} = 2 \cdot Z_u \text{ Reihenschaltung} \quad (2.23)$$

$$Z_{\text{gleich}} = \frac{Z_g}{2} \text{ Parallelschaltung} \quad . \quad (2.24)$$

Letztendlich wird die Berechnung dieser Werte wieder einem *Field Solver* überlassen, laut [lvd00] können für Abschätzungen mit akzeptabler Genauigkeit auch folgende Näherungen verwendet werden:

$$\text{Microstrip: } Z_{\text{diff}} [\Omega] \approx 2 \cdot Z_0 \left( 1 - 0.48 e^{-0.96 \frac{s}{h}} \right) \quad (2.25)$$

$$\text{Stripline: } Z_{\text{diff}} [\Omega] \approx 2 \cdot Z_0 \left( 1 - 0.347 e^{-2.9 \frac{s}{h}} \right) \quad , \quad (2.26)$$

mit  $Z_0$  aus Gleichungen 2.19 und 2.20. Mit wachsendem Abstand, d.h. geringer werdender Wechselwirkung, nähern sich die charakteristischen Impedanzen der einzelnen Leitungen offensichtlich wieder der einer einfachen Datenleitung.

Die praktische Bedeutung differentieller Datenleitungen gründet sich sowohl auf der minimalen elektromagnetischen Abstrahlung als auch auf der damit verbundenen Störempfänglichkeit. Das Abstrahlverhalten wird vor allem durch die gegenseitige Induktion der Leiter bestimmt. Bei gegenphasigem Betrieb und möglichst kleinem Abstand sind die Magnetfelder der Leiter annähernd entgegengesetzt gleich und löschen sich damit aus. Durch einen kleinen Abstand wirken außerdem Störungen von außen in annähernd gleicher Weise auf das differentielle Paar und bei der Auswertung des Signals im Empfänger wird diese Gleichtaktstörung durch die Subtraktion der beiden Signale voneinander wieder eliminiert. Durch zu großen Abstand wirken sich äußere Störungen nicht mehr

nur als Gleichtaktstörungen, sondern auch als unterschiedliche Störungen der einzelnen Signale aus; der Vorteil differentieller Datenleitungen geht dann verloren.

Unerwünschte Signalreflexionen werden auf Datenleitungen jeglicher Art durch Unstetigkeiten der Impedanz verursacht. Die gravierendsten Impedanzunterschiede befinden sich in der Regel am Übergang von Datenleitung zu Empfänger, oder allgemeiner am Ende einer Datenleitung (am offenen Ende geht  $Z_0$  gegen unendlich). Um eine gute Signalqualität zu erhalten, ist deshalb die Anpassung der Impedanz in Form einer Terminierung an diesen Stellen von essentieller Bedeutung.

### Kapazitiv belastete Leitungen

Zur korrekten Bestimmung der Impedanz einer Leiterbahn ist außerdem noch ein Punkt zu berücksichtigen, der sowohl auf einfache als auch auf differentielle Datenleitungen zutrifft. Die Impedanz hängt direkt von der Induktivität  $L$  und der Kapazität  $C$  der Leiterbahn ab. Die Impedanz  $Z_0$  einer Leiterbahn ändert sich also durch Layoutelemente, wie z.B. Vias und durch zusätzliche kapazitive Lasten an einer Leitung mit mehreren Abgriffen und Empfängern. Ein solcher Fall tritt unter anderem auf den Taktleitungen der Backplane des vorgestellten Systems auf (siehe Kapitel 3, Schaltungsentwurf). Das Verfahren zur Berechnung dieser Impedanzänderung beruht wieder auf der Verteilung der zusätzlichen Kapazität auf die gesamte Länge der Leiterbahn, ebenso, wie für die Verteilung der intrinsischen Kapazität der Leiterbahn zur Bildung des Ersatzschaltkreises verfahren wird. Eine Rechtfertigung dieses Verfahrens findet sich in [JG93]. Dort wird auch gezeigt, dass für die effektive Kapazität  $C'$  der Leiterbahn dann gilt:

$$C' = C_{\text{line}} + \frac{N C_{\text{Last}}}{\text{Länge}}, \quad (2.27)$$

wobei  $C_{\text{Last}}$  = Summe der zusätzlichen Kapazitäten in pF,

$N$  = Anzahl zusätzlicher Kapazitäten,

Länge = Gesamtlänge des Busses,

$C_{\text{line}}$  = Kapazität der Leiterbahn in pF/cm,

$C'$  = Effektive Kapazität in pF/cm.

Somit berechnet sich die effektive Impedanz  $Z'_0$  einer Leiterbahn zu:

$$Z'_0 \approx \sqrt{\frac{L}{C'}}. \quad (2.28)$$

Für die effektive Signallaufzeit ergibt sich:

$$t'_d [\text{ps/cm}] = \sqrt{LC'} \quad (2.29)$$

mit der effektiven Kapazität  $C'$  [pF/cm] und der existierenden Induktivität  $L$  [pH/cm] der Leiterbahn. Da sowohl die Kapazität der Leiterbahn als auch die typische Kapazität des Pins eines Steckers in der Größenordnung Pikofarad liegen, hat die zusätzliche kapazitive Belastung einer Leiterbahn offensichtlich einen signifikanten Einfluss auf deren Impedanz und Signallaufzeit. Dies kann durchaus zu Problemen führen, was in Kapitel 4 bei der Analyse des Layouts der HAGEN-Schnittstelle deutlich wird.

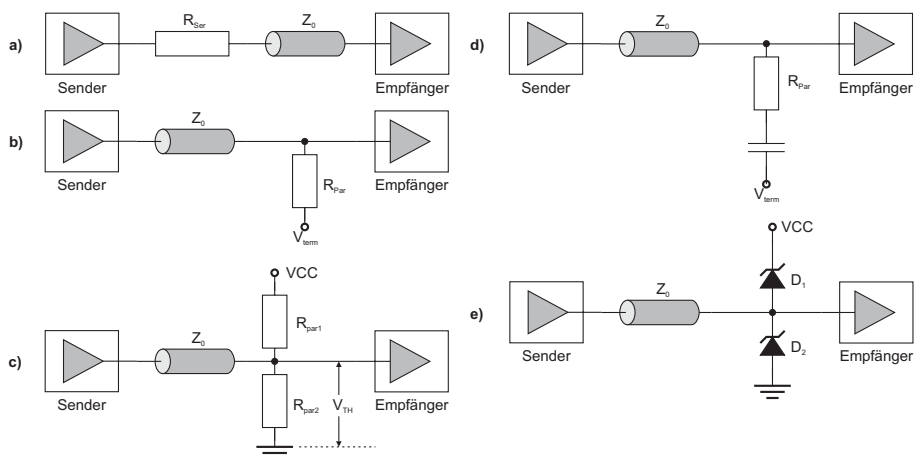
### 2.2.4 Terminierungstechniken

In einem typischen digitalen System ist die Impedanz des Treibers kleiner als die Impedanz der Leiterbahn, welche wiederum kleiner als die Impedanz des Empfängers ist. Dies führt zu Reflexionen,

die zu unerwünschten Effekten wie Überspringen oder durch vergrößerte Amplituden auch verstärktem Übersprechen führen. Unerwünscht sind diese Effekte, weil sie zu einer Reihe weiterer Probleme führen: Falsches Ansprechen von Taktleitungen, fehlerhafte Daten- oder Adressbits oder auch erhöhte elektromagnetische Abstrahlung der ganzen Platine, was bei kommerziellen Anwendungen zu einer Nichtzulassung durch die zuständigen Behörden führen kann. Der beste Weg, diese Effekte zu vermeiden ist, die Leiterbahn passend zu terminieren, wobei die beschriebenen Änderungen der charakteristischen Impedanz durch zusätzliche Layoutelemente zu berücksichtigen sind. Die Terminierung abgeschlossener und differentieller Datenleitungen unterliegt in beiden Fällen den gleichen physikalischen Gesetzmäßigkeiten. Dabei sind jedoch unterschiedliche technische Aspekte zu beachten.

### Terminierung einfacher Datenleitungen

Die verbreitetsten Terminierungstechniken sind serielle Terminierung, parallele Terminierung, Dual- oder Thevenin-Terminierung, AC-Terminierung und Schottky-Dioden-Terminierung. Sie sind in Abbildung 2.9 dargestellt und werden im Folgenden separat erläutert.



**Abbildung 2.9:** Darstellung der drei gängigsten Terminierungstechniken: a) Serieterminierung b) Parallelerminierung c) Dual- oder *Thevenin*-Terminierung d) AC-Terminierung e) Schottky-Dioden-Terminierung.

### Serienterminierung

Im Gegensatz zu den übrigen Terminierungstechniken ist die Serienterminierung eine Quellenterminierung, d.h. der Serienwiderstand wird möglichst nahe am Sender platziert und muss in der Summe mit der Impedanz des Treibers die Impedanz der Leiterbahn ergeben:  $Z_{\text{Treiber}} + R_{\text{ser}} = Z_0$ . Der so entstandene Spannungsteiler aus Leitungsimpedanz einerseits und der Summe aus Serienwiderstand und Treiberimpedanz andererseits hat zur Folge, dass sich das Signal auf der Leitung zunächst nur mit halber Amplitude ausbreitet. Nach Gleichung 2.12 verdoppelt sich die Amplitude am typischerweise hochohmigen Empfänger nahezu, so dass dieser instantan die volle Amplitude „sieht“. Die rücklaufende Welle wird am Sender nicht wieder reflektiert, da die Summe aus Treiberimpedanz und Serienwiderstand jetzt der charakteristischen Impedanz der Leitung entspricht. Vorteile dieser Art der Terminierung sind, dass diese pro Treiber nur einen Widerstand mehr im System erforderlich macht und keine zusätzliche Last für den Treiber darstellt.

Ein Nachteil der Serienterminierung ist das Problem der Anpassung an die Treiberimpedanz. Die meisten Treiber sind nichtlinear, d.h. die Impedanz des Treibers ändert sich mit seinem Zustand und

es treten auch am Treiber wieder unerwünschte Reflexionen auf. Ein weiterer Nachteil ist das Abklingen des Signals am Empfänger nach der ersten durch den Impedanzsprung verursachten Spitze, da der volle Pegel des Signals erst nach der doppelten Signallaufzeit der Leitung erreicht wird. Weiterhin wird die Zeitkonstante des aus Kapazität der Leiterbahn und Impedanz des Treibers gebildeten RC-Gliedes vergrößert, was zu einer Vergrößerung der Anstiegszeit führt. Außerdem machen die (gewollten) Reflexionen auf der Leiterbahn bei hohen Frequenzen eine Anwendung zur Terminierung von Datenleitungen mit mehreren Abgriffen unbrauchbar, da die Überlagerung des vorwärts und zurück laufenden Signals eine Auswertung erschwert. Ist die Frequenz des Rechtecksignals allerdings niedrig genug, so dass alle Reflexionen abgeklungen sind, bevor das Signal seinen Zustand wechselt, ist die korrekte Auswertung doch möglich. Beispielsweise sind die Daten- und Kontrollleitungen des mit 33 MHz getakteten PCI-Busses serienterminiert.

### Parallelterminierung

Neben der Serienterminierung ist dies die einfachste Art der Terminierung. Ein Widerstand  $R_{\text{Par}}$  verbindet das Ende einer Leiterbahn mit einem Terminierungspotential  $V_{\text{TT}}$ . Nach Gleichung 2.8 muss  $R_{\text{Par}}$  gleich der Leitungsimpedanz  $Z_0$  sein, um Reflexionen zu vermeiden, wobei das an  $R_{\text{Par}}$  anliegende Potential hierfür keine Rolle spielt ([JG93]). Der Vorteil dieses Verfahrens ist der minimale Bauteilaufwand, obwohl man idealerweise beide Enden der Leitung parallel terminieren würde. Die beidseitige Terminierung einer Leiterbahn empfiehlt sich vor allem auf bidirektionalen Datenbusleitungen. Reflexionen werden so an beiden Enden unterdrückt.

Ein gravierender Nachteil der Parallelterminierung ist der hohe Gleichstrom, der, abhängig vom Logikpegel und der Terminierungsspannung, durch den Terminierungswiderstand fließt. Der Ausgangstreiber eines an eine mit  $100\Omega$  terminierte Leitung angeschlossenen ICs müsste bei einem Pegel von 2.5 V beispielsweise einen Gleichstrom von 25 mA liefern, was dieses Terminierungsverfahren für Systeme mit breiten Datenbussen und geringem Leistungs-Budget kritisch macht. Das Potential am Empfänger wird außerdem durch den Spannungsabfall am Terminierungswiderstand angehoben bzw. abgesenkt, was zu einer Verschlechterung des Störspannungsabstands führt.

### Thevenin- oder Dual-Terminierung

Hier wird das Signal zwischen den beiden Widerständen  $R_{\text{Par1}}$  und  $R_{\text{Par2}}$  eines Spannungsteilers terminiert. Der resultierende Widerstandswert des Spannungsteilers muss gleich der Leitungsimpedanz sein:

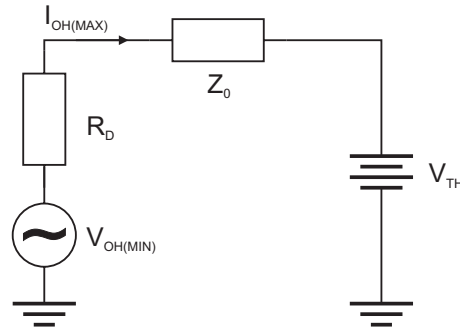
$$Z_0 = \frac{R_{\text{Par1}} R_{\text{Par2}}}{R_{\text{Par1}} + R_{\text{Par2}}} \quad (2.30)$$

Das Verhältnis zwischen  $R_{\text{Par1}}$  und  $R_{\text{Par2}}$  kann zwar im Rahmen der folgenden Überlegungen beliebig gewählt werden, um das terminierte Signal aber möglichst symmetrisch zu halten, sollten gleiche Werte gewählt werden, so dass der Abstand von logisch LOW und logisch HIGH zur Terminierungsspannung gleich ist. Mit

$$\text{ergibt sich: } \begin{aligned} \frac{V_{\text{TH}}}{V_{\text{CC}}} &= \frac{R_{\text{Par2}}}{R_{\text{Par1}} + R_{\text{Par2}}} = \frac{Z_0}{R_{\text{Par1}}} \\ R_{\text{Par1}} &= \frac{Z_0 \cdot V_{\text{CC}}}{V_{\text{TH}}} \quad \text{und} \quad R_{\text{Par2}} = \frac{Z_0 \cdot R_{\text{Par1}}}{R_{\text{Par1}} - Z_0} \end{aligned} ,$$

wobei  $V_{\text{TH}}$  die über  $R_2$  abfallende *Thevenin-Spannung* und  $V_{\text{CC}}$  die Betriebsspannung des Systems ist. Für  $R_{\text{Par2}}$  ergibt sich somit:

$$R_{\text{Par2}} = Z_0 \cdot \frac{V_{\text{CC}}}{V_{\text{CC}} - V_{\text{TH}}} \quad (2.31)$$



**Abbildung 2.10:** Das Thevenin-Modell der Parallelterminierung einer *single-ended* Leitung zeigt den von der Quelle gelieferten Strom  $I_{OH(MAX)}$ .

Die Thevenin-Spannung  $V_{TH}$  ist eine Unbekannte in dieser Gleichung und wird aus den Treiberspezifikationen bestimmt. Hierzu betrachtet man zunächst das in Abbildung 2.10 dargestellte Ersatzschaltbild dieser Terminierung. Über den beiden Widerständen  $R_D$  und  $Z_0$  fällt insgesamt die Spannung  $V_{OH(MIN)} - V_{TH}$  ab, so dass für  $V_{TH}$  gilt:

$$V_{TH} = V_{OH(MIN)} - I_{OH(MAX)}(R_D + Z_0) \quad . \quad (2.32)$$

$V_{OH(MIN)}$  bezeichnet die minimal vom Treiber gelieferte Spannung im HIGH-Zustand.  $I_{OH(MAX)}$  ist der Strom, der maximal vom Treiber geliefert werden kann, solange  $V_{OH(MIN)}$  nicht unterschritten wird. Beide Werte können dem Datenblatt des entsprechenden Treibers entnommen werden. Im HIGH-Zustand des Treibers erfüllt der Widerstand  $R_{Par1}$  nun die Funktion eines pull-up Widerstandes, indem der angeschlossenen Last durch  $R_{Par1}$  Strom zugeführt wird. Dieser Strom, zusammen mit dem vom Treiber gelieferten Strom, ist gerade noch klein genug, um den Ausgang des Treibers auf seiner Minimalspannung  $V_{OH(MIN)}$  für den logischen HIGH-Zustand halten zu können. Im LOW-Zustand fließt überflüssiger Strom (jeder Strom größer als der maximal vom Treiber bei Stromrückfluss verbrauchbare Strom  $I_{SINK(MAX)}$  bzw.  $I_{OL(MAX)}$ ) über  $R_{Par2}$  von der angeschlossenen Last zur Masse. Die Verwendung der spezifizierten Maximalwerte des Treibers minimiert außerdem die in den Terminierungswiderständen entstehende Verlustleistung. In PECL-Systemen<sup>18</sup> kann diese Terminierung verwendet werden, um die Leitung auf das von den Treibern benötigte Potential zu ziehen. Siehe hierzu auch [JG93].

Der Vorteil dieser Terminierung liegt hauptsächlich in ihrer Wirkung als pull-up bzw. pull-down-Widerstand, was den Störspannungsabstand vergrößert und den Treiber, speziell in Systemen mit hohem Spannungshub, entlastet. Nachteilig wirkt sich hauptsächlich der hohe statische Stromverbrauch in den Terminierungswiderständen und der größere Bauteilaufwand aus.

### AC-Terminierung

Die AC-Terminierung besteht aus einem Kondensator und einem Widerstand, die am Ende der Leitung in Reihe zur Masse verbunden werden. Der Widerstand muss gleich der charakteristischen Impedanz der Leitung sein, um Reflexionen zu unterdrücken. Die Wahl des Kondensators hingegen ist kompliziert, da für einen kleinen Wert die Zeitkonstante des entstehenden RC-Gliedes klein wird, welches dann wiederum Über- bzw. Unterschwingen erzeugt. Andererseits verursacht eine größere Kapazität eine größere Leistungsaufnahme. Da dieses Terminierungsverfahren in der vorgelegten Arbeit nicht verwendet wird, sei für weitere Details auf [EN98] verwiesen.

<sup>18</sup>PECL: Positive Emitter Coupled Logic.

Ein Vorteil dieser Terminierung ist das Blockieren von Gleichstrom durch den Kondensator und ein nahezu perfektes Signal am Empfänger bei richtiger Wahl der Kapazität. Ein gravierender Nachteil wird allerdings deutlich, wenn mehrere, gleiche Bits übertragen werden. Der Kondensator wird dann, abhängig vom übertragenen Bitmuster, auf die maximale Ausgangsspannung des Treibers geladen, was einerseits zu einer Änderung der am Kondensator anliegenden Terminierungsspannung  $V_{TT}$  führt und außerdem durch die vergrößerte Potentialdifferenz die Anstiegszeit des Signals vergrößert und damit den Schaltpunkt verzögert.

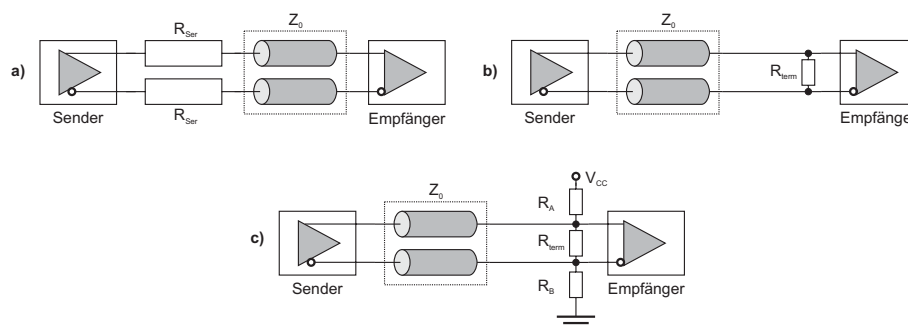
### Schottky-Dioden-Terminierung

Anwendung findet die Schottky-Dioden-Terminierung in Systemen, deren Leitungsimpedanz nicht bekannt ist, da sie keine Impedanzanpassung erfordert. Reflexionen, die am Empfänger auftreten und dessen Potential auf die Betriebsspannung  $V_{CC}$  plus die Durchlassspannung der Diode anheben, schalten die Diode durch und lassen das Überschwingen am Empfänger sofort zusammenbrechen. Auf gleiche Weise arbeitet die zur Masse verbundene Diode. Die Dioden bieten keine Impedanzanpassung. Dadurch entstehen Reflexionen, welche nur durch ohmsche Verluste auf der Leitung gedämpft werden. Es können allerdings an beliebigen Stellen der Leitung weitere Dioden angebracht werden, wodurch auch dort zumindest Überschwingen verhindert wird. Anforderungen an die Dioden, wie kurze Ansprechzeit und niedrige Durchlassspannung werden nur von Schottky-Dioden erfüllt.

Die Unabhängigkeit von der Leitungsimpedanz ist ein großer Vorteil dieser Technik. Da zudem die meisten digitalen Bauelemente mit schnell durchschaltenden Clamping-Dioden ausgestattet sind, ist die Dioden Terminierung einer Leitung in den meisten Fällen ohnehin gegeben (siehe z.B. LVCMOS-Systeme in Abschnitt 2.3.2). Der größte Nachteil besteht in den nicht unterdrückten Reflexionen auf der Leitung.

### Terminierung differentieller Datenleitungen

Die Terminierung einer differentiellen Datenleitung erfüllt neben der Minimierung von Reflexionen auch noch einen weiteren Zweck. Da die Möglichkeit gegeben ist, die logischen Zustände der Leitung über die Stromrichtung im Terminierungswiderstand zu definieren, bietet es sich an, den Sender nicht als Spannungsquelle, sondern als Stromquelle zu implementieren. Diese stellt den Stromfluss durch den Terminierungswiderstand am Empfänger auf einen, meist vom Signalstandard abhängigen Wert ein. Die Richtung des Stromes bzw. die Polarität der über dem Terminierungswiderstand abfallenden Spannung definiert dann den logischen Zustand des Signals. Unabhängig hiervon bestehen noch andere Möglichkeiten, eine differentielle Datenleitung zu terminieren. Abbildung 2.11 zeigt die gängigsten Verfahren.



**Abbildung 2.11:** Darstellung der fünf gängigsten Terminierungstechniken differentieller Datenleitungen: a) Serienterminierung, b) Parallelterminierung, c) Power-Terminierung.

### Serienterminierung

Grundsätzlich ist diese Terminierung als Äquivalent zur Serienterminierung einer abgeschlossenen Datenleitung zu betrachten. Das Signal wird am Empfänger einmal reflektiert und am Sender durch den passenden Serienwiderstand in Reihe mit der Treiberimpedanz des Senders vollständig absorbiert. Damit sich der Signalpegel korrekt am Empfänger ausbilden kann, muss diese Reflexion abgeklungen sein. Bei Verbindungen mit langer Signallaufzeit (z.B. lange Kabel) wird die erreichbare Übertragungsrate also durch diese Art der Terminierung stark limitiert. Zudem ist die Anwendung in Bussen mit hoher Datenrate wegen der Überlagerung der hin- und rücklaufenden Wellen nicht möglich. Im vorgestellten System kommen Serienterminierungen nur in Verbindung mit Parallelterminierungen vor, da Parallel- und Serienwiderstand als Spannungsteiler aufgefasst werden können, um den Signalpegel an den Empfänger anzupassen.

### Parallelterminierung

Die Parallelterminierung ist die am häufigsten angewendete Methode zur Terminierung differentieller Leitungen. Man kann sich den Abschlusswiderstand als symmetrischen Spannungsteiler vorstellen, dessen mittleres Potential stets auf der Gleichtaktspannung des differentiellen Signals liegt. Dann terminiert jede Hälfte des Abschlusswiderstands die ungerade Mode der an ihr endenden Leitung des differentiellen Paares auf dieses Potential. Damit gilt für den Terminierungswiderstand  $R_{\text{term}}$  bei symmetrischen Konfigurationen:

$$R_{\text{term}} = 2 \cdot Z_u = Z_{\text{diff}} \quad . \quad (2.33)$$

Um die Energie der einlaufenden Welle vollständig zu absorbieren, muss also der Terminierungswiderstand an die differentielle Impedanz der Datenleitung angepasst sein. Im Falle bidirektionaler Kommunikation sollten wegen der Signalausbreitung in beide Richtungen beide Enden einer differentiellen Datenleitung parallel terminiert werden.

### Power-Terminierung

Diese Art der Terminierung entspricht im Wesentlichen der Thevenin- oder Dual-Terminierung einfacher Datenleitungen. Die Wahl der Widerstände  $R_A$ ,  $R_{\text{term}}$  und  $R_B$  muss so erfolgen, dass beide Transmission Lines des Paares mit dem der ungeraden Mode ihrer Impedanz entsprechenden Widerstand terminiert werden. Die Terminierung an bestimmte Potentiale dient zur Vermeidung undefinierter Zustände am Empfänger. Setzt der Empfängerbaustein beispielsweise eine minimale Spannungsdifferenz von 200 mV an seinen Eingängen voraus, um sich in einem definierten logischen Zustand zu befinden, muss der durch die drei Widerstände gebildete Spannungsteiler so eingestellt werden, dass über  $R_{\text{term}}$  mindestens 200 mV abfallen. Vorausgesetzt, dass das an den Terminierungswiderständen anliegende Potential für die Terminierung der Leitung unerheblich ist ([HHM00]), kann der Wert des terminierenden Spannungsteilers aus der Parallelschaltung von  $R_{\text{term}}$  und  $R_A + R_B$  berechnet werden:

$$Z_0 = \frac{R_{\text{term}} \cdot (R_A + R_B)}{R_{\text{term}} + (R_A + R_B)} \quad . \quad (2.34)$$

Außerdem muss der geforderte Spannungsabfall über  $R_{\text{term}}$  erfüllt sein. Für eine genaue Berechnung sei auf [nat92] verwiesen.

## 2.3 Strategien zur Sicherung der Symbolintegrität

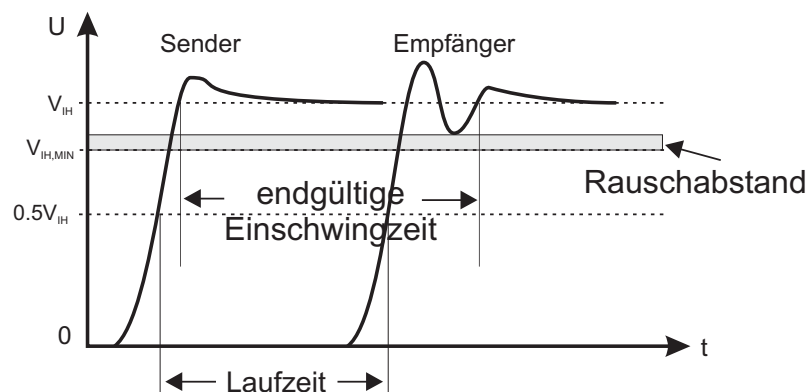
Für die Funktion digitaler Schaltungen ist die *Symbolintegrität*, d.h. die korrekte Übertragung eines Bitmusters und dessen Erkennung von essentieller Bedeutung. Mit der Kenntnis der verschiedenen

Parameter der verwendeten Bauteile und der Möglichkeit, die Signalausbreitung im Leiter entweder abzuschätzen oder zu simulieren, kann das „Aussehen“ eines Signals bestimmt werden. Die digitale Symbolintegrität hängt nun direkt von der analogen Signalqualität ab. Die Integrität eines Symbols wird aber auch durch sein Timing und andere, das zeitliche Verhalten betreffende Parameter, bestimmt. Einige dieser Parameter sind bauteilspezifisch, werden aber aus Konsistenzgründen bei der Beschreibung digitaler Signale mit aufgeführt.

### 2.3.1 Charakterisierung digitaler Signale

Die folgenden Parameter dienen zur Charakterisierung eines digitalen Signals und bestimmen dessen Symbolintegrität.

- **Endgültige Einschwingzeit** (engl.: final settle delay): Falls ein Signal am Empfänger starkes Einschwingen zeigt, kann die physikalische Signallaufzeit unter Umständen nicht mehr als die Zeit betrachtet werden, nach der am Empfänger der Wert eines Signals garantiert korrekt ausgewertet werden kann. Vielmehr wird hier ausschlaggebend, wann das Signal zum letzten mal die Schwellenspannung  $V_{IH(MIN)}$  (für den HIGH-Zustand) des Empfängers über- bzw. unterschreitet. Als *endgültige Einschwingzeit* wird die Zeit zwischen Überschreiten der Schwellenspannung am Sender bis zum letzten Überschreiten der Schwellenspannung am Empfänger bezeichnet, siehe Abbildung 2.12. Nach der endgültigen Einschwingzeit wird das Signal als *stabil* bezeichnet.



**Abbildung 2.12:** Veranschaulichung der Signallaufzeit, der endgültigen Einschwingzeit sowie des Störspannungsabstands.

- **Setup- und Hold-Zeit** (engl.: setup and hold time): Die Setup-Zeit ist die Zeitspanne relativ zu einer Taktflanke, über die der Eingang eines Flip-Flops oder Latches<sup>19</sup> stabil sein muss, um ein korrektes Auslesen des Eingangs zu gewährleisten. Als Hold-Zeit wird entsprechend die nach der Taktflanke benötigte Zeit bezeichnet, über die der Eingang stabil sein muss, um den Wert des Signals noch korrekt zu detektieren.
- **Störspannungsabstand** (engl.: noise margin): Der Störspannungsabstand bezeichnet die Spannungsdifferenz zwischen Signalpegel  $V$  und der Schwellenspannung  $V_{IH(MIN)}$  des Empfängers. In Abbildung 2.12 ist der verbleibende Störspannungsabstand während des Einschwingvorgangs des dargestellten Signals illustriert. Hier wird ersichtlich, dass ein Rauschabstand von 0 Volt oder weniger dazu führt, dass das Signal vom Empfänger nicht mehr korrekt ausgewertet

<sup>19</sup>Flip-Flops oder Latches dienen als Zwischenspeicher für an einem Chip eingehende Daten. Sie geben ein gespeichertes Datum synchron zum Chip-Takt an dessen interne Logik weiter.



werden kann, wodurch das übertragene Symbol verdorben wird und Fehler in der Datenübertragung entstehen. Der Signalpegel kann neben dem Einschwingvorgang am Empfänger auch durch Reflexionen, Übersprechen und ohmsche Verluste auf der Leiterbahn verringert werden. Die korrekte Übertragung eines Symbols ist gewährleistet, sofern der Störspannungsabstand des Signals während der Setup- und Hold-Zeit des Empfängers nicht kleiner als 0 Volt wird.

- **Jitter:** Der hier zutreffende Begriff für Jitter ist Versatz oder Abweichung. Jitter ist definiert als die Abweichung eines Ereignisses von seinem idealen Timing. Für elektrische Signale ist diese Referenz der Nulldurchgang des Differenzsignals (zusammengesetzt aus dem Original und seinem 180° phasenverschobenen Äquivalent). Es werden drei Arten von Jittern unterschieden:

**Systematischer Jitter** (engl.: deterministic jitter): Die Verschiebung des Übergangzeitpunkts eines Signals durch äußere Einflüsse, welche nicht durch den betrachteten Treiber verursacht werden, wird als *Systematischer Jitter* bezeichnet. Beispielsweise wird bei der Übertragung mehrerer Nullen, durch die vollständige Entladung der durch den Empfänger dargestellten Kapazität, die Spannung eines Ausgangs weiter absinken, als bei abwechselnder Übertragung von Nullen und Einsen. Hierdurch wird die Anstiegszeit vergrößert und damit der Nulldurchgang des Differenzsignals verzögert. Der systematische Jitter ist linear additiv und setzt sich aus einer Reihe weiterer Effekte zusammen, auf die in [wav01] genauer eingegangen wird.

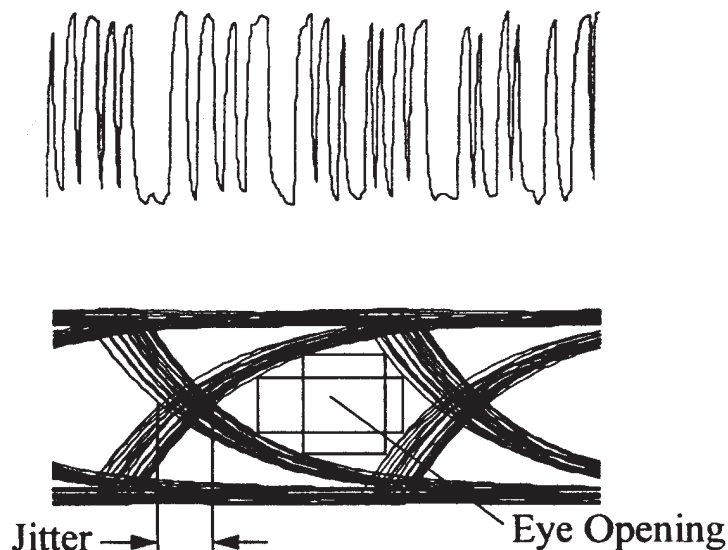
**Zufälliger Jitter** (engl.: random jitter): Fertigungstoleranzen und Temperaturabhängigkeit eines Treibers beeinflussen dessen Fähigkeit, seinen Ausgang mit möglichst gleichbleibendem zeitlichen Verhalten umzuschalten. Diese Beeinflussung des Schaltvorgangs hat stochastische Ursachen und wird aus diesem Grund als *zufälliger Jitter* bezeichnet. Der zufällige Jitter ist Gauß-verteilt. Als *RMS-Jitter* wird außerdem die Standardabweichung der Verteilung der Abweichungen der Signalübergänge von ihrem Sollwert bezeichnet.

**Spitze-Spitze Jitter** (engl.: peak-to-peak jitter): Ausgehend von der steigenden Flanke eines Rechtecksignals, ist der *Spitze-Spitze Jitter* die Differenz zwischen der längsten und der kürzesten Periodendauer dieses Rechtecksignals. Dieser Wert ist stochastischer Natur, so dass bei der Bestimmung des Spitze-Spitze Jitters über einen möglichst großen Zeitraum gemessen werden sollte (in der Regel etwa 50 000 Zyklen).

- **Arbeitszyklus** (engl.: duty cycle): Der Arbeitszyklus ist der prozentuale Anteil an der Signalperiode, zu dem das Signal HIGH ist. Ein ideales Rechtecksignal hat einen Arbeitszyklus von 50%. Gemessen wird in der Regel bei 50% des vollen Signalpegels. Die Dauer des HIGH-Zustands ist dann durch die Pulsbreite (siehe Abbildung 2.5) festgelegt.

Wie schon bei der Definition des Jitters angedeutet, hängt die Integrität der übertragenen Daten nicht nur von den physikalischen Eigenschaften der einzelnen Komponenten ab, sondern auch vom übertragenen Bitmuster bzw. von der Reihenfolge der übertragenen Symbole. Bei ständigem Zustandswechsel des Signals, wie es z.B. auf Taktleitungen der Fall ist, bleibt unter Vernachlässigung äußerer Einflüsse wie Übersprechen der Spannungshub und der Arbeitszyklus des Senders konstant und der Jitter ist rein zufällig. Bei der Übertragung mehrerer gleicher Werte in Folge wird die durch Sender, Leiterbahn und Empfänger gebildete Kapazität vollständig auf den Signalpegel geladen, was bei schnellen Wechseln wegen der endlichen Zeitkonstante dieses RC-Gliedes nicht der Fall ist. Dies bedingt einen größeren zu überwindenden Spannungshub des Senders, einen verzögerten Signalübergang und evtl. eine Verschlechterung des Überschwingverhaltens. Um alle durch verschiedene Bitmuster entstehenden Effekte und auch Einflüsse durch Übersprechen in einem Diagramm sichtbar machen zu können, wird das Signal (entweder ein simuliertes Signal oder die Ausgabe eines Speicher-Oszilloskops) auf der Länge seiner Periode mit sich selbst überlagert. Das mit diesem Signal übertragene Bitmuster muss mindestens folgende Extreme repräsentieren: Ständiger Wechsel des Signalpegels und Wechsel nach statischem Pegel. Zudem sollte das Bitmuster zufällig und möglichst

lang (ab 16 Bit) sein. Das durch diese Überlagerung entstehende Diagramm wird als *Augendiagramm* bezeichnet und ist in Abbildung 2.13 dargestellt.



**Abbildung 2.13:** Ein stark verrauschtes Signal und sein Augendiagramm (DP01).

Die „Öffnung“ dieses Augendiagramms gibt an, welchen Spielraum man zur korrekten Auswertung des Signal auf Spannungs- und Zeitachse hat. Lässt sich innerhalb dieser Öffnung ein Rechteck zeichnen, dessen Kantenlängen größer als der minimale Spannungsabstand der Zustände HIGH und LOW und größer als der minimale zeitliche Abstand zweier Signalübergänge sind, so kann das Signal stets korrekt ausgewertet werden und die Symbolintegrität ist gewährleistet<sup>20</sup>.

### 2.3.2 Verwendete Signalstandards

Effekte wie Reflexion und Übersprechen treten auf, sobald eine Leiterbahn auch als Wellenleiter angesehen werden kann. Abhängig von der Terminierung einer Leiterbahn und ihrer Umgebung wirken sie sich allerdings unterschiedlich aus, so dass beispielsweise auf korrekt terminierten Leiterbahnen kaum Reflexion auftritt. Durch parallele Leiterbahnführung mit niedrigem Abstand kann dagegen Übersprechen zu einem ernsthaften Problem werden. Der wachsende Bedarf an Geschwindigkeit und hohen Datenraten wirft hier Probleme auf: Die Parallelisierung der Datenübertragung auf Bussen mit einer Breite von bis zu 256 Bit, wachsende Taktfrequenzen und die Forderung nach minimalem Platzbedarf widersprechen sich. Das Lösen oder Umgehen dieser Probleme erfordert die Anwendung spezieller, an das jeweilige Problem angepasster Übertragungsstrategien bzw. Signalstandards. Der für die Kommunikation zweier Bauteile geforderte Signalstandard wird durch die Wahl dieser Bauteile festgelegt. Die Anschlüsse des im vorgestellten System verwendeten FPGAs können auf verschiedene Signalstandards programmiert werden ([Xil02e]), welche im Folgenden kurz vorgestellt werden.

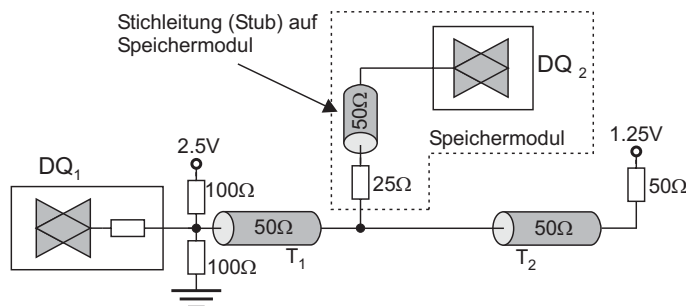
<sup>20</sup>Der Spannungsabstand wird durch die Schwellenspannungen für die Zustände HIGH und LOW  $V_{IH,MIN}$  und  $V_{IL,MAX}$  des Empfängers bestimmt. Bei Betrachtung eines Empfängers wird der minimale zeitliche Abstand durch die Summe aus Setup- und Hold-Zeit des Empfängers bestimmt. Die Analyse von Datenbussen erfordert evtl. eine Vergrößerung dieses Abstandes, um unterschiedliche Signallaufzeiten zu berücksichtigen.

## LVC MOS

Der LVC MOS-Signalstandard (**L**ow **V**oltage **C**omplementary **M**etal **O**xide **S**emiconductor) sieht untermillierte Direktverbindungen der einzelnen Bauteile mittels einfacher Datenleitungen vor. Er ist aus diesem Grund der am einfachsten zu implementierende Standard der hier vorgestellten. Da keine Terminierung der Datenleitungen vorgesehen ist, wird auch deren Impedanz nicht vorgeschrieben. Die Definition des Standards beschränkt sich also auf die Angabe der Schwellenspannungen im Treiber und im Empfänger. Da der LVC MOS-Standard nur die direkte Verbindung zweier Bauteile vorsieht, ist die Kompatibilität dieser Bauteile gewährleistet, solange die Schwellenspannungen zur Definition der logischen Zustände HIGH und LOW sowie die von den Bauteilen tolerierten Maximalspannungen mindestens bzw. höchstens gleich sind. Das bedeutet, dass LVC MOS-kompatible Bauteile auch mit anderen Bauteilen, deren Signalstandard nur über die Schwellen- und Maximalspannungen definiert ist, wie z.B. LVTTTL (Low Voltage Transistor-Transistor Logic), kombiniert werden können. Die Festlegung des LVC MOS-Standards sowie Kompatibilitäten mit anderen Signalstandards finden sich in [JED99]. Die Bezeichnung CMOS bezieht sich auch auf die Herstellung. Reine CMOS-Schaltungen haben sehr hochohmige Empfänger im Megaohm-Bereich, wodurch der Stromverbrauch eines solchen Systems sehr gering wird. Dies und das Wegfallen zusätzlicher Komponenten wie Terminierungswiderstände sind die Vorteile dieses Signalstandards. Nachteilig wirken sich vor allem Reflexionen durch den starken Impedanzsprung am Empfänger aus: Das Signal ist unter Umständen erst nach Abklingen der Reflexionen auswertbar. Dies stellt eine Obergrenze für die realisierbaren Datenraten dar.

## SSTL\_2

Dieser Standard legt die Kommunikation zwischen zwei ICs über einfache, impedanzkontrollierte und terminierte Leiterbahnen fest. Die Bezeichnung SSTL (Stub Series Terminated Logic) zeigt, dass dieser Standard für die Anwendung in Datenbussen mit mehreren Stichleitungen (Stubs), wie z.B. einer Speicherschnittstelle mit mehreren Modulen, ausgelegt ist. Der Standard gliedert sich in zwei Teile: Unidirektionale Kommunikation mit Serienterminierung am Sender und Parallelterminierung am Empfänger (SSTL\_2 Class I) und bidirektionale Kommunikation mit Serienterminierung am Sender und beidseitiger Parallelterminierung (SSTL\_2 Class II). Der Standard ist in [JED02b] festgelegt. Neben den Schwellenspannungen sind dort auch die Werte für die Impedanz der verbindenden Leiterbahnen sowie die Werte der Terminierungswiderstände angegeben. Der Standard beschränkt sich allerdings auf die Beschreibung von Punkt-zu-Punkt Systemen. Da im vorgestellten System ein gesockeltes Speichermodul mit SSTL\_2-Schnittstelle zum Einsatz kommt, wird die Anwendung des SSTL\_2-Standards auf Datenbussen beschrieben.



**Abbildung 2.14:** Illustration einer SSTL\_2-basierten Speicherschnittstelle mit einem Speichermodul.

In Abbildung 2.14 ist die Konfiguration für bidirektionale Kommunikation über einen Controller DQ<sub>1</sub>, die Leiterbahn auf der Hauptplatine T<sub>1</sub> und T<sub>2</sub> mit Terminierungen sowie die Stichleitung auf

einem Speichermodul mit Datenpin DQ<sub>2</sub> dargestellt. Laut [HHM00] können Wellenleiter-Effekte auf den Stichleitungen vernachlässigt werden, solange für die Signallaufzeit  $t_{\text{Stich}}$  auf der Stichleitung gilt:

$$t_{\text{Stich}} < \frac{1}{2} t_r \quad , \quad (2.35)$$

mit der Anstiegszeit des Signals  $t_r$ . Für Speichermodule mit einer maximalen Leiterbahnlänge von ca. 4 cm<sup>21</sup>, einer minimalen Anstiegszeit von 500 ps und einer Ausbreitungsgeschwindigkeit von 55 ps/cm ist diese Näherung gegeben. Die Stichleitungen stellen dann rein kapazitive Lasten dar, welche in ihrer Summe mit Kapazität pro Längeneinheit auf die Leiterbahn im Bereich des/der Speichermodul(e) verteilt werden. Die effektive Impedanz der Leiterbahn  $Z'_0$  auf der Hauptplatine wird nach Gleichung 2.28 berechnet. Mit dem so erhaltenen Wert für  $Z'_0$  ist auf Seite der Speichermodule parallel zu terminieren. Senderseitig wird parallel mit  $Z_0$  (normalerweise 50Ω) terminiert<sup>22</sup>. Da die zusätzlichen kapazitiven Lasten durch die Speichermodule einen Impedanzsprung mit daraus resultierenden Reflexionen verursachen, wird senderseitig (nach SSTL\_2-Standard) mit 25Ω serienterminiert. Um Reflexionen hochfrequenter Anteile des übertragenen Signals an den Speicherchips auf den Modulen zu unterbinden, werden die Stichleitungen mit 25Ω serienterminiert. Der Beginn der Stichleitung fungiert hier als „Treiber“ mit einer Impedanz von 25Ω, die aus der Parallelschaltung der Leiterbahnen T<sub>1</sub> und T<sub>2</sub> resultiert. Die Stichleitung wird mit 25Ω serienterminiert, um an die Impedanz der Leiterbahnen auf dem Speichermodul von 50Ω angepasst zu sein.

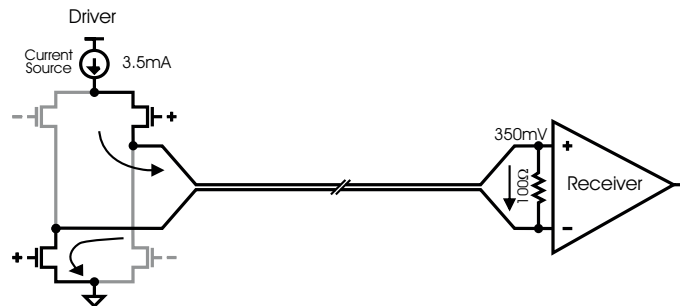
Wird dieses aufwendige Terminierungsschema korrekt implementiert, werden nur minimale Reflexionen in SSTL\_2-Systemen auftreten. Der große Bauteilufwand wirkt sich nachteilig in kostenintensiven Systemen und Systemen mit kleinem Raumangebot aus. Um über den Parallelterminierungswiderständen einen auswertbaren Spannungsabfall zu erzeugen, wird bei SSTL\_2 Class II zudem ein Gleichstrom von 16,2 mA pro Signal benötigt, was bei entsprechend breiten Datenbussen von z.B. 64 Bit hohe Anforderungen an den Sender stellt. Die Terminierung der Datenleitungen auf 1,25 Volt bewirkt eine Verringerung des relativen Spannungshubs zwischen den Datenleitungen eines Busses, wodurch dieser, auch wegen der fast vollständig unterdrückten Reflexionen, weniger Übersprechen erfährt als z.B. ein LVCMOS-Bus.

## LVDS

Dies ist der gängigsten *differentielle* Signalstandard. Der LVDS-Standard (**L**ow **V**oltage **D**ifferential **S**ignaling) ist in [ANS96] festgelegt. Maßgeblich an der Entwicklung dieses Standards beteiligt war der Halbleiterhersteller National Semiconductor, der das „LVDS Owner’s Manual“ [lvd00] bereitstellt, welches den Standard erschöpfend beschreibt. Die Datenübertragung erfolgt über differentielle Datenleitungen, was die in Abschnitt 2.2.3 beschriebenen Vorteile mit sich bringt. Wegen der Immunität gegenüber äußeren Störungen durch Übersprechen wird auf differentiellen Datenleitungen ein sehr gutes Signal-zu-Rausch-Verhältnis erreicht. Aus diesem Grunde werden die logischen Zustände HIGH und LOW, im Vergleich zu beispielsweise LVCMOS-Pegeln, über relativ geringe differentielle Signalpegel von ±340 mV definiert. Die Gleichtaktspannung des Differenzsignals soll typischerweise 1,25 V betragen. Im LVDS-Standard ist die Übertragung auf differentiellen Datenleitungen mit einer Impedanz von 100 Ω vorgesehen, welche parallel mit einem 100 Ω-Widerstand terminiert werden. Ein LVDS-Sender ist als Stromquelle ausgelegt, welche nominal ±3,4 mA treibt, so dass über dem Terminierungswiderstand die geforderten ±340 mV abfallen. Die Zustände HIGH und LOW sind somit über die Stromrichtung am Empfänger definiert. Eine typische Konfiguration ist in Abbildung 2.15 dargestellt. Der Stromfluss durch den hochohmigen Empfänger beträgt laut [lvd00] 20 μA und kann vernachlässigt werden.

<sup>21</sup>Hierzu wird folgende Annahme gemacht: Die einzigen Leitungen, die zu allen Chips des Moduls verteilt werden, werden in der Mitte des Moduls angeschlossen. Das Modul ist 6,8 cm breit. Siehe Datenblatt [Mic02b].

<sup>22</sup>Diese Terminierung ist in Abbildung 2.14 mittels einer Thevenin-Terminierung ausgeführt.

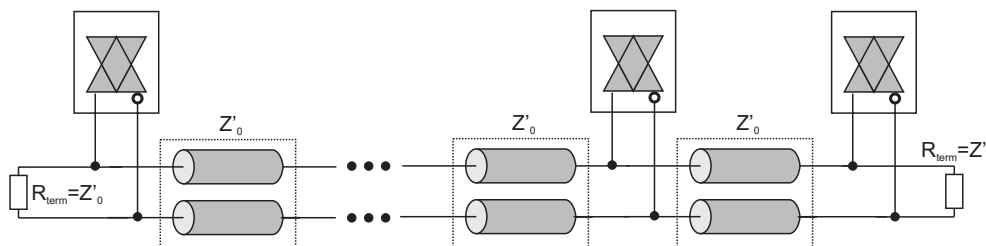


**Abbildung 2.15:** Eine typische LVDS-Konfiguration. Der Sender ist als Strom- und nicht als Spannungsquelle implementiert ([lvd00]).

Aufgrund des niedrigen Spannungshubs können sehr kurze Anstiegszeiten im Bereich von 0,25 ps erreicht werden, wodurch Datenraten von mehreren Gigabit pro Sekunde möglich sind. Die im vorgestellten System geforderte Datenrate von 600 MBit/s ist also ohne weiteres erreichbar.

### Bus-LVDS, Pseudo-LVDS

BUS-LVDS ist kein registrierter Standard, sondern lediglich die meist herstellerspezifische Erweiterung des LVDS-Standards zur Anwendung in mehrfach belasteten Datenbussen, wie sie z.B. auf Backplanes vorkommen. Die in Abbildung 2.16 dargestellte Konfiguration zeigt eine differentielle Datenleitung eines solchen Busses.

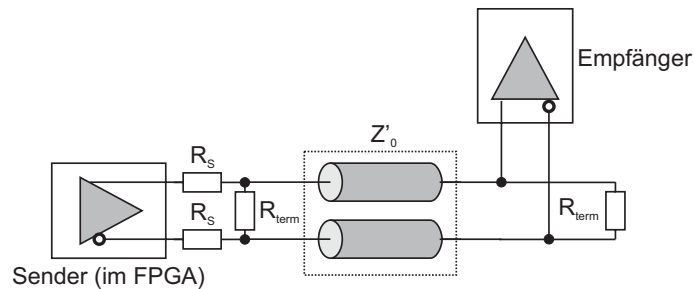


**Abbildung 2.16:** Illustration eines Halb-Duplex Datenbusses mit beidseitiger Terminierung.

Die Impedanz dieser Leitung wird durch die zusätzlichen kapazitiven Lasten nach Gleichung 2.28 auf  $Z'_0$  sinken. Außerdem ist die Leiterbahn beidseitig mit einem Widerstand des Wertes  $R_{\text{term}} = Z'_0$  terminiert. Ein Treiber in der Mitte der Leiterbahn wird die Parallelschaltung der beiden Terminierungswiderstände sehen. Beträgt die effektive Impedanz der Leiterbahn beispielsweise  $70 \Omega$ , so muss der Treiber über einem Widerstand von effektiv  $35 \Omega$  einen Spannungsabfall von mindestens  $340 \text{ mV}$  erzeugen, was einem Strom von ca.  $10 \text{ mA}$  entspricht. Vor allem die größere Strombelastbarkeit zeichnet BUS-LVDS-Treiber aus. In [KS00] wird beschrieben, wie BUS-LVDS-Treiber in FPGAs der Firma Xilinx realisiert werden (diese FPGAs werden auf der Platine NATHAN verwendet). Hier werden zwei ausreichend belastbare LVCMOS-Treiber gegenphasig betrieben und stellen einen differentiellen Treiber dar. Beide Treiber arbeiten mit einem Spannungshub von  $2,5 \text{ V}$ , was zu der geforderten Gleichtaktspannung von  $1,25 \text{ V}$  führt. Die differentielle Spannung von  $2,5 \text{ V}$  ist allerdings zu groß für Standard-LVDS-Empfänger und muss durch geeignete Serienwiderstände am Sender, wie in Abbildung 2.17 illustriert, angepasst werden.

Der Wert der Serienwiderstände kann folgendermaßen berechnet werden:

1. Der am Empfänger sichtbare Spannungsabfall soll  $400 \text{ mV}$  betragen. Wenn  $R_{\text{Term}} = 100 \Omega$ , muss durch beide  $R_{\text{Term}}$  ein Strom von  $8 \text{ mA}$  fließen.



**Abbildung 2.17:** Benötigte Serienwiderstände zur Pegelanpassung am Treiber in BUS-LVDS-Konfigurationen mit FPGAs der Firma Xilinx.

2. Da die Anordnung eine Reihenschaltung von  $R_S \triangleright (R_{Term} \parallel R_{Term}) \triangleright R_S$  darstellt, muss über  $R_S$  jeweils eine Spannung von 1,05 V abfallen.
3. Bei einem Strom von 8 mA ergibt sich für die Serienwiderstände ein Wert von  $130\Omega$

Ohne die Serienwiderstände erhält man den vollen Spannungshub von 2,5 V auf beiden Leitungen des differentiellen Paares. Dies kann ausgenutzt werden, um ein Signal zwar differentiell zu übertragen, dann aber nur eine der beiden Leitungen mit einen LVCMOS-Empfänger zu verbinden. Bis auf die Unterdrückung von Gleichtaktstörungen bleiben die Vorteile der differentiellen Datenübertragung bei einem LVCMOS-kompatiblen Signalpegel erhalten, bei mehrfacher Belastung einer der Leiterbahnen muss deren Impedanz nach Gleichung 2.28 neu berechnet werden. Diese Übertragungstechnik wird auch als Pseudo-LVDS bezeichnet.

### LVPECL

Die Bezeichnung LVPECL (**L**ow **V**oltage **P**ositive **E**mitter **C**oupled **L**ogic) bezieht sich, wie im Falle des LVCMOS-Standards, auf den internen Aufbau der verwendeten ICs. Der Ausgang eines LVPECL-ICs ist intern mit dem Emitter eines Transistors verbunden, dessen Kollektor mit der Betriebsspannung (bei LVPECL 2,5 bis 3,3 V) verbunden ist. Um im gesperrten Zustand ein auswertbares Potential am Ausgang zu erhalten, muss dieser auf ein Potential gelegt werden, welches höchstens zwei Volt kleiner als die Betriebsspannung sein darf [on-02]. Dies wird entweder mit einer Parallelterminierung nach Masse oder einer Thevenin-Terminierung am Sender erreicht. Die LVPECL-Übertragung erfolgt in der Regel differentiell, die senderseitigen Terminierungen sind also zusätzlich an die Impedanz der Leiterbahnen anzupassen. Wegen ihrer hohen Strombelastbarkeit werden LVPECL-Treiber meist zur Erzeugung von Taktsignalen, welche an mehrere Empfänger verteilt werden, verwendet. Auch auf der Backplane des vorgestellten Systems wird ein Taktgenerator mit differentiellen LVPECL-Ausgängen verwendet. Die Empfänger in den FPGAs sind allerdings LVDS-kompatibel, was neben der Potentialanpassung auch eine Pegelanpassung durch geeignete Wahl von Thevenin-Terminierungen erfordert. Verschiedene Möglichkeiten zur Verbindung von LVPECL- und LVDS-kompatiblen ICs sind in [on-02] beschrieben. Die hier angewendete Methode wird in Abschnitt 3.5.3 zur Generierung des Systemtakts erläutert.

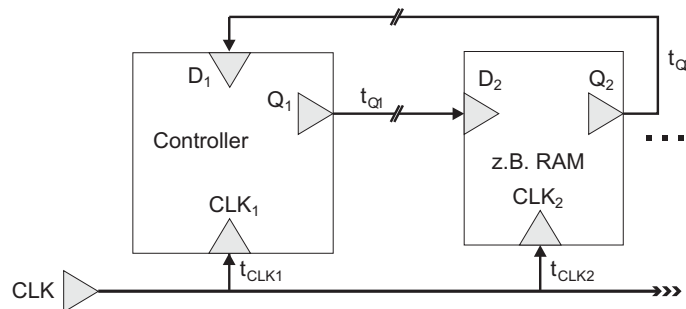
### 2.3.3 Übertragungsstrategien

Grundsätzlich erfolgt die digitale Übermittlung von Daten synchron zu einem Taktsignal, da das Auslesen eines Datums am Empfänger die Taktung dessen Eingangs-Flip-Flops oder Latches erfordert. Bei der parallelen Übertragung von Daten wird zwischen synchroner (engl.: synchronous) und quellensynchroner (engl.: source synchronous) Übertragung unterschieden. Für die serielle Datenübertra-

gung existieren ebenfalls verschiedene Techniken. Hier wird allerdings nur die in den verwendeten seriellen Gigabit-Transceivern zum Einsatz kommende Technik beschrieben.

### Synchrone, parallele Datenübertragung

Ein Beispiel für ein synchrones System ist in Abbildung 2.18 anhand der implementierten SRAM-Schnittstelle gezeigt. Die Taktung aller beteiligten Bausteine erfolgt in der Regel durch einen separaten Taktgenerator<sup>23</sup>, dessen Signal im System verteilt wird. Das in großen Systemen bei hoher Geschwindigkeit auftretende Problem dieser Strategie ist offensichtlich: Die Signallaufzeit auf der Taktleitung kann sich unter Umständen stark von der Signallaufzeit auf den zugehörigen Datenleitungen unterscheiden, wodurch am Empfänger die Setup- und Hold-Zeiten verletzt werden können und der Wert des Signals somit nicht mehr korrekt ausgelesen werden kann.



**Abbildung 2.18:** Illustration eines synchronen Systems am Beispiel eines RAMs mit Controller.

Für den Minimalwert des Laufzeitunterschieds der Taktsignale zwischen Controller und RAM gilt:

$$t_{\text{Min}} = (t_{\text{CLK2}} - t_{\text{CLK1}})_{\text{Min}} = t_{C1,Q1} + t_{Q1} - t_{\text{Setup},2} \quad , \quad (2.36)$$

mit  $t_{C1,Q1}$  = Verzögerung des Controllers von Taktflanke bis Ausgabe an  $Q_1$

$t_{Q1}$  = Signallaufzeit zwischen Controller und RAM

$t_{\text{Setup},2}$  = Setup-Zeit des RAMs.

Entsprechend gilt für den maximalen Laufzeitunterschied:

$$t_{\text{Max}} = (t_{\text{CLK2}} - t_{\text{CLK1}})_{\text{Max}} = t_{C1,Q1} + t_{Q1} + t_{\text{Hold},2} \quad , \quad (2.37)$$

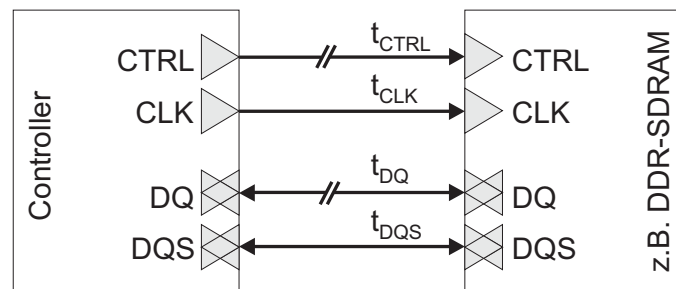
mit  $t_{\text{Hold},2}$  = Hold-Zeit des RAMs.

### Quellensynchrone, parallele Datenübertragung

Im Unterschied zu synchronen Systemen wird bei der quellensynchronen Datenübertragung in jeder Übertragungsrichtung ein Taktsignal parallel zu den Datensignalen übertragen. Im Falle einer DDR-SDRAM-Schnittstelle, welche auch auf der Platine NATHAN implementiert wird, stellt sich dies wie folgt dar: Adress- und Kontrollsignale werden von Controller zu SDRAM relativ zum Systemtakt der SDRAM-Schnittstelle übertragen. Die Daten  $DQ$  werden jeweils Byte-weise relativ zu einem Strobe-Signal  $DQS$  übertragen (siehe Abbildung 2.19). Die Strobe-Signale fungieren als Taktsignal für das jeweilige Daten-Byte in *beide* Übertragungsrichtungen. Die Strobe-Signale sind laut Datenblatt des DDR-SDRAMs ([Mic02a]) bei einem Schreibvorgang von Controller zu SDRAM um 270°

<sup>23</sup>Auf der Platine NATHAN werden die lokal benötigten Taktsignale innerhalb des verwendeten FPGAs generiert (siehe Abschnitt 3.3.4.1 zur FPGA-Taktung).

phasenverschoben zu den Datensignalen zu übertragen, d.h. die Flanke des Strobe-Signals muss um eine viertel Periode vor den Datensignalen am SDRAM ankommen. Bei einem Lesevorgang werden Daten- und Strobe-Signale vom SDRAM synchron gesendet.



**Abbildung 2.19:** Illustration eines quellensynchronen Systems am Beispiel eines DDR-SDRAMs mit Controller.

Die zusätzlichen Strobe-Leitungen eines quellensynchronen Systems erfordern zwar einen kleinen Mehraufwand an Platz, das Laufzeitverhalten ist aber im Vergleich zu synchronen Systemen wesentlich unkritischer. Es ist lediglich darauf zu achten, dass für die wenigen, einem Strobe-Signal zugeordneten Datenleitungen die Setup- und Hold-Zeiten der zugehörigen Eingangs-Flip-Flops erfüllt sind.

### Serielle Multi-Gigabit-Transceiver

Die serielle Datenübertragung eignet sich besonders zur Übertragung über große Distanzen, auch in Kabeln. Führt man einen parallelen Bus ohne Abschirmungen der einzelnen Leitungen untereinander über große Distanzen, wird das Übersprechen zwischen den einzelnen Signalen so groß, dass der Empfänger diese nicht mehr auswerten kann (dies ist auch der Grund für die Maximallänge von 45 cm von UDMA-Flachbandkabeln). Die Multi-Gigabit-Transceiver des verwendeten FPGAs übertragen Daten und Taktsignal auf einer differentiellen Datenleitung pro Übertragungsrichtung und benötigen so zur Vollduplex-Kommunikation nur zwei differentielle Datenleitungen. Die Technik zur Rückgewinnung des Taktsignals aus dem Datenstrom wird im Handbuch zu den Multi-Gigabit-Transceivern [Xil02b] beschrieben. Auf die Implementierung in das vorgestellte System wird in den beiden folgenden Kapiteln eingegangen. Die einzige Anforderung an das Layout bezüglich der Signallaufzeiten ist hier die möglichst gleiche Länge der einzelnen Leiterbahnen eines differentiellen Paares. Bei Anstiegszeiten von 70 ps ergibt schon ein kurzer relativer Laufzeitunterschied einen verhältnismäßig großen systematischen Jitter.

## 2.4 SI-Analyse mit SPECCTRAQuest/SigXP

Die Kenntnis der in den vorangegangenen Abschnitten behandelte Theorie ist einerseits bei der Planung einer Schaltung von Nutzen. Andererseits hilft sie, Spannungskurven, die aus Simulationen eines bestehenden Layouts gewonnen wurden, zu verstehen.

Die Simulation einer Leiterplatte und den darauf befindlichen Transmission Lines wird als Signalintegritätsanalyse (engl.: signal integrity analysis) bezeichnet, da, anhand aus Simulationen gewonnener Ergebnisse, die elektrische Qualität eines Signals und damit auch dessen Integrität beurteilt werden kann. Zur Durchführung der SI-Analysen werden die Programme SPECCTRAQuest und SPECCTRAQuest Signal Explorer Expert, kurz SigXP, der Firma Cadence benutzt. Beide Programme unterscheiden sich grundlegend in ihrer Funktionsweise, beruhen aber auf den selben Simulationstechniken. SPECCTRAQuest bietet die Möglichkeit zur Simulation auf Leiterplattenebene, d.h. ein



bestehendes, teilweise oder komplett geroutetes<sup>24</sup> Design kann geladen und einzelne Netze zur Simulation herausgegriffen werden. Das Netz wird in diesem Fall in seinem physikalischen „Kontext“ betrachtet; benachbarte Netze können als Aggressoren mit in die Simulation eingebunden werden. Um Parameter eines Netzes, wie z.B. den Wert eines Terminierungswiderstands, kontinuierlich verändern und die daraus folgende Beeinflussung des Signals beurteilen zu können, wird die Topologie des Netzes von SPECCTRAQuest nach SigXP extrahiert, wo das Netz dann nur noch als Verkettung einzelner Modelle und nicht mehr im Kontext betrachtet wird. In SigXP besteht auch die Möglichkeit, elementare Bestandteile eines Netzes, wie die Art der Terminierung, zu ändern, ohne das tatsächliche Layout ändern zu müssen.

### 2.4.1 Voraussetzungen

Um Simulationen auf einem bestehenden Design durchzuführen, muss dieses dafür zunächst unter Berücksichtigung von Constraints, Lagenaufbau, Simulationsmodellen und anderen Eigenschaften konfiguriert werden. Von essentieller Bedeutung für das Ergebnis einer Simulation ist die Qualität der verwendeten Modelle. Die meisten großen Halbleiterhersteller stellen Modelle ihrer Produkte in verschiedenen Formaten zum Download bereit. Vor allem für Steckverbinder sind allerdings oft nur einfache RLGC-Parametrisierungen (lineare Vierpole) verfügbar. Um von SPECCTRAQuest/SigXP interpretierbar zu sein, müssen die Modelle in einem proprietären Format mit der Endung `.dml`<sup>25</sup> vorliegen, was allerdings keine sonderliche Einschränkung bedeutet, da Modelle unterschiedlichen Formats mit Hilfe von Macro-Modellen in eine `.dml`-Bibliothek eingebunden oder durch mitgelieferte Tools konvertiert werden können. Konvertierungsmöglichkeiten sind in [SQ 02b] beschrieben. Die Erstellung von Macro-Modellen in [HSP01b].

Modelle für komplexe Bauelemente wie ICs setzen sich aus einem Modell für die elektrischen Eigenschaften des Gehäuses (meist lineare Vierpole in Form von RLGC-Matrizen) und Modellen für die einzelnen Pins zusammen. Informationen über sämtliche Pins eines ICs müssen nicht vollständig sein; es genügt, Modelle für die zu simulierenden Pins bereitzustellen. Weiterhin besteht die Möglichkeit, zwei unterschiedliche Simulatoren, die sich allerdings gegenseitig ausschließen, zur Simulation heranzuziehen. Einerseits gibt es den Cadence-eigenen Simulator „TlSim“, der auf dem frei verfügbaren, an der Universität Berkeley entwickelten SPICE<sup>26</sup> basiert und von Cadence für die Simulation von mehrlagigen Leiterbahnen optimiert wurde. Für eine detailliertere Beschreibung siehe [SQ 02b]. Andererseits können die von SPECCTRAQuest erzeugten Netzlisten (siehe Abschnitt 2.4.2) auch an den kommerziell erhältlichen HSpice-Simulator der Firma Avant! übergeben werden. Dieser ist wesentlich genauer als TlSim, benötigt aber mehr Rechenzeit. Die Erstellung der Simulationsmodelle ist komplizierter und HSpice muss zusätzlich erworben werden. Der erwähnte gegenseitige Ausschluss dieser Simulatoren bezieht sich nur auf die Simulation eines Netzes. Das Modell eines ICs kann durchaus Modelle verschiedenen Formats enthalten. Die Kompatibilität der Formate und Simulatoren untereinander ist in Tabelle 2.1 dargestellt. Die Syntax-Referenzen zu den Cadence-eigenen Formaten `.dml` und `ESpice` finden sich in [SQ 02a].

### Definition des Lagenaufbaus

Die Definition des Lagenaufbaus enthält Geometrieinformationen und Daten der Dielektrika, die von den SPECCTRAQuest/SigXP-Simulatoren benötigt werden. Angaben über jeweilige Dicke des Kupfers und der Dielektrika liefern die Daten auf der z-Achse. Alle Informationen der x-y-Ebene werden

<sup>24</sup> „Routing“ bezeichnet in diesem Fall den Vorgang des Entflechtens des Layouts, sprich den Vorgang der Verlegung der Leiterbahnen.

<sup>25</sup>DML: **D**evice **M**odelling **L**anguage, siehe auch [SQ 02b]. Dieses Format erlaubt sowohl die Verwendung IBIS-ähnlicher Syntax als auch ESpice-Syntax, wird jedoch von anderen Firmen nicht unterstützt.

<sup>26</sup>SPICE: **S**imulation **P**rogram with **I**ntegrated **C**ircuit **E**mphasis.

Format	Kommentar	Simulator
IBIS	<b>IBIS</b> ( <i>I/O Buffer Information</i> )-Modelle sind verhaltensbeschreibende (engl.: behavioral) Modelle. Sie enthalten Angaben über die Schwellenspannung der Eingänge, deren V/I-Kurve, V/t-Kurven der Ausgänge und weitere Eigenschaften. Um durch Bonddrähte oder Pins verursachte parasitäre Effekte zu berücksichtigen, können IBIS-Modelle auch RLGC-Parameter enthalten. Da IBIS nicht direkt unterstützt wird, müssen diese Modelle nach .dml konvertiert werden (siehe auch [SQ 02b]). Der Standard zur Erstellung von IBIS-Modellen ist in [IBI99] festgelegt. Auf IBIS-Modellen basierte Simulationen liefern nur für Frequenzen unter 1 GHz verlässliche Ergebnisse.	Tlsim
ESpice	<b>ESpice</b> -Modelle werden von SPECCTRAQuest/SigXP nativ unterstützt. Modelle von diskreten Bauelementen, Vias und Leiterbahnen werden von SPECCTRAQuest in Form von ESpice-Modellen mit zwei Terminals erzeugt. Um komplexe Strukturen, wie sternförmig verteilte Taktsignal-Netzwerke zu modellieren, können auch ESpice-Modelle mit mehreren Terminals erstellt werden.	Tlsim, HSpice
HSpice	<b>HSpice</b> ist eine kommerziell erweiterte Variante des an der Universität Berkeley entwickelten Spice-Simulators. Neben der Modellierung von Vias und Leiterbahnen können durch HSpice-Modelle auch Integrierte Schaltungen auf Transistorebene repräsentiert werden. HSpice-Simulationen liefern sehr präzise das Analogverhalten komplexer Strukturen und sind bis etwa 100 GHz verlässlich. Die Dokumentation ist unter [HSP01a] verfügbar.	HSpice
DML	<b>DML</b> ist ein Cadence-eigenes Format. Modelle sind ähnlich den IBIS-Modellen aufgebaut; es werden auch RLGC-Parameter für Steckverbinder und Pins unterstützt. ESpice-/HSpice-Modelle werden mit Hilfe von Macro-Modellen ins DML-Format eingebunden.	Tlsim, HSpice

**Tabelle 2.1:** Unterstützte Formate und Kompatibilität mit den verfügbaren Simulatoren.

den Layout-Daten entnommen. Noch nicht geroutete Verbindungen werden als geradlinig angenommen und das Modell für die Leiterbahn mit den Daten aus dem Lagenaufbau vervollständigt.

## 2.4.2 Generierung des Ersatzschaltkreises

Nachdem die Simulationsmodelle für Sender und Empfänger eines Netzes definiert wurden, muss der Ersatzschaltkreis der dazwischenliegenden Leiter erstellt werden. Dies geschieht in SPECCTRAQuest. Die extrahierte *Topologie* kann später für ausgiebigere Untersuchungen nach SigXP exportiert werden. SPECCTRAQuest geht zur Generierung des Ersatzschaltkreises folgendermaßen vor:

1. Extrahieren der Geometrie des zu simulierenden Netzes einschließlich der benachbarten Netze und der kapazitiven bzw. induktiven Kopplung zwischen ihnen. Die maximale Entfernung, innerhalb derer benachbarte Netze noch in die Extrahierung mit eingeschlossen werden, kann ebenso voreingestellt werden, wie die minimale Strecke, über die zwei Netze parallel zueinander verlaufen müssen, um in *Crosstalk*-Simulationen berücksichtigt zu werden.
2. Die extrahierte Geometrie wird an Sprungstellen, wie Vias oder Knicken in den Leiterbahnen, nochmals unterteilt, um individuelle Elemente mit auf ihrer Länge gleichbleibenden Eigenschaften zu erhalten.
3. Für jedes dieser Elemente wird geprüft, ob es schon existiert; falls nicht, wird das Element an einen *Field Solver* übergeben, um ein Simulationsmodell dafür zu erstellen.

Der für die Berechnung der Leiterbahnen benutzte Field Solver wendet eine zweidimensionale Randelement-Methode an, welche auf der in Abschnitt 2.1.1 angedeuteten Bestimmung der Greens-

Reihe	$R$ [m $\Omega$ ]	$L$ [nH]	$C$ [pF]
A	22	2,84	0,98
B	35	2,57	0,89

**Tabelle 2.2:** Elektrische Eigenschaften der Drahte des SODIMM-Sockels.

funktion beruht, um das an ihn ubergebene Element in ein feines Netzwerk aufzuteilen. Daraufhin wird die Ladungsverteilung uber diesem Netz berechnet, um eine Kapazitatmatrix fur die Leiter innerhalb des Elementes zu finden. Aus dieser wird die Induktivitatmatrix abgeleitet. Auerdem werden Matrizen fur ohmschen Widerstand und Leitfahigkeit berechnet, um Verluste durch den *Skinneffekt*<sup>27</sup> oder im Dielektrikum mitzuberechnen.

Fur die Modellierung der im Design enthaltenen Vias stehen zwei Moglichkeiten zur Verfugung. Ein zweidimensionales Verfahren, das in [OKSA94] beschrieben wird oder ein dreidimensionales Verfahren, welches in [OSAMW96] beschrieben wird. Das dreidimensionale Verfahren tragt der komplexen Struktur der Vias, die nicht als einfache Quader betrachtet werden konnen Rechnung, ist aber wesentlich rechenzeitintensiver.

Der Field Solver liefert also frequenzabhangige RLGC-Matrizen, die als Modelle fur Leiter oder Vias mit dem Design gespeichert werden. Der Aufwand wird durch die mehrfache Verwendbarkeit eines Modelles im Falle gleicher Geometrie zweier Leiter minimiert. Zusammen mit den Modellen der Bauelemente wird dann eine, alle benotigten Informationen enthaltende Netzliste an den gewahlten Simulator ubergeben; die Verkettung der einzelnen Ersatzschaltkreise der Leiterbahnelemente reprasentiert vollstandig die elektrische Verbindung der betrachteten Sender bzw. Empfanger. Falls als Simulator HSpice gewahlt wurde, wird diese Netzliste noch (automatisch) in native HSpice-Syntax konvertiert, vorausgesetzt, dass die in Tabelle 2.1 geforderten Kompatibilitaten erfullt sind.

Fur einzelne Komponenten, wie z.B. Steckverbinder, lassen sich unter Umstanden auf Ersatzschaltbildern basierte Modelle auch von Hand erstellen. Dies wird am Beispiel des auf der Platine NATHAN verwendeten SODIMM-Sockels fur das DDR-SDRAM demonstriert. Dem Datenblatt dieses Sockels [TYC01] konnen die in Tabelle 2.2 aufgelisteten Werte fur die elektrischen Eigenschaften der Drahte entnommen werden. Der Sockel hat zwei gegenuberliegende Pinreihen von je 100 Pins. Reihe A bezeichnet die dem Speichermodul zugewandte Seite und Reihe B die abgewandte Seite des Sockels. Um das Verhalten bei hohen Frequenzen zu berucksichtigen, wird der modellierte Draht in vier Segmente unterteilt, deren elektrische Eigenschaften jeweils einem Viertel des angegebenen Wertes entsprechen. Das so erstellte Modell ist die Verkettung vier linearer Vierpole. Der Ersatzschaltkreis ist in Abbildung 2.20 dargestellt. Die Formulierung des Modells erfolgt in ESpice und lautet fur die ersten beiden Pins des Sockels:

```
("sodimm_conn_s1.dml"
(PackageModel
  ("sodimm_conn_s1"
    (CircuitModels
      (SingleLineCircuits
        (1 (SubCircuitName "row_a")) ;Definition der beiden gegenuberliegenden
        (2 (SubCircuitName "row_b")) ;"Drahte" durch den SODIMM-Sockel fur Pin
        ;1 und 2. Ist entsprechend bis Pin 200
        ;fortzufuhren. (Aus Platzgrunden nur 2).
      )
      (SubCircuits "
        .subckt row_a 1 2
        .param Ra=.022 ;Werte aus Datenblatt
        .param La=2.84n
        .param Ca=0.98p
        R1a1 1 1aa 'Ra/4' ;Aufteilung in vier Ersatzschaltbilder
        R1a2 1ab 1ac 'Ra/4'
        R1a3 1ad 1ae 'Ra/4'
      ")
    )
  )
)
```

<sup>27</sup>Bei hoher Frequenz drangt sich der Strom in einem Leiter aufgrund innerer Selbstinduktion an dessen Oberflache; der Querschnitt des Leiters wird dadurch effektiv kleiner, was zu einem groeren elektrischen Widerstand bei hohen Frequenzen fuhrt.

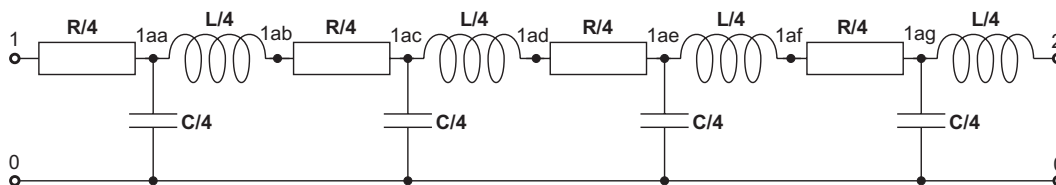
```

R1a4 1af 1ag 'Ra/4'
L1a1 1aa 1ab 'La/4'
L1a2 1ac 1ad 'La/4'
L1a3 1ae 1af 'La/4'
L1a4 1ag 2 'La/4'
C1a1 1aa 0 'Ca/4'
C1a2 1ac 0 'Ca/4'
C1a3 1ae 0 'Ca/4'
C1a4 1ag 0 'Ca/4'
.ends row_a

.subckt row_b 1 2
.param Rb=.035
.param Lb=2.57n
.param Cb=0.89p
R1b1 1 1ba 'Rb/4'
R1b2 1bb 1bc 'Rb/4'
R1b3 1bd 1be 'Rb/4'
R1b4 1bf 1bg 'Rb/4'
L1b1 1ba 1bb 'Lb/4'
L1b2 1bc 1bd 'Lb/4'
L1b3 1be 1bf 'Lb/4'
L1b4 1bg 2 'Lb/4'
C1b1 1ba 0 'Cb/4'
C1b2 1bc 0 'Cb/4'
C1b3 1be 0 'Cb/4'
C1b4 1bg 0 'Cb/4'
.ends row_b
")
)
(PinNameToNumber
("1A" 1)
("1B" 2))
)
)

```

Im Abschnitt „SubCircuits“ wird die Definition der Vierpole in Reihe A durch `.subckt row_a 1 2` eingeleitet. Nach außen hat Reihe A die *Terminals* 1 und 2; die interne Verkettung der Vierpole erfolgt über sog. *Nodes*. Die einzelnen *R*, *L* und *C*-Komponenten werden durch die Nodes 1aa bis 1ag verbunden, siehe Abbildung 2.20. Das Terminal 0, zu dem alle Kapazitäten verbunden sind, stellt stets die globale Masse dar. Das vorgestellte Modell zeigt die sehr einfache, eindimensionale Repräsentation eines Drahtes im SODIMM-Sockel. Es enthält keine mehrdimensionalen Matrizen für *R*, *L* oder *C*, so dass innerhalb des Sockels Übersprechen nicht mitberücksichtigt werden kann. Die Leitfähigkeit *G* des Sockelmateriale (Plastik) wird vernachlässigt.



**Abbildung 2.20:** Verkettung der einzelnen Ersatzschaltbilder zum Ersatzschaltkreis eines Drahtes aus Reihe A des SODIMM-Sockels.

### 2.4.3 Simulationstypen

Die Programme SPECCTRAQuest und SigXP setzen zwar auf den selben Simulatoren auf, bieten aber unterschiedliche Möglichkeiten, Simulationen durchzuführen:

## SPECCTRAQuest

Folgende Simulationen können durchgeführt werden:

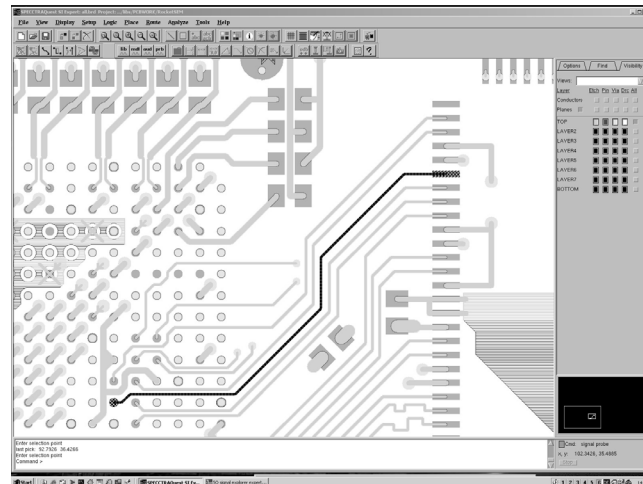
- **Reflection Simulation:** Reflexionen werden von SPECCTRAQuest unter Vernachlässigung benachbarter Netze durchgeführt. Zusammen mit den Modellen für Sender und Empfänger wird nur die Geometrie des betrachteten Netzes extrahiert und an den Simulator übergeben. Alle in Frage kommenden Treiber der Topologie werden nun mit der voreingestellten Frequenz und Dauer stimuliert (ansteigende oder fallende Flanke, Puls oder invertierter Puls). Das Signal am jeweiligen Ausgang und allen vorhandenen Eingängen wird in Form einer Spannungskurve ausgegeben.
- **Crosstalk Simulation:** Das Übersprechen auf das betrachtete Netz wird simuliert. Hierzu wird die Geometrie der Umgebung dieses Netzes im voreingestellten Bereich vollständig extrahiert und ein Modell inklusive aller in Frage kommenden Treiber und Empfänger generiert. Das betrachtete Netz wird dann auf einem eingestellten Zustand (HIGH oder LOW) gehalten und sukzessive alle verfügbaren Treiber, in oben beschriebener Weise stimuliert. Ergebnisse werden in Form von Spannungskurven und detaillierter „Reports“ über die erreichten Crosstalk-Spannungen generiert.
- **Comprehensive Simulation:** Die Erzeugung der Modelle geschieht in gleicher Weise, wie bei der Crosstalk-Simulation. Allerdings wird jetzt der Treiber des betrachteten Netzes stimuliert und alle anderen Treiber werden dazu invertiert stimuliert. Parasitäre Effekte wie der Stromrückfluss durch Masselagen werden mitberücksichtigt. Durch den gleichzeitigen Stimulus aller enthaltenen Treiber ist dies eine echte *worst-case* Simulation.
- **Signalanalyse kombinierter Systeme:** Netze, die sich über mehrere Designs erstrecken, können mittels eines *DesignLinks* analysiert werden. Ein Beispiel hierfür ist ein auf der Platine NATHAN gesockeltes SDRAM-Modul. Der *DesignLink* enthält Modelle, die den Steckverbinder auf jeder Seite und, falls nötig, das Modell des Verbindungskabels repräsentieren. Die Geometrie des *gesamten* Netzes wird in ein Modell extrahiert, was als *system-level simulation* bezeichnet wird. Alle beschriebenen Simulationstypen sind auch hier durchführbar.

## SigXP

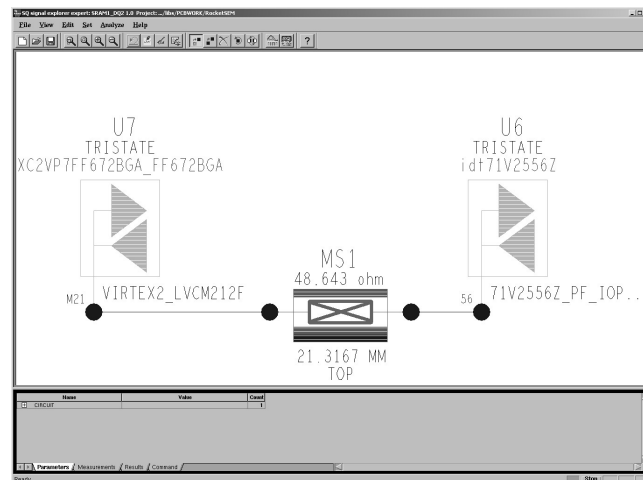
SigXP bietet die Möglichkeit, unabhängig von einem bestehenden Layout, alle in den geladenen Bibliotheken verfügbaren Modelle nach Bedarf in einem schematischen Editor miteinander zu verschalten und so dem Layoutvorgang der Platine vorgreifende Simulationen durchzuführen. Außerdem kann die Topologie eines Netzes von SPECCTRAQuest an SigXP übergeben werden. Man erhält eine schematische Darstellung der extrahierten Geometrie mit den einzelnen Modellen für Treiber bzw. Empfänger, Leiterbahnelementen und Vias. Da im Normalfall nur *ein* Netz extrahiert wird, sind Crosstalk- und Comprehensive-Simulationen nur mit großem Aufwand möglich, indem die Modelle für gegenseitig beeinflusste Leiterbahnen selbst erstellt werden.

Ein Beispiel für die Extrahierung eines Netzes ist in Abbildungen 2.21 und 2.22 illustriert. Die Topologie des schwarz markierten Netzes wird nach SigXP extrahiert, wo sie nach Bedarf verändert werden kann (z.B. Änderung der Leiterbahnimpedanz oder Austausch des Modells für Treiber bzw. Empfänger). Es ist ersichtlich, dass der engen Leiterbahnführung im physikalischen Layout bei der Extrahierung nicht Rechnung getragen wird. Übersprechen, das in der in Abbildung 2.21 dargestellten Konfiguration durch die enge Leiterbahnführung auftreten wird, wird also bei der Simulation in SigXP nicht berücksichtigt.

Die Übertragung in den schematischen Editor hat jedoch große Vorteile: Beliebige Parameter des Netzes, z.B. auch die Impedanz einer Transmission Line, können, ohne Veränderungen am Layout



**Abbildung 2.21:** Auszug aus dem Layout der SRAM-Schnittstelle auf der Platine NATHAN. Das schwarz markierte Netz wird nach SigXP extrahiert.



**Abbildung 2.22:** Die extrahierte Topologie der in Abbildung 2.21 dargestellten Leiterbahn. Da die Impedanz auf der gesamten Strecke gleich bleibt, wird nur ein Leiterbahnelement extrahiert.

vornehmen zu müssen, variiert werden. Der an die Treiber angelegte Stimulus kann frei definiert werden. So kann beispielsweise auch ein Bit-Muster zur Generierung eines Augendiagramms (engl.: eye-diagram, siehe Abbildung 2.13) erzeugt werden, was in SPECCTRAQuest nicht möglich ist.



# Kapitel 3

## Schaltungsentwurf

Die Hauptaufgabe der vorliegenden Arbeit besteht in der Entwicklung einer skalierbaren Plattform zur Evolution und zum Betrieb des hardwarebasierten neuronalen Netzes HAGEN (ANN). Kernstück des Systems sind autarke Evolutionsmodule, welche die Evolution eines einzelnen ANNs lokal durchführen können. Außerdem bieten diese Evolutionsmodule die Möglichkeit, zukünftig entwickelte ANNs aufzunehmen. Im Zuge der Implementierung eines verteilten HAGEN-Systems (siehe Einführung), sollen die Evolutionsmodule zu einem Netzwerk kombinierbar sein, um Datenaustausch zwischen mehreren Evolutionsmodulen zu ermöglichen und so die Skalierbarkeit des Systems zu gewährleisten. Dieses Kapitel beschreibt die Planung und den Schaltungsentwurf des Evolutionsmoduls NATHAN und den daran angepassten Entwurf der Backplane, auf welcher mehrere NATHAN-Module zu einem Netzwerk kombiniert werden können.

Die zum Entwurf der Schaltung verwendete Software ist der schematische Editor „Concept“ der Firma Cadence ([Cad98]). Concept dient zum logischen Entwurf einer Schaltung. Das Layout der Platinen erfolgt mittels des ebenfalls von Cadence stammenden Programms „Allegro“.

### 3.1 Übersicht über das Gesamtsystem

Ein Blockschaltbild des Gesamtsystems mit den Hauptkomponenten und Datenpfaden ist in Abbildung 3.1 dargestellt. Kernstück der Platine NATHAN ist der FPGA. Er stellt sozusagen die „lokale Intelligenz“ der NATHAN-Platine dar. Durch seine Konfiguration wird er an die Kommunikation mit dem verwendeten ANN sowie dem lokalen Speicher angepasst und ist der Schlüssel zur Benutzung der Hardware auf NATHAN.

Der aus DDR-SDRAM und SRAM bestehende, lokale Arbeitsspeicher wird auf zwei getrennten, 64 Bit breiten Datenbussen angesprochen. Der Datenbus des HAGEN-Chips sowie überzählige, frei konfigurierbare Anschlüsse des FPGAs werden mit SMT-Steckern<sup>28</sup> verbunden, welche Tochterplatinen mit der nächsten Generation von ANNs aufnehmen können (siehe Abschnitt 3.6 zu den Erweiterungsmöglichkeiten des Systems). Zum Betrieb des HAGEN-Chips werden analoge Referenzspannungen und -ströme benötigt. Diese werden von einem DAC<sup>29</sup> generiert, welcher in der Peripherie des HAGEN-Chips platziert wird. Zur Überwachung der Temperatur von ASIC und FPGA wird weiterhin ein Temperatursensor verwendet.

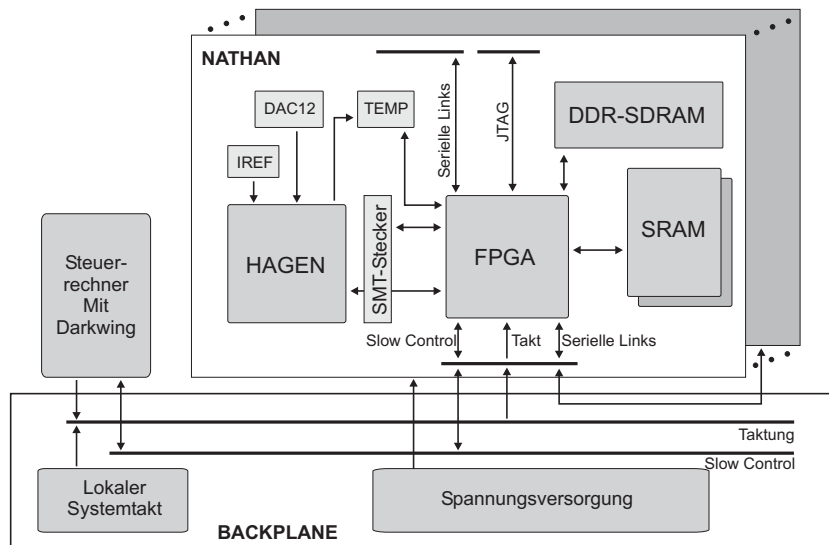
Erforderliche Betriebsspannungen werden durch Netzteile auf der Backplane erzeugt (siehe Abschnitt 3.5.6). Auf dieser Backplane erfolgt auch die Vernetzung der NATHAN-Module über serielle Links, so dass eine skalierbare Architektur bereitgestellt wird. Die Kontrolle des Systems erfolgt über die Schnittstelle zu einem Steuerrechner. Da kein spezieller Übertragungsstandard auf der Schnittstelle verwendet wird, kommt als Controller die PCI-Platine Darkwing zum Einsatz. Durch deren

---

<sup>28</sup>SMT: Surface Mount Technology.

<sup>29</sup>DAC: Digital to Analog Converter.





**Abbildung 3.1:** Blockdiagramm des Gesamtsystems, bestehend aus (mehreren) NATHANs und Backplane.

Flexibilität ist es möglich, die Schnittstelle an die Anforderungen der Backplane anzupassen. Ein auf NATHAN benötigtes Taktsignal wird global auf der Backplane erzeugt und bildet mit einem von Darkwing erzeugten Taktsignal die Taktung des Systems. Die Anbindung an Darkwing erfolgt mittels eines proprietär belegten SCSI-Kabels (siehe Abschnitt 3.5.2).

## 3.2 Auswahl der Komponenten

Grund für die Entwicklung des NATHAN-Systems ist die Notwendigkeit zur Weiterentwicklung des bestehenden, auf der PCI-Platine Darkwing [Bec01] basierenden Evolutionssystems in zweierlei Hinsicht: Skalierbarkeit und Geschwindigkeit. Um die Portierung der bestehenden Software einfach zu halten, soll sich das neue System nicht grundlegend vom Darkwing-System unterscheiden, d.h. die Ansteuerung des ANNs erfolgt wieder durch einen FPGA der Firma Xilinx.

Folgende Anforderungen bestehen an das System: Der eingesetzte FPGA soll genügend Ressourcen zur Implementierung beider RAM-Schnittstellen gleichzeitig zur Verfügung stellen. Die für die Evolution des ANNs benötigte Software soll außerdem lokal auf NATHAN ausführbar sein, um Kommunikation über den langsamen PCI-Bus eines Steuerrechners zu vermeiden.

Ein Ansatz zur Abbildung eines virtuellen neuronalen Netzes auf die Ressourcen mehrerer HAGEN-Chips wird in [SHSM02] anhand der Einbettung des HAGEN-Chips in ein Software-Framework gezeigt. Mehrere HAGEN-Chips können über ihre Eingangs- bzw. Ausgangsneuronen direkt kommunizieren. Skalierbarkeit dieses Systems setzt Übertragungslatenzen zwischen einzelnen HAGEN-Chips in der Größenordnung von deren Netzwerktakt voraus. Da dies durch den PCI-Bus nicht gewährleistet wird, ergibt sich als Anforderung an das System die Bereitstellung einer angemessen schnellen Schnittstelle zwischen mehreren HAGEN-Chips.

### FPGA

Ein FPGA ist ein Mikrochip, welcher aus einer Matrix von einigen hundert bis zu zehntausend CLBs<sup>30</sup> besteht. CLBs sind programmierbare Zellen, die binäre Funktionen mit mehreren Ein- und Ausgängen darstellen können. Neben den Zellen selbst sind auch deren Verbindungen (in Grenzen)

<sup>30</sup>CLB: Configurable Logic Block.

frei konfigurierbar, so dass komplexe binäre Funktionen in Hardware implementiert werden können. Moderne FPGAs beinhalten außerdem Speicherzellen, Multiplizierer und auch konfigurierbare IO-Zellen<sup>31</sup>, welche auf eine Vielzahl von Signalstandards programmiert werden können.

Die genannten Anforderungen werden durch den FPGA Virtex II-Pro [Xil02f] der Firma Xilinx erfüllt, der in der Gehäusevariante FF672<sup>32</sup> eingesetzt wird. Zunächst wird dieser FPGA auf NATHAN in der Variante XC2VP4 verwendet. Im selben Gehäuse ist der XC2VP7 erhältlich, welcher zusätzliche frei konfigurierbare Anschlüsse und auch größere interne Ressourcen bietet. In Abschnitt 3.3.4.6 werden die Erweiterungsmöglichkeiten vorgestellt, die sich durch die Verwendung dieses FPGAs ergeben. Folgende Eigenschaften qualifizieren diesen FPGA für die geplante Anwendung:

- Neben frei konfigurierbarer Logik beinhaltet der FPGA einen IP<sup>33</sup>-Core in Form eines PowerPC-Prozessors, der direkt mit der Logik des FPGAs kommunizieren kann. Für diesen PowerPC kann beispielsweise ein embedded Linux-System aufgesetzt werden. Somit sind die Voraussetzungen zur lokalen Ausführung der Evolutionssoftware auf NATHAN gegeben.
- Der FPGA beinhaltet Multi-Gigabit-Transceiver (MGTs) in Form weiterer IP-Cores. Diese seriellen Schnittstellen arbeiten mit einer Datenrate von bis zu 3,125 Gbps und können ohne weiteren Bauteilaufwand direkt miteinander verschaltet werden. Somit können schnelle Verbindungen zwischen den FPGAs auf einzelnen Evolutionsmodulen bereitgestellt werden. Die Voraussetzungen für ein skalierbares System sind also gegeben (siehe Abschnitt 3.5.1 zur Topologie des Systems).
- Unterstützung des LVDS-Signalstandards durch die konfigurierbaren Anschlüsse des FPGAs ermöglicht direkte Anbindung an die LVDS-Schnittstelle von HAGEN.
- 348 frei konfigurierbare Anschlüsse erlauben den gleichzeitigen Betrieb zweier Speicherbusse mit einer Breite von jeweils 64 Bit, wie im folgenden Abschnitt erläutert wird.

### Lokaler Speicher

Schneller Speicher mit hoher Kapazität ist in Form von DDR-SDRAM Modulen erhältlich, welche mit Datenraten von bis zu 2,1 GBps betrieben werden können. Auf festen Einbau einzelner DDR-SDRAM Chips wird verzichtet, da diese Chips in kleinen Stückzahlen nicht erhältlich sind. Bei Verwendung gesockelter Module besteht außerdem die Möglichkeit, die Speicherkapazität durch Austausch des Moduls zu erhöhen. Die kleinste Bauform dieser Module ist das SODIMM-Modul<sup>34</sup>. Als Referenz bei der Schaltungsentwicklung wird das Modul MT8VDDT3264HG [Mic02b] von Micron verwendet. Die Speicherkapazität dieser Module beträgt 256 MB.

Abhängig von der jeweiligen Anwendung benötigen der FPGA oder auch der PowerPC einen schnellen Zwischenspeicher (engl.: cache), welcher ohne Wartezyklen zwischen Schreib- und Lesemodus betrieben werden kann. Diese Anforderung wird durch ZBT-SRAMs<sup>35</sup> erfüllt. Auf NATHAN werden zwei SRAMs der Firma IDT [Int00] mit einer Speicherkapazität von jeweils 0,5 MB verwendet.

### Analoge Referenzspannungen des HAGEN-Chips

Der HAGEN-Chip ist ein gemischt analog-digitaler ASIC und besitzt intern sowohl digitale als auch analoge Elektronik. Die analoge Elektronik ist empfindlich gegenüber durch digitale Schaltungen

<sup>31</sup>IO: Input/Output.

<sup>32</sup>FF steht für *Flip-Chip*. Bei dieser Montagetechnik wird der *Die* des FPGA mit seiner Oberseite nach unten auf das Gehäuse aufgebracht. Das Gehäuse hat 672 Pins.

<sup>33</sup>IP: Intellectual Property.

<sup>34</sup>SODIMM: Small Outline Double Inline Memory Module.

<sup>35</sup>ZBT: Zero Bus Turnaround.

verursachte Störungen und benötigt neben einer separaten Spannungsversorgung drei analoge Referenzspannungen und zwei analoge Stromreferenzen [SHMS02]. Die drei Referenzspannungen werden durch den Vierkanal-DAC MAX5253 der Firma Maxim [Max96] erzeugt. Der vierte Kanal des DACs wird zur Erzeugung der Stromreferenzen genutzt, welche aus der Ausgangsspannung des DACs mittels des Zweikanal-Operationsverstärkers (OP) MAX4252 [Max01c] der Firma Maxim und zweier N-MOSFET-Transistoren [Phi97] abgeleitet wird.

### Lokale Taktgenerierung

Die Taktung der MGTs erfolgt durch ein separates Taktsignal, welches FPGA-intern vor den MGTs verzwanzigfach wird [Xil02b]. Dadurch würden auch kleine Fehler durch Abweichungen im Arbeitszyklus oder durch Jitter große Ungenauigkeiten im resultierenden Taktsignal verursachen. Aufgrund der hierdurch entstehenden Anforderungen, wird zur Erzeugung dieses Taktsignals vom Hersteller des FPGAs der Taktgenerator EG-2121CA der Firma Epson Semiconductors [Sei02b] vorgeschrieben. Dieser Taktgenerator basiert auf einem hochpräzisen Oszillator, der die akustischen Oberflächenwellen (engl.: SAW oscillator - Surface Acoustic Wave) eines Quarzkristalls verstärkt und differentiell an LVPECL-Ausgängen bereitstellt. Das differentielle Signal dieses Taktgenerators entspricht mit einem Spitze-Spitze Jitter von max. 40 ps, einem Arbeitszyklus von  $50(\pm 5)\%$  und einer Frequenzstabilität von  $\pm 100 \cdot 10^{-6}$  den Anforderungen zur Taktung der MGTs. Da der Taktgenerator in der speziell geforderten Variante mit einer Betriebsspannung von 2,5 V zur Zeit der Planung der Schaltung nicht verfügbar ist, wird die Variante EG-2101CA mit einer Betriebsspannung von 3,3 V eingesetzt [Sei02a]. Notwendige Anpassungen der Schaltung werden in Abschnitt 3.5.3 zur Generierung des Systemtakts gezeigt.

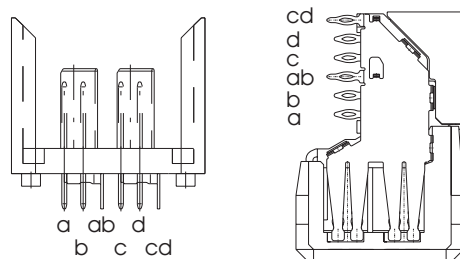
Zum Betrieb der internen Logik des FPGAs und des PowerPCs wird neben dem Referenztakt für die MGTs ein programmierbarer Systemtakt benötigt. Zur Konfiguration des Systems und zum späteren Datenaustausch mit den einzelnen Evolutionsmodulen wird die PCI-Platine Darkwing vorgesehen. Darkwing erlaubt die Erzeugung eines Taktsignals mit Frequenzen von 25 bis ca. 400 MHz. Dieses Taktsignal wird im vorgestellten System als globaler Systemtakt verwendet (siehe Abschnitt 3.5.2 zur Schnittstelle zu Darkwing).

### Differentielle Steckverbinder

Diese Steckverbinder stellen den Kontakt zwischen NATHAN und der Backplane her. Über die Steckverbindung erfolgt die differentielle Datenübertragung der MGTs, die Übertragung von Konfigurationsdaten über einfache Datenleitungen und die Stromversorgung der Platine NATHAN. Die Übertragung differentieller Signale erfordert Steckverbinder mit einer kontrollierten Impedanz von  $Z = 100\Omega$  wohingegen die Anwendung zur Stromversorgung eine ausreichende Strombelastbarkeit erfordert. Eingesetzt werden Steckverbinder der Baureihe *ErmetZD* [ERN01], für die durch den Hersteller eine maximale Übertragungsrate von 5 Gbps spezifiziert wird. Eine schematische Darstellung findet sich in Abbildung 3.2. Jeweils zwei differentielle Signalpaare (a und b, bzw. c und d) sind mit einer Lasche (ab, bzw. cd) in einer Zeile angeordnet. Insgesamt 60 Anschlüsse stehen in zehn Zeilen zur Verfügung. Die Lasche dient der Abschirmung der einzelnen Signalpaare untereinander und bedingt durch die Stripline-ähnliche Konfiguration die differentielle Impedanz eines Signalpaares von  $Z = 100\Omega$ . Eine Messung der Strombelastbarkeit der einzelnen Elemente ergibt:

- Stifte zur Signalübertragung: Die Stifte erwärmen sich bei Dauerbelastung mit 9 A auf  $15^\circ\text{C}$  über Umgebungstemperatur.
- Laschen für Referenzpotential: Die Laschen erwärmen sich bei Dauerbelastung mit 14 A auf  $15^\circ\text{C}$  über Umgebungstemperatur.

Die Abschätzung der Leistungsaufnahme eines NATHANs in Abschnitt 3.5.4 zeigt, dass diese Belastbarkeit ausreichend ist.



**Abbildung 3.2:** Querschnitt der differentiellen Steckverbinder ERmet ZD mit zwei Signalreihen ([ERN01]): links die Messerleiste zur Montage auf der Backplane, rechts die Federleiste zur Montage auf den Tochterplatten NATHAN.

### 3.3 Schaltungsentwurf der Platine NATHAN

In den folgenden Abschnitten erfolgt die Darstellung der Schnittstellen zu den einzelnen Komponenten. Ausgehend von den Anforderungen der einzelnen Schnittstellen bezüglich der Anzahl von Daten- und Kontrollsignalen, werden die frei konfigurierbaren Anschlüsse des FPGAs auf die Schnittstellen verteilt. Die vollständige Darstellung der Schaltungen befindet sich in Anhang A.1.

#### 3.3.1 Schnittstelle des ANN HAGEN

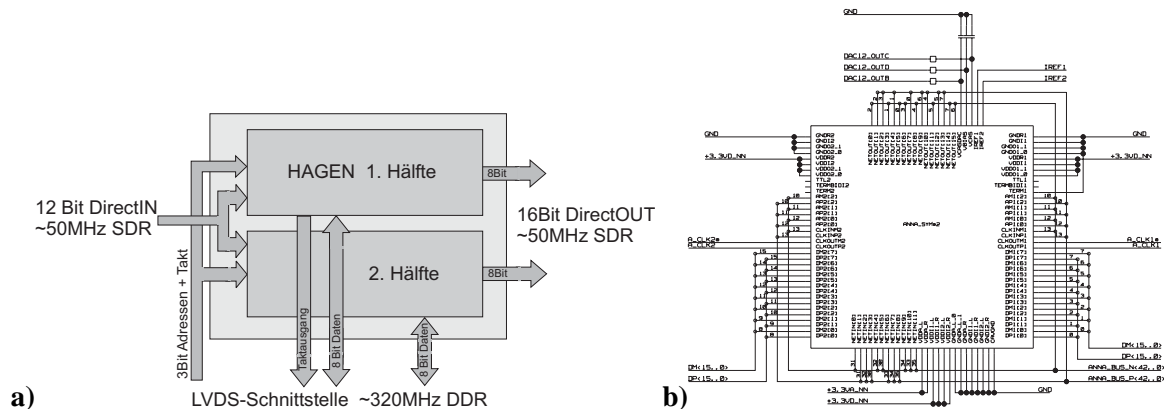
An vorderster Stelle bei der Entwicklung des NATHAN-Systems steht die Anbindung des ANNs HAGEN<sup>36</sup> an den FPGA. Schreiben und Lesen von Gewichtsdaten sowie indirekte Kommunikation mit den Eingangs-/Ausgangsneuronen erfolgt vollständig digital und pro Chiphälfte über einen 8 Bit breiten LVDS-Bus mit zugehörigem Taktsignal. Die Adressierung dieser Daten erfolgt über drei Adressbits, welche synchron zu einem separaten Taktsignal differentiell übertragen werden (diese Schnittstellen sind quellensynchron). Zur direkten Ansteuerung der Eingangs- und Ausgangsneuronen verfügt der HAGEN-Chip über *DirectIOs* [SSHM02], welche mit einfachen Datenleitungen beschaltet werden. Eine Schematische Darstellung dieser Schnittstellen findet sich in Abbildung 3.3 a). Abbildung 3.3 b) zeigt die Beschaltung im Schaltplan. Kommunikation mit den DirectIOs kann über die DirectIOs oder die LVDS-Schnittstelle erfolgen. Bei Ansteuerung der DirectIOs entfällt die Adressierung der Daten. Allerdings kann die Kommunikation nur mit einer Übertragungsfrequenz von 50 MHz und einfacher Datenrate (SDR<sup>37</sup>) erfolgen (siehe Abbildung 3.3 a) und [SHMS02]). Differentielle Signale sind in zwei Bussen organisiert, welche jeweils die positiven (P) und die negativen (N bzw. M) Signale der differentiellen Paare zusammenfassen. Die einzelnen Signale haben folgende Funktion:

**LVDS-Schnittstelle** DM/DP<15..0>: Bits <7..0> dieses Busses stellen die digitale Schnittstelle der ersten Hälfte des HAGEN-Chips dar, Bits <15..8> die der zweiten Hälfte. Die differentiellen Anschlüsse können intern parallel mit 100Ω terminiert werden. Externe Terminierungswiderstände werden nicht benötigt.

**Taktausgang** Der HAGEN-Chip sendet Daten synchron zu differentiellen Taktsignalen. Sie sind nur bei der Ausgabe von Daten aktiv. Das Einlesen von Daten erfolgt synchron zu dem auch den Adressen zugeordneten Taktsignal. Da der Zustand dieser Anschlüsse beim Einlesen von Daten undefiniert ist (engl.: floating), müssen sie während eines Lesezugriffs auf ihrer Gleichtaktspannung

<sup>36</sup>Die Bezeichnung der Signalnamen sowie der Name des Symbols im Schaltplan gründen sich auf die frühere Bezeichnung des HAGEN-Chips: ANNA.

<sup>37</sup>SDR: Single Date Rate.



**Abbildung 3.3:** a) Schematische Darstellung der elektrischen Schnittstelle des ANN HAGEN. b) Beschaltung aus dem Schaltplan in Anhang A.1.

gehalten werden. Auf die Implementierung dieser Anforderung wird in Abschnitt 3.3.4.3 zur Anschlussbelegung des FPGAs eingegangen.

**Takteingang und Adressleitungen** ANNA\_BUS\_P/N<13..10>: Bits <12..10> dieses Busses entsprechen den erwähnten drei Adressbits. Bit <13> entspricht dem Taktsignal für die jeweilige Chiphälfte. Dieses Taktsignal ist die Referenz für Adressbus und Datenbus (bei Schreibvorgängen in Richtung HAGEN). Wie in Abbildung 3.3 erkennbar, werden beide Chiphälften mit den selben Signalen getaktet bzw. adressiert. Die differentiellen Anschlüsse können intern parallel mit 100Ω terminiert werden. Externe Terminierungswiderstände werden nicht benötigt.

**Direct IOs** ANNA\_BUS\_P/N<7..0>, <35..30>: Diese Signale entsprechen einfachen Datenleitungen. Aus Konsistenzgründen werden sie in die differentielle Nomenklatur aufgenommen<sup>38</sup>. Bits <35..30> verbinden zu den zwölf direkt beschaltbaren Eingangsneuronen, Bits <7..0> zu den sechzehn direkt beschaltbaren Ausgangsneuronen (siehe [SSHM02]). Diese Anschlüsse werden mit LVCMOS-kompatiblen Anschlüssen des FPGAs verbunden. Der HAGEN-Chip arbeitet nominal mit einer digitalen Versorgungsspannung von 3,3 V, die LVCMOS-Anschlüsse des FPGAs werden mit 2,5 V betrieben. Aus Tabelle 3.1 geht hervor, dass die Schwellenspannungen der beiden Chips kom-

	Parameter	FPGA		HAGEN	
		MIN	MAX	MIN	MAX
V <sub>IL</sub>	Eingangsschwellenspannung LOW [V]	-0,5	0,7	0,3	0,8
V <sub>IH</sub>	Eingangsschwellenspannung HIGH [V]	1,7	2,7	2	3,6
V <sub>OL</sub>	Ausgangsspannung LOW [V]	-	0,4	-	0,4
V <sub>OH</sub>	Ausgangsspannung HIGH [V]	1,9	-	2,4	-

**Tabelle 3.1:** Gegenüberstellung der Schwellenspannungen der LVCMOS-Anschlüsse des FPGAs und der HAGEN-Anschlüsse.

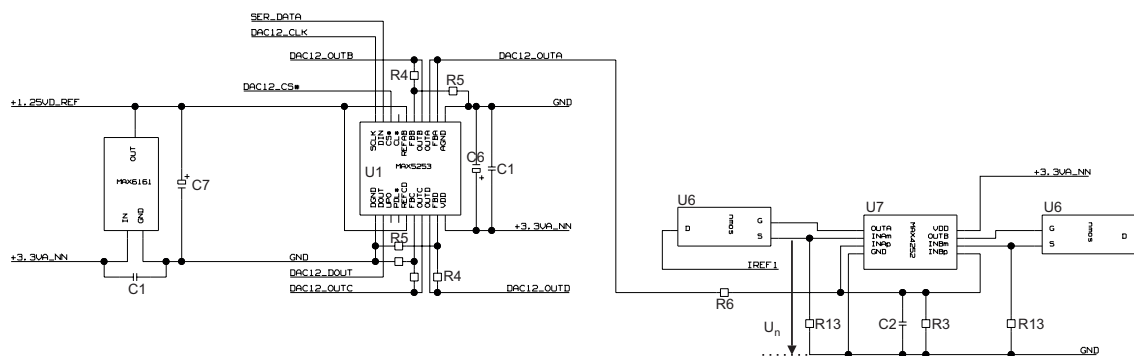
patibel sind. Die von den jeweiligen Ausgängen gelieferten Minimal- bzw. Maximalspannungen liegen stets ober- bzw. unterhalb der minimalen bzw. maximalen Schwellenspannungen.

<sup>38</sup>Diese Bezeichnungsweise wird nützlich bei der Implementierung der Erweiterungsmöglichkeiten in Form einer vollständig differentiellen Schnittstelle (siehe Abschnitt 3.6).

**Interne Terminierungen** Wie oben angedeutet, können die LVDS-Anschlüsse des HAGEN-Chips intern terminiert werden. Diese Terminierungen werden über die Anschlüsse TERM1/2 und TERMBIDI1/2 geschaltet. TERM1/2 schaltet die Terminierungen der unidirektionalen Adresseingänge und des Takteingangs in der entsprechenden Hälfte. TERMBIDI1/2 schaltet die Terminierung der bidirektionalen Datensignale DM/DP<15..0>. TERM1/2 und TERMBIDI1/2 haben interne pull-up-Widerstände, so dass die interne Terminierung aktiv ist, wenn der zugehörige Steueranschluss nicht beschaltet ist. Die zweite Hälfte wird die dem FPGA zugewandte sein. Die dortigen Terminierungen der unidirektionalen Adress- und Taktleitungen werden durch Setzen von TERM1 auf 0 V abgeschaltet, um nur an der ersten Hälfte zu terminieren. Diese Datenleitungen sind differentielle Datenleitungen mit mehreren Abgriffen und müssen als BUS-LVDS Konfiguration betrachtet werden.

### 3.3.1.1 Strom- und Spannungsreferenzen

Der zur Generierung der Referenzspannungen und -ströme eingesetzte Baustein MAX5253 [Max96] bietet vier 12 Bit-DACs mit einer Einstellzeit von  $16\mu s$ . Die Konfiguration dieses Bausteins erfolgt über eine serielle Schnittstelle, bestehend aus den Signalen SER\_DATA (serielle Daten), DAC12\_CLK (SER\_DATA wird synchron zu diesem Taktsignal übertragen) und DAC12\_CS#. Register der einzelnen DACs sind doppelt gepuffert, so dass zunächst alle vier DACs konfiguriert werden und die Ausgänge mit einem abschließenden Befehl aktiv geschaltet werden können. Die Schaltung zur Erzeugung der Strom- und Spannungsreferenzen ist in Abbildung 3.4 dargestellt.



**Abbildung 3.4:** Beschaltung des DACs  $U1$  mit angeschlossenem OP  $U7$  zur Generierung des Referenzstroms. Die vom DAC benötigte Spannungsreferenz wird von  $U2$  erzeugt.

Die DACs stellen ihre Ausgangsspannung auf einen durch zwölf Konfigurationsbits gegebenen Wert zwischen 0 V und einer Referenzspannung ein. Diese Spannung ist für die DACs A und B am Eingang REFAB und für die DACs C und D am Eingang REFCD des Bausteins anzulegen. Die Referenzspannung muss extrem rauscharm sein und wird durch die Referenzspannungsquelle MAX6161 [Max01b] erzeugt, welche eine Spannung von  $1,25\text{ V} \pm 2\text{ mV}$  bei einer Temperaturstabilität von  $\max. 5 \cdot 10^{-6}/^{\circ}\text{C}$  liefert. Um die Ausgangsspannung der DACs in einem größeren Bereich einstellen zu können, sind die Ausgänge der DACs auf den nichtinvertierenden Eingang eines internen OP geschaltet, dessen invertierender Eingang an Anschluss FBx des Bauteils zur Verfügung steht. Der interne OP wird mit externen Widerständen  $R4$  und  $R5$  als nichtinvertierender Verstärker beschaltet. Da die Referenzspannungseingänge des HAGEN-Chips hochohmig sind, können diese OPs als ideal und unbelastet betrachtet werden. In diesem Fall gilt laut [Hin96] für die Verstärkung  $v$  eines OPs:

$$v = \frac{R4}{R5} + 1. \quad (3.1)$$

Um die Betriebsspannung von 3,3 V an den Ausgängen zu erhalten, muss das Verhältnis  $R4/R5 =$

1,64 betragen. Es werden die kommerziell erhältlichen Werte

$$R4 = 16 \text{ k}\Omega \text{ und } R5 = 10 \text{ k}\Omega$$

verwendet. Bei einer Betriebsspannung von 3,3 V können die Ausgänge der DACs so auf Werte zwischen 0 V und 3,25 V eingestellt werden. Die Ausgänge B, C und D des DACs werden für die Referenzspannungen an den Eingängen VCASDAC, VCAS und VBIAS des HAGEN-Chips verwendet. An diesen Eingängen wird jeweils ein RC-Tiefpass aus  $R2$  und  $C2$  vorgesehen, um Rauschen auf den Referenzspannungen zu unterdrücken<sup>39</sup>. Die Grenzfrequenz dieses Tiefpasses beträgt  $f_g = 1/(2\pi RC) \approx 1500 \text{ Hz}$  (siehe [Vog97]).

Zur Generierung des Referenzstroms sind die OPs des Dual-OPs MAX4252 [Max01c] mit den NMOS-Transistoren  $U6$ , den Widerständen  $R13$  sowie den nicht dargestellten Innenwiderständen des HAGEN-Chips als Konstantstromquelle beschaltet [Hin96]. Laut [Sei89] stellen sich die Potentiale dieser stromgegekoppelten Schaltung stets so ein, dass die Differenzeingangsspannung am OP null ist. Der Drain-Source-Strom durch  $U6$  verursacht über  $R13$  einen Spannungsabfall  $U_n$ , welcher zu der am nichtinvertierenden Eingang des OPs angelegten Spannung  $U_A$  des DACs A identisch ist. Der Stromfluss lässt sich somit durch die Wahl von  $U_A$  und  $R13$  festlegen. Der maximal zulässige Wert für den Referenzstrom beträgt  $50 \mu\text{A}$  [SHMS02]. Der DAC kann durch die direkte Gegenkopplung des Ausgangs A maximal  $U_A = 1,25 \text{ V}$  liefern. Für  $R13$  wird der kommerziell erhältliche Wert

$$R13 = 20 \text{ k}\Omega$$

verwendet. Der maximal für den Referenzstrom einstellbare Wert beträgt somit etwa  $60 \mu\text{A}$ . Bei der Programmierung des DACs ist darauf zu achten, dass der Maximalwert von  $50 \mu\text{A}$  nicht überschritten wird. Der aus  $R6$  und  $C2$  gebildete RC-Tiefpass dämpft Rauschen in der vom DAC gelieferten Spannung für Frequenzen über  $f_g = 1/(2\pi RC) \approx 350 \text{ Hz}$ .

### 3.3.2 Statisches (S-) RAM

Die SRAM-Bausteine IDT71V2556S werden als schneller Zwischenspeicher für Operationen auf den Konfigurationsdaten des ANNs benötigt. Die statischen Speicherzellen halten einen gespeicherten Zustand, solange die Betriebsspannung angelegt ist. Der Zustand ändert sich nur, wenn durch einen Treiber ein anderer Zustand erzwungen wird. Für eine ausführliche Beschreibung der Funktionsweise statischer Speicherzellen siehe z.B. [Hin96]. Bei den eingesetzten ZBT-SRAMs sind keine Wartezyklen bei der Umschaltung zwischen Schreib- und Lesemodus nötig. Die Schnittstelle dieser SRAMs besteht aus einem, in vier Worte zu 9 Bit geteilten 36 Bit breiten Bus. Ein Wort besteht aus einem Byte Daten und einem Paritätsbit, welches zur Fehlerkorrektur verwendet werden kann. Da die Benutzung dieses Paritätsbits die Ansteuerung des SRAMs verkompliziert und vier zusätzliche Datenleitungen pro Baustein erfordert, wird das Paritätsbit nicht verwendet und der Datenbus hat eine tatsächliche Breite von 32 Bit. Daten können über 17 Adressleitungen direkt adressiert werden. Diese Architektur wird mit  $128 \text{ K} \times 36$  bezeichnet ( $2^{17} = 128 \text{ K}$ ). Die schematische Darstellung eines SRAM-Bausteins findet sich in Abbildung 3.5.

#### 3.3.2.1 Synchroner LVC MOS-Schnittstelle

Die interne Logik der SRAMs wird mit  $V_{DD} = 3,3 \text{ V}$ , die Treiber der Datenanschlüsse mit  $V_{DD} = 2,5 \text{ V}$  betrieben. Adress- und Kontrollsignaleingänge sind auf Signalpegel von 2,5 bis 3,3 V ausgelegt, Datenanschlüsse auf einen Signalpegel von 2,5 V. Für die Kommunikation zwischen FPGA und SRAM wird demzufolge auf allen Datenleitungen der LVC MOS-Signalstandard verwendet. In Tabelle 3.2 sind die Schwellenspannungen von SRAM und FPGA gegenübergestellt.

<sup>39</sup>Rauschen auf diesen analogen Spannungen kann z.B. durch Übersprechen benachbarter, digitaler Signale verursacht

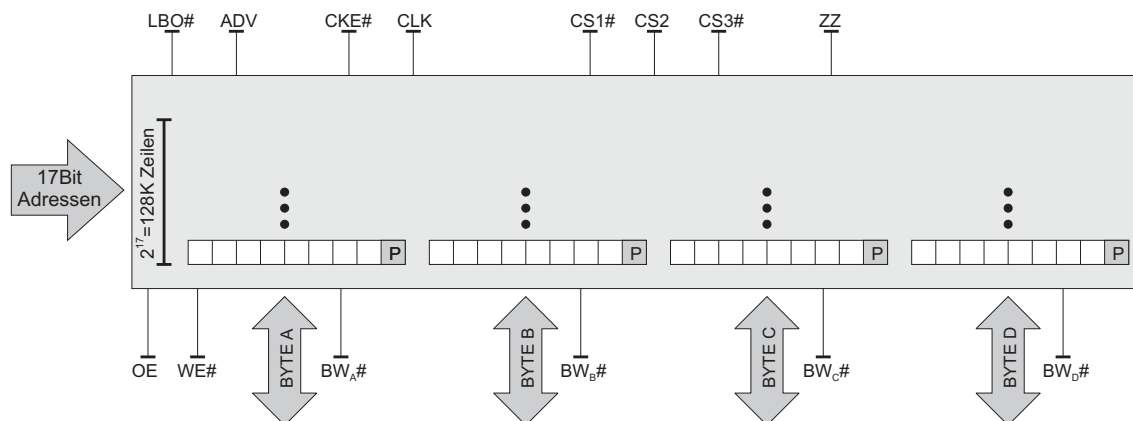


Abbildung 3.5: Schematischer Aufbau und interne Organisation des SRAMs.

	FPGA		SRAM			
	MIN	MAX	Eingänge <sup>a</sup>		I/Os <sup>b</sup>	
			MIN	MAX	MIN	MAX
V <sub>IL</sub> [V]	-0,5	0,7	-0,3	0,7	-0,3	0,7
V <sub>IH</sub> [V]	1,7	2,7	1,7	V <sub>DD</sub> + 0,3 V	1,7	V <sub>DDQ</sub> + 0,3 V
V <sub>OL</sub> [V]	-	0,4	-	-	-	0,4
V <sub>OH</sub> [V]	1,9	-	-	-	2,0	-

<sup>a</sup>Betriebsspannung für alle Eingänge ist V<sub>DD</sub> = 3,3 V

<sup>b</sup>Betriebsspannung für alle I/Os ist V<sub>DDQ</sub> = 2,5 V

Tabelle 3.2: Gegenüberstellung der Schwellenspannungen der LVCMOS-Anschlüsse des FPGAs und der SRAM-Anschlüsse.

Die Taktung beider SRAM-Bausteine erfolgt durch das Taktsignal SRAM\_CLK, welches im FPGA aus dessen Systemtakt erzeugt wird. Die SRAMs IDT71V2556S können mit Taktfrequenzen bis 200 MHz betrieben werden. Daten und Kontrollsignale werden zwischen FPGA und SRAM zur steigenden Flanke des Taktsignals übertragen, die Schnittstelle arbeitet also mit Single Data Rate (SDR). Die Datenrate beträgt bei der verwendeten Busbreite von 64 Bit etwa 1,5 GBps.

Die Datenübertragung in Richtung SRAM (Schreibzugriff) erfolgt quellsynchron. Bei Lesezugriffen sendet das SRAM Daten synchron zu dem vom FPGA erzeugten Taktsignal. Das Einlesen der Daten am FPGA kann wiederum nur synchron zum FPGA-internen Takt erfolgen. Mittels eines im FPGA integrierten DCMs<sup>40</sup> kann die zur Synchronisation der internen Logik erforderliche Phase des externen Taktsignals eingestellt werden. Hierzu wird das vom FPGA gesendete Taktsignal SRAM\_CLK an den DCM im FPGA zurückgeführt. Die Fähigkeiten dieser DCMs werden in Abschnitt 3.3.4 zum FPGA erläutert. Aufgrund der Taktung mit nur einem Taktsignal wird die SRAM-Schnittstelle als *synchrones* System betrachtet.

Neben Adress- und Datenleitungen werden zur Kommunikation mit dem SRAM folgende Signale benötigt (Schaltplan siehe Anhang A):

**Write Enable** SRAM1/2\_WE#: LOW aktives *Write Enable*-Signal. Wenn dieses Signal LOW ist, können Daten ins SRAM geschrieben werden. Der entsprechende Zugriff findet zwei Taktzyklen nach Setzen des Write Enable-Signals statt.

werden. Leiterbahnen, die digitale Signale führen, müssen im Layout beispielsweise durch den Einzug von Kupferflächen von diesen analogen Schaltungen abgeschirmt werden.

<sup>40</sup>DCM: Digital Clock Manager.

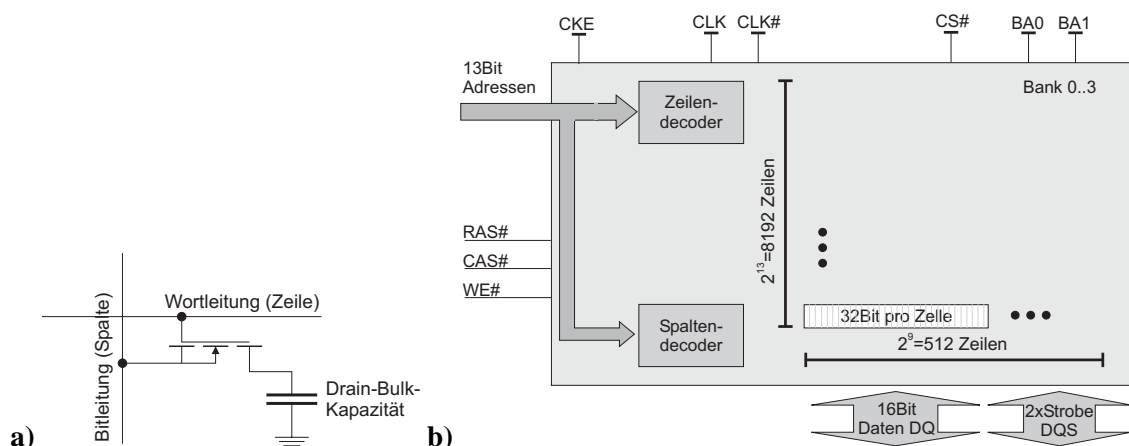


**Byte Write** SRAM1/2\_BW0/1#: Die LOW aktiven *Byte Write*-Signale bestehen an den SRAM-Bausteinen aus vier Signalen (A bis D). Sie dienen zur Maskierung von Schreibzugriffen, welche nur erfolgen können, wenn das einem Byte zugeordnete Signal LOW ist. Signale A und B bzw. C und D werden zu BW0# bzw. BW1# zusammengefasst. Da die im SRAM zu verarbeitenden Gewichtsdaten des ANNs HAGEN laut [SHMS02] aus insgesamt 12 Bit bestehen, erfolgen Zugriffe auf das SRAM stets als 16 Bit Wort.

**Output Enable** SRAM1/2\_OE#: Das OE#-Signal ist das einzige asynchrone Signal der SRAM-Schnittstelle. Wird OE# HIGH gesetzt, werden die Ausgangstreiber des SRAM höchstens 3,5 ns später hochohmig geschaltet und sind somit deaktiviert. Das OE#-Signal hat keinen Einfluss auf Schreibzugriffe.

### 3.3.3 Synchron-dynamisches DDR (SD-)RAM

Eine DRAM-Speicherzelle besteht aus einem einzelnen MOSFET-Transistor<sup>41</sup>, welcher als Schalter fungiert, sowie der Drain-Bulk-Kapazität zwischen Drain des MOSFET und dem Halbleitersubstrat. Der Aufbau ist in Abbildung 3.6 a) dargestellt. Beim Lesen wird durch einen Impuls auf der Wortleitung die Verbindung zwischen Kondensator und Bitleitung hergestellt. Der Zustand der Kapazität (geladen oder nicht geladen) wird von einem Leseverstärker an der Bitleitung ausgewertet und an die Ausgangstreiber weitergeleitet. Beim Schreiben wird der Kondensator über die Bitleitung geladen. DRAM-Zellen sind in einem zweidimensionalen Array organisiert, dessen Elemente über Zeilen- bzw. Spaltenadressen selektiert werden. Um die Wortleitung einer bestimmten Zelle zu schalten, ist zunächst deren Zeilenadresse anzugeben. Danach muss die Spaltenadresse der Zelle übertragen werden, um deren Bitleitung zu schalten und so den gespeicherten Wert auszulesen oder zu überschreiben. Die Anordnung ist schematisch in Abbildung 3.6 b) dargestellt.



**Abbildung 3.6:** a) DRAM-Zelle. b) Schematischer Aufbau der DRAM-Architektur. Die durch Zeilen- und Spaltenadressen selektierten Speicherzellen bestehen in den verwendeten Bausteinen aus jeweils 8 Bit.

Da die Drain-Bulk-Kapazität keinen perfekt isolierten Kondensator darstellt, ist die auf ihr gespeicherte Ladung ständiger Fluktuation unterworfen. Um Informationen zuverlässig speichern zu können, sind im Abstand von typischerweise etwa  $7 \mu\text{s}$  *Refresh-Zyklen* auszuführen. Der Wert der Drain-Bulk-Kapazität beträgt etwa 10 fF. Diese geringe Kapazität wird bei einem Lesezugriff vollständig entladen und muss nach dem Lesevorgang in Form eines *Spalten-Refresh* über die entsprechende Bitleitung wieder auf ihren vorigen Zustand gebracht werden. Beim Spalten-Refresh wird der Zustand des Leseverstärkers in das DRAM-Array zurückgeschrieben.

<sup>41</sup>MOSFET: **M**etal **O**xide **S**emiconductor **F**ield **E**ffective **T**ransistor.

Die DDR-SDRAM Module MT8VDDT3264HD sind mit acht Chips der Baureihe MT46V16M16 bestückt. Diese Chips sind intern in vier Bänken zu jeweils  $2^{13} = 8192$  Zeilen und  $2^8 = 256$  Spalten mit 32 Bit pro Zelle organisiert, woraus sich eine Kapazität von  $8192 \times 256 \times 32 \times 4 = 256 \text{ MBit} = 32 \text{ MByte}$  pro Chip ergibt. Die 32 Bit breiten Daten werden intern auf einen 16 Bit breiten Bus gemultiplext, welcher inklusive einer Strobe-Leitung für jeweils ein Byte den Datenbus dieser DDR-SDRAM-Chips darstellt. Das Modul ist in zwei Hälften zu vier Chips aufgeteilt, welche jeweils zu einem 64 Bit breiten Datenbus zusammengeschlossen sind. Die Kommunikation mit dem Modul findet jeweils mit nur einer Hälfte statt, so dass der Datenbus zum FPGA 64 Bit breit ist.

Daten werden mit dem DDR-SDRAM zur steigenden und fallenden Flanke des Taktsignals ausgetauscht, wodurch eine doppelte Datenrate erreicht wird (DDR). Die maximale Taktfrequenz beträgt 133 MHz und die Übertragungsrate somit 266 MHz. Adress- und Kontrollsignale werden mit SDR zur steigenden Flanke des Taktsignals übertragen. DDR-Übertragung wird folgendermaßen erreicht: Bei Lesezugriffen wird intern ein 32 Bit-Zugriff pro Taktzyklus ausgeführt. Ein De-Multiplexer erzeugt zwei 16 Bit-Wörter, welche zur steigenden und fallenden Flanke des Taktsignals ausgegeben werden (DDR). Bei einem Schreibzugriff werden entsprechend zwei 16 Bit-Wörter pro Taktzyklus in einen Eingangs-FIFO geschrieben. Ein Multiplexer erzeugt ein 32 Bit-Wort, welches innerhalb eines ganzen Taktzyklus in das DRAM geschrieben wird.

### 3.3.3.1 Quellensynchrone SSTL2-Schnittstelle

Der JEDEC-Standard JESD79 [JED02a] definiert den Aufbau und die Schnittstelle standard-konformer DDR-SDRAM Bausteine. Unter anderem wird spezifiziert, dass alle Eingänge SSTL\_2, Class I- und alle bidirektionalen Anschlüsse SSTL\_2, Class II-kompatibel sind [JED02b]. SSTL\_2-kompatible Eingänge werden als Differenzverstärker ausgeführt. Differenzverstärker benötigen bei Ansteuerung nur eines Eingangs eine Referenzspannung am zweiten Eingang, welche für SSTL\_2-Eingänge 1,25 V beträgt. Diese Referenzspannung ist identisch mit der des DACs und wird aus der gleichen Referenzspannungsquelle bezogen.

Der Zugriff auf das DDR-SDRAM erfolgt Burst-orientiert. Aufgrund des intern 32 Bit breiten DRAM-Arrays müssen während eines Zugriffs mindestens zwei 16 Bit-Wörter übertragen werden, um den Zugriff vollständig zu machen. Weiterhin sind Burst-Längen von vier und acht Zyklen (DDR) programmierbar. Neben den Adress- (A) und Datensignalen (DQ) werden zur Kommunikation mit dem DDR-SDRAM folgende Signale benötigt:

**Taktung** Das DDR-SDRAM-Modul benötigt zwei differentielle Taktsignale CLK0(#) und CLK1(#), welche zu jeweils vier Chips des Moduls verteilt werden. Befehle (Adress- und Kontrollsignale) werden zur steigenden Flanke von CLK0/1 registriert, werden also mit SDR übertragen. Einlesen und Ausgeben von Daten erfolgt synchron zu Strobe-Signalen, wobei jeweils ein Strobe-Signal mit acht Datenbits übertragen wird. Die Clock Enable Leitung CKE steuert den Befehlsdecoder des DDR-SDRAMs. Wird CKE LOW gesetzt, befindet sich das DDR-SDRAM im *self refresh*-Modus. Die Speicherzellen werden automatisch aufgefrischt und das DDR-SDRAM verarbeitet keine Befehle.

**Strobe-Signale** Bei Schreibzugriffen werden Daten Byte-weise synchron zur steigenden und fallenden Flanke dieser Strobe-Signale (DQS) vom DDR-SDRAM registriert. Die DQS-Signale sind um  $\pi/2$  phasenverschoben nach den Datensignalen (DQ) zu übertragen, so dass DQ zur Flanke des DQS-Signals bereits stabil ist. Bei Lesezugriffen werden Daten zu beiden Flanken und in Phase mit den DQS-Signalen vom DDR-SDRAM geschrieben. Die DQS-Signale werden intern mit den positiven Taktsignalen CLK0 und CLK1 synchronisiert, d.h. DQS wird in Phase mit CLK ausgegeben. Diese Übertragungstechnik entspricht der Definition eines quellensynchronen Systems.

Da der FPGA nicht genügend Takteingänge besitzt, können die insgesamt acht vom DDR-SDRAM übertragenen Strobe-Signale am FPGA nicht ausgewertet werden. Analog zur SRAM-Schnittstelle

wird hier das Signal SDRAM\_CLK1 auf einen globalen Takteingang des FPGAs rückgekoppelt, um das DDR-SDRAM mit dem FPGA zu synchronisieren und somit die Daten synchron zum FPGA-internen Takt einlesen zu können. SDRAM\_CLK1 wird zwar differentiell übertragen, die Treiber des FPGAs arbeiten aber nach dem SSTL\_2-Standard. Das heißt, der Takteingang am FPGA muss ebenfalls mit SSTL\_2-konformen Empfängern konfiguriert werden, um Kompatibilität der Schwellenspannungen zu gewährleisten. SSTL\_2-Eingänge können durch den FPGA nicht differentiell ausgewertet werden, so dass nur das positive Signal des rückgekoppelten, differentiellen Signals ausgewertet wird.

**Kontrollsignale** Der Befehlssatz des DDR-SDRAMs ist über die Signale RAS# (Row Address Select), CAS# (Column Address Select), WE# (Write Enable) sowie über Bits zur Bankauswahl BA0/1 (Bank Select) und die Chip Select Signale S0/1# definiert. Die vollständige Adresse einer Zelle setzt sich aus den zwei Bank-Bits und den Adressbits zusammen. Die wichtigsten Befehle sind in Tabelle 3.3 aufgeführt. Befehle werden nur verarbeitet, wenn CKE HIGH gesetzt ist und müssen in der im Datenblatt spezifizierten Reihenfolge ausgeführt werden. Beispielsweise muss für einen Lesezugriff

Befehl (Bedeutung)	CS#	RAS#	CAS#	WE#	Adr.
DESELECT (NOP)	H <sup>a</sup>	X	X	X	X
NO OPERATION (NOP) <sup>b</sup>	L	H	H	H	X
ACTIVE (selektiert Bank, aktiviert Zeile)	L	L	H	H	Bank/Z. <sup>c</sup>
READ (selektiert Bank, Spalte; startet READ-Burst)	L	H	L	H	Bank/Sp. <sup>d</sup>
WRITE (selektiert Bank, Spalte; startet WRITE-Burst)	L	H	L	L	Bank/Sp.
BURST TERMINATE (unterbricht Burst-Zugriff)	L	H	H	L	X
PRECHARGE (deaktiviert Zeile in Bank/allen Bänken)	L	L	H	L	Befehl
AUTO REFRESH oder SELF REFRESH (aktiviert self refresh Modus)	L	L	L	H	X
LOAD MODE REGISTER (Sonderbefehle)	L	L	L	L	Befehl

<sup>a</sup>H: HIGH, L: LOW, X: ohne Bedeutung

<sup>b</sup>DESELECT und NO OPERATION sind funktionell identisch

<sup>c</sup>BA0/1 spezifizieren die Bank, A<12..0> die Zeilenadresse

<sup>d</sup>BA0/1 spezifizieren die Bank, A<7..0> die Spaltenadresse

**Tabelle 3.3:** Wahrheitstabelle für die Ansteuerung des DDR-SDRAMs. Der vollständige Befehlssatz findet sich in [Mic02a].

zunächst der ACTIVE-, dann der READ-Befehl übertragen werden. Nach der Datenübertragung ist die aktivierte Zeile mit dem PRECHARGE-Befehl zu schließen, wodurch der Spalten-Refresh initiiert wird. AUTO und SELF REFRESH-Befehle sind in den im Datenblatt spezifizierten Intervallen auszuführen.

### 3.3.3.2 Terminierung des DDR-SDRAM-Busses

Alle Datenleitungen des DDR-SDRAM-Busses werden parallel terminiert, da die kurzen Anstiegszeiten der Datensignale von 500 ps [Mic02a] nach Gleichung 2.17 die Terminierung der Leiterbahnen ab etwa 5 cm Länge erfordern. Beim Layout der DDR-SDRAM-Datenleitungen ergibt sich eine durchschnittliche Leiterbahnlänge von ca. 4,9 cm (siehe Abschnitt 4.2.6).

Die Parallelterminierung des DDR-SDRAM-Busses erfolgt gemäß dem in [JED02b] spezifizierten Schema. Stichleitungen auf dem Speichermodul sind mit einem 22  $\Omega$ -Serienwiderstand terminiert, die differentiellen Taktleitungen parallel mit je einem 120  $\Omega$ -Widerstand. Zusätzliche Terminierung der Taktleitungen ist nicht erforderlich. Alle übrigen Leiterbahnen werden SSTL\_2-konform nach dem DDR-SDRAM-Modul parallel auf 1,25 V terminiert. Terminierung erfolgt durch Widerstands-

Arrays  $P1$  [Bou02], welche vier Einzelwiderstände mit

$$R(P1) = 47 \Omega$$

zusammenfassen. Daten- und Kontrollsignale werden über getrennte Widerstands-Arrays terminiert, um Übersprechen der DDR-Datensignale auf SDR-Kontrollsignale innerhalb des Arrays zu vermeiden.

**Strombelastung der Terminierungsspannung** Über die Terminierungsspannung fließt maximaler Strom, wenn alle Daten- und Kontrollsignale den gleichen Signalpegel haben. Bei Gleichverteilung der Signalpegel (50 % LOW, 50 % HIGH) fließt nach der Kirchhoff'schen Knotenregel kein Strom über die Terminierungsspannung. Die Abschätzung des maximalen Strombedarfs findet sich in Tabelle 3.4. Bemerkenswert ist, dass der Maximalstrom von  $\pm 1,35$  A durch die Stromversorgung bei einer

	$V_{OL}$ [V]	$I_{OL}$ [mA] bei $V_{OL}$	$V_{OH}$ [V]	$I_{OH}$ [mA] bei $V_{OH}$	# Signale
Class I	0,64	7,6	1,82	-7,6	30
Class II	0,45	15,2	2,05	-15,2	72
Summe $I_{MAX} \approx$					<b><math>\pm 1,35</math> A</b>

**Tabelle 3.4:** Strombedarf auf der Terminierungsspannung. Diese Abschätzung beruht auf den Angaben durchschnittlicher Werte aus [Xil02e].

Spannung von 1,25 V sowohl geliefert (Signal ist LOW) als auch verbraucht (Signal ist HIGH) werden muss. Das hierfür benötigte Schaltnetzteil wird auf der Backplane untergebracht (siehe Abschnitt 3.5.6).

### 3.3.4 FPGA

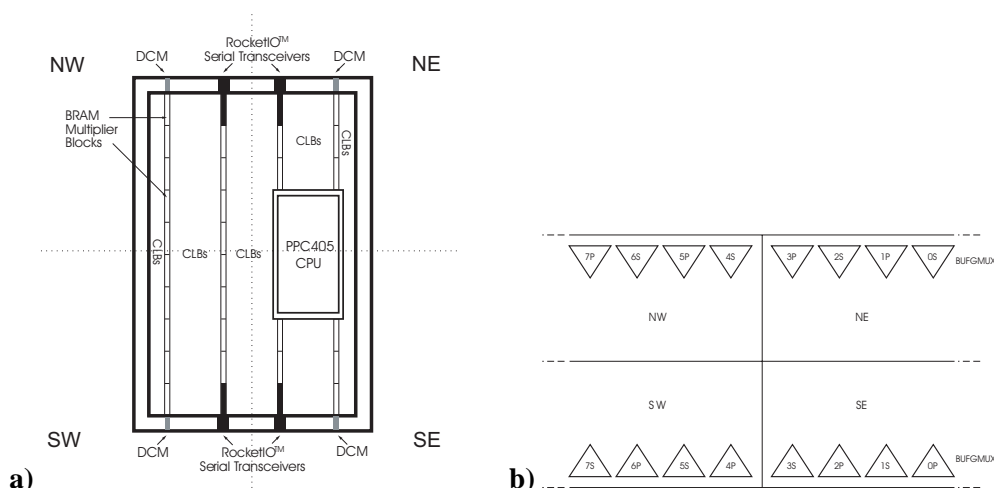
In Abbildung 3.7 ist der schematische Aufbau des verwendeten FPGAs XC2VP4 dargestellt. Die mit *CLBs* bezeichneten Bereiche stellen die frei konfigurierbare interne Logik des FPGA dar. In den senkrechten Spalten sind lokaler Arbeitsspeicher (Block RAM) und Multiplizierer (Multiplier) untergebracht. Der PowerPC-Kern befindet sich in der rechten Hälfte<sup>42</sup>.

Weitere wesentliche Bestandteile dieses FPGAs sind die Digital Clock Manager (DCMs) und die seriellen Rocket I/O Transceiver (MGTs). Die DCMs ermöglichen den Aufbau des NATHAN-Systems unter der Bereitstellung von zwei externen Taktsignalen. Der Systemtakt sowie sämtliche auf NATHAN benötigten Taktsignale können aus den externen Taktsignalen mittels der DCMs generiert werden. Weiterhin wird durch die DCMs die Synchronisierung der Speicherschnittstellen zum FPGA-internen Takt ermöglicht (siehe Abschnitt 3.3.4.2).

#### 3.3.4.1 FPGA-Taktung und Takt-Management

Der FPGA besitzt 16 Takteingänge (Global Clock Inputs), welche auf die vier Quadranten des FPGAs aufgeteilt sind (siehe Abbildung 3.7 b). Schnelle Multiplexer (BUFGMUX) können die empfangenen Taktsignale über dedizierte Verbindungen innerhalb des FPGAs mit minimaler Laufzeit verteilen, so dass im FPGA bis zu 16 globale Taktsignale zur Verfügung stehen. Gegenüberliegende Multiplexer sind jeweils gleich nummeriert und mit der Bezeichnung P (primary) und S (secondary) versehen. Die Bezeichnungen *primary* und *secondary* dienen lediglich der Unterscheidung und drücken keine Prioritäten aus. Zwei Multiplexer mit der gleichen vorangestellten Nummer können in einem

<sup>42</sup>Diese Darstellung zeigt die Aufsicht auf den FPGA. Wegen der Flip-Chip Montage auf dem Gehäuse erscheint die Aufsicht auf die Anschlussbelegung vertikal gespiegelt.



**Abbildung 3.7:** a) Blockdarstellung des FPGAs in der eingesetzten Variante XC2VP4 mit Aufteilung in Quadranten nach Himmelsrichtungen. b) Aufteilung der Multiplexer zur Verteilung globaler Taktsignale [Xil02f].

Quadranten nicht gleichzeitig benutzt werden. Somit sind pro Quadrant maximal acht globale Taktsignale verfügbar. Diese Einschränkung ist bei der Aufteilung der internen Ressourcen des FPGAs zu berücksichtigen.

Globale Taktsignale können zur Taktung interner Logik oder der Ausgangstreiber verwendet werden. Synchronisierung der internen Logik auf ein externes Taktsignal, wie z.B. Synchronisierung auf das rückgekoppelte SRAM-Taktsignal, erfolgt mittels der DCMs. Pro Quadrant ist ein DCM verfügbar. Externe Taktsignale in einem bestimmten Quadranten können über direkte Verbindungen nur an den DCM dieses Quadranten verbunden werden. Soll der DCM das Taktsignal eines anderen Quadranten erhalten, so sollte dieses zunächst über den Multiplexer (BUFGMUX) auf ein globales Taktnetz verteilt werden. Für weitere Details siehe [Xil02e].

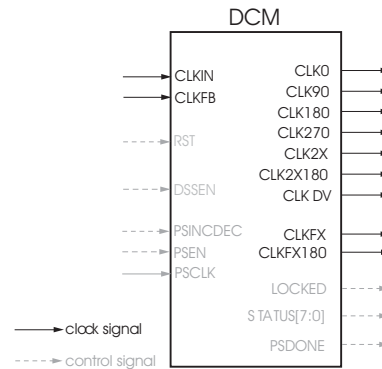
### 3.3.4.2 Fähigkeiten der DCMs

Abbildung 3.8 zeigt das Blockschaltbild eines DCMs, worin Anschlüsse für Taktsignale schwarz hervorgehoben sind. CLKIN ist mit einem der 16 globalen Taktsignale zu beschalten und CLKFB muss ein von CLK0 abgeleitetes Signal sein. Dieses Signal kann außerhalb des Chips über eine Rückkopplungsschleife geführt werden. Die DCMs bieten folgende Möglichkeiten zur Manipulation von Taktsignalen:

- **Phasenangleichung:** Der DCM arbeitet wie eine Regelschleife. Durch eine variable interne Verzögerung wird ein Ausgangssignal (hier: CLK0) so eingestellt, dass das rückgekoppelte Ausgangssignal (CLKFB) zu einem Referenztakt (CLKIN) in Phase ist.

Dies kann benutzt werden, um bei der Kommunikation mit einem externen Baustein, welcher kein eigenes Taktsignal erzeugt, die durch die Signallaufzeit zu diesem Baustein entstehende Verzögerung auszugleichen. Je nach Signallaufzeit des rückgekoppelten Signals ist der Takt am externen Baustein in einer bestimmten Phase zum lokalen Referenztakt. Beim Layout einer Leiterplatte kann man eine gewünschte Phasenverschiebung erreichen, indem man das zum externen Baustein geführte Taktsignal an einer bestimmten Stelle abzweigt, zurückführt und als rückgekoppeltes Taktsignal verwendet. Durch die Regelschleife lässt sich die Phase eines Taktsignals am externen Baustein relativ zum Referenztakt einstellen<sup>43</sup>.

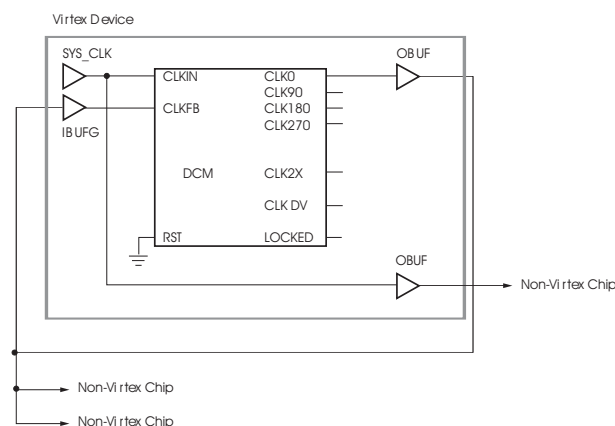
<sup>43</sup>Diese Schaltung wird auch als DLL (Delay Locked Loop) bezeichnet.



**Abbildung 3.8:** Blockschaltbild eines Digital Clock Manager (DCM) mit sämtlichen verfügbaren Anschlüssen [Xil02e].

Auf diese Weise kann erreicht werden, dass bei der Kommunikation mit dem externen Baustein zum Lesen und Schreiben ein einziges Taktsignal verwendet werden kann. Diese Fähigkeit des DCMs wird auf NATHAN beispielsweise bei der Ansteuerung des SRAMs und des DDR-SDRAMs benutzt.

In [xil02c] wird die Implementierung dieses Verfahrens exemplarisch dargestellt. In diesem Fall werden zwei DCMs verwendet, wobei einer zur Angleichung des FPGA-internen Taktes an das rückgekoppelte Taktsignal und einer zur Stabilisierung des FPGA-internen Taktsignals SYS\_CLK benutzt wird. Abbildung 3.9 zeigt die Beschaltung eines zur Phasenangleichung zwischen externem und internem Taktsignal verwendeten DCMs. Der zur Generierung des SYS\_CLK-Signals verwendete DCM ist nicht dargestellt.



**Abbildung 3.9:** Schematische Darstellung der Taktrückkopplung mittels eines DCMs (Modifiziert aus [xil02c]).

- **Frequenz-Synthese:** An den Ausgängen CLK2X und CLK2X180 stehen Taktsignale mit der doppelten Frequenz des Eingangstaktes CLKIN zur Verfügung, wobei CLK2X180 gegenüber CLK2X um  $180^\circ$  phasenverschoben ist. Am Ausgang CLKDV wird ein Taktsignal mit zwischen 1,5 und 16 einstellbarem Teilverhältnis relativ zu CLKIN erzeugt. An den Ausgängen CLKFX und CLKFX180 kann die Frequenz  $f_{CLKFX} = (M/D) \cdot f_{CLKIN}$  erzeugt werden. Die Integerwerte für M und D sowie die zur Verfügung stehenden Teilverhältnisse können dem Datenblatt entnommen werden.

- **Phasenverschiebung:** An den Ausgängen CLK0, CLK90, CLK180 und CLK270 werden aufsteigend um  $90^\circ$  phasenverschobene Versionen des Eingangstaktes CLKIN erzeugt. Neben dieser groben Phasenverschiebung kann eine Feineinstellung vorgenommen werden, welche sämtliche Ausgänge des DCMs betrifft. Hierzu muss CLK0 auf CLKFB rückgekoppelt werden. Die Phasenverschiebung zwischen den steigenden Flanken der Signale an CLKIN und CLKFB kann dann als Bruchteil der Periodendauer des Signals an CLKIN angegeben werden.

### 3.3.4.3 Anschlussbelegung des FPGAs

Der FPGA XC2VP4 bietet in der Gehäusevariante FF672 348 frei konfigurierbare Ein- und Ausgänge, welche in acht Bänke aufgeteilt sind (siehe Abbildung 3.10). Die Ausgangstreiber jeder Bank werden separat über die Anschlüsse VCCO mit Strom versorgt. VCCO einer Bank wird durch den verwendeten Signalstandard festgelegt. Für Signalstandards mit  $V_{OH} = 2,5\text{ V}$  beträgt beispielsweise  $VCCO = 2,5\text{ V}$ . Auf NATHAN werden LVCMOS, SSTL\_2, Class I und II, LVDS und BUS-LVDS benötigt. Für jeden dieser Signalstandards beträgt  $VCCO = 2,5\text{ V}$ . Unter Einschränkungen können alle Signalstandards mit gleichem VCCO in einer Bank verwendet werden [Xil02e].

Bei der Aufteilung der IOs wird berücksichtigt, dass das gleichzeitige Schalten mehrerer Ausgänge kurzzeitig einen sehr hohen Stromfluss auf VCCO verursacht. Durch Induktivitäten und ohmsche Verluste auf den Massezuleitungen des FPGAs wird das Massepotential innerhalb des FPGAs verschoben. Dieser Effekt wird als *ground bounce* bezeichnet und kann beispielsweise falsches Ansprechen eines Empfängers zur Folge haben, da die Empfänger ihr Eingangssignal mit der internen Masse des FPGAs vergleichen. Um *ground bounce* auszuschließen, wird im Handbuch des FPGAs [Xil02e] die maximal erlaubte Anzahl gleichzeitig schaltender Ausgänge (abhängig vom Signalstandard) pro VCCO-Anschluss angegeben.

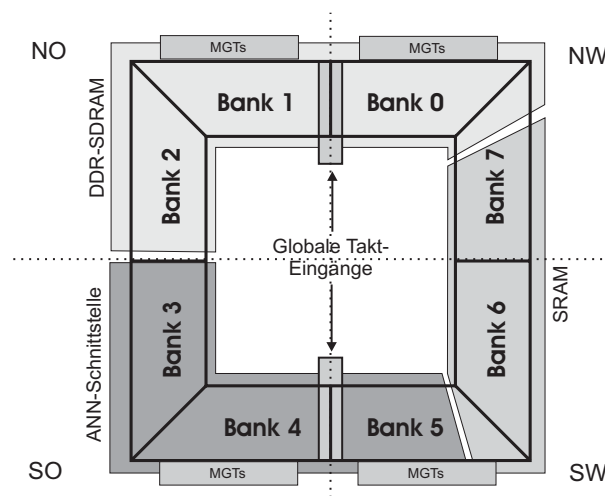


Abbildung 3.10: Illustration der Bank-Aufteilung am FPGA.

**Externe Taktung** Die vier globalen Takteingänge in Bank 5 werden durch die differentiellen Takt-signale EXT\_CLK1(#) und EXT\_CLK2(#) belegt. EXT\_CLK1(#) ist der durch den Kontrollrechner erzeugte Systemtakt und wird der Backplane über ein SCSI-Kabel zugeführt. EXT\_CLK2(#) wird auf der Backplane erzeugt und ist als Referenztakt für die MGTs vorgesehen. Da zur Verarbeitung dieser Taktsignale nur der DCM im Südwest-Quadranten zur Verfügung steht, kann nur eines dieser Taktsignale zur Generierung globaler Taktsignale im FPGA herangezogen werden. Die Entscheidung für eines dieser Taktsignale hängt hauptsächlich von dessen Symbolintegrität ab und bleibt zukünftigen Messungen vorbehalten.

Aufgrund der Lage der globalen Takteingänge, die zur externen Taktung des FPGAs vorgesehen sind, wird die Orientierung des FPGAs auf der Platine NATHAN festgelegt. Die „Süd-Seite“ des FPGAs wird nach unten orientiert. Der FPGA wird möglichst nahe am Steckverbinder zur Backplane platziert, um die Leitungslängen dieser Taktsignale kurz zu halten.

**ANN-Schnittstelle** Bis auf die Anschlüsse der Konfigurationsschnittstelle und zwei zur Ansteuerung von Status-LEDs vorgesehenen Anschlüssen, werden Bank 4 und 5 durch die Schnittstelle des HAGEN-Chips eingenommen. Alle Signale, inklusive der DirectIOs, werden paarweise differentiell behandelt, um die Erweiterung auf einen vollständig differentiell angesteuerten Nachfolge-Chip zu ermöglichen (siehe Abschnitt 3.3.4.6). Die differentiellen Taktsignale ANNA\_CLK1(#) und ANNA\_CLK2(#) der beiden Hälften des HAGEN-Chips sind mit den vier, in Bank 4 verfügbaren Global Clock Eingängen des FPGAs verbunden. Die Logik des FPGAs wird bei der Datenübertragung von HAGEN zum FPGA mittels des DCMs im Südost-Quadranten zu diesen Taktsignalen synchronisiert. Werden Daten vom FPGA zu HAGEN geschrieben, so sind die Taktausgänge des HAGEN-Chips inaktiv und werden nicht von der Elektronik des Chips getrieben. Erfahrungen mit dem HAGEN-Chip haben gezeigt, dass die Taktausgänge bei Inaktivität nicht stabil bleiben und ihren Arbeitspunkt verlassen, d.h. der korrekte Betrieb ist nach der Inaktivität nicht gewährleistet. Dieses Problem wird umgangen, indem die globalen Takteingänge des FPGAs als bidirektionale Anschlüsse realisiert werden. Diese treiben die Taktleitungen und gewährleisten deren Stabilität, während die Taktausgänge des HAGEN-Chips inaktiv sind. Somit sind am FPGA insgesamt neun bidirektionale LVDS-Signale pro HAGEN-Hälfte anzuschließen. Dadurch entstehen besondere Anforderungen an die externen Terminierungen am FPGA, auf die in Abschnitt 3.3.4.4 eingegangen wird.

**SDRAM-Schnittstelle** Zur Ansteuerung des DDR-SDRAMs werden impedanzkontrollierte Anschlüsse des FPGAs in den Bänken 0, 1, 2 und 7 verwendet. Um interne Terminierungen des FPGAs zu schalten, sind die Anschlüsse VRP und VRN in diesen Bänken mit Referenzwiderständen zu beschalten (siehe hierzu Abschnitt 3.3.4.4). Wegen der Verwendung SSTL\_2-kompatibler Differenzverstärker ist an den VREF-Anschlüssen eine Referenzspannung  $V_{REF} = 1,25\text{ V}$  anzulegen. Hierfür wird die Referenzspannungsquelle des DACs verwendet.

Vollständige Belegung von Bank 2 mit SSTL\_2-kompatiblen Anschlüssen überschreitet die maximal in dieser Bank erlaubte Anzahl gleichzeitig schaltender Ausgänge. Daher werden die in dieser Hinsicht unkritischen Anschlüsse zur Ansteuerung des DACs und des Temperatursensors in Bank 2 gelegt.

Zwei der vier in Bank 1 verfügbaren globalen Takteingänge werden zur Rückkopplung des differentiellen Taktsignals der DDR-SDRAM-Schnittstelle benutzt. Die Synchronisation dieser Schnittstelle erfolgt mittels des DCMs im Nordost-Quadranten.

**SRAM-Schnittstelle** Bank 7 beinhaltet 17 Signale der DDR-SDRAM-Schnittstelle. Weitere 36 in dieser Bank verfügbare IOs sind der rechts des FPGAs angeordneten SRAM-Schnittstelle zugeordnet, welche sich außerdem über Bank 6 erstreckt und 15 IOs aus Bank 6 einnimmt. Die Taktung beider SRAM-Bausteine erfolgt durch einen Ausgang in Bank 7. Das rückgekoppelte Taktsignal liegt an einem globalen Takteingang in Bank 0. Die Synchronisation der SRAM-Schnittstelle erfolgt durch den DCM im Nordwest-Quadranten.

**Konfigurationsschnittstelle des FPGAs** Die Konfigurationsdaten, welche die Funktion des FPGAs definieren, müssen vor der Inbetriebnahme des Systems in Form eines Bit-Stromes in den FPGA geschrieben werden. Die Übertragung dieser Daten zum FPGA kann in paralleler oder serieller Form erfolgen und ist abhängig vom gewählten Konfigurationsmodus. Der Konfigurationsmodus wird durch feste Beschaltung der dedizierten Anschlüsse M0, M1 und M2 definiert. Diese Anschlüsse besitzen



interne pull-up-Widerstände und müssen nur beschaltet werden, um sie LOW zu setzen. Da die Anzahl freier Kontakte des differentiellen Steckverbinders nicht zur Implementierung einer parallelen Konfigurationsschnittstelle ausreicht, wird nur serielle Konfiguration des FPGAs vorgesehen. Auf NATHAN können die seriellen Modi *Slave Serial* und *Boundary Scan* [Xil02e] verwendet werden. Tabelle 3.5 zeigt die dazu erforderliche Beschaltung. Zur Auswahl eines Konfigurationsmodus wird

Konfigurationsmodus	M0	M1	M2
Slave Serial	1	1	1
Boundary Scan	1	0	1

**Tabelle 3.5:** Wahrheitstabelle zur Auswahl des Konfigurationsmodus des Virtex II-Pro.

der Anschluss M1 mit einer Steckbrücke nach Masse versehen (*J5*), die Anschlüsse M0 und M2 bleiben unbeschaltet.

**JTAG-Schnittstelle** Im Boundary Scan Modus erfolgt die Konfiguration des FPGAs über dessen JTAG-Schnittstelle<sup>44</sup>, welche aus den dedizierten Anschlüssen TDI, TDO, TMS und TCK besteht. Neben der Übertragung von Konfigurationsdaten können über diese Schnittstelle die Inhalte der internen Register und der IO-Register des FPGAs ausgelesen werden, wodurch eine Fehlersuche vereinfacht wird. Die JTAG-Schnittstelle ist auf den normierten Steckverbinder *J2* geführt. Hier kann ein Adapterkabel der Firma Xilinx [Xil02a] angeschlossen werden, welches mit dem Parallelanschluss eines PCs zu verbinden ist. Zur Konfiguration über die JTAG-Schnittstelle sind die Betriebsspannungen VCCINT, VCCAUX und VCCO anzulegen. Ein externes Taktsignal wird nicht benötigt.

### 3.3.4.4 Terminierungen am FPGA

Die LVCMOS-Signale der SRAM-Schnittstelle haben Anstiegszeiten von 1,0 bis 1,5 ns<sup>45</sup>. Da die SRAM-Bausteine möglichst nahe am FPGA auf dessen rechter Seite platziert werden, ist eine Leiterbahnlänge von maximal 4 cm zu erwarten. Nach Gleichung 2.17 ist die Terminierung dieser Leiterbahnen nicht erforderlich.

**Terminierung der SSTL\_2-Schnittstelle** Die Datenleitungen der DDR-SDRAM-Schnittstelle werden innerhalb des FPGAs terminiert. Adress- und Kontrollsignale sind unidirektional und erfordern lediglich Serienterminierung am FPGA (SSTL\_2 Class I). Daten- und Strobe-Signale sind bidirektional und erfordern Serien- und Parallelterminierung am FPGA (SSTL\_2 Class II, siehe Abbildung 3.11).

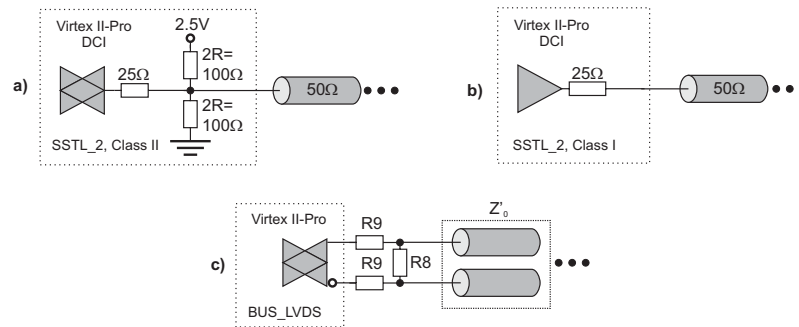
Terminierungen innerhalb des FPGAs können durch das Merkmal *DCI*<sup>46</sup> bei der Konfiguration des FPGAs aktiviert werden. Die Impedanz der Treiber/Empfänger einer Bank wird durch Schalten spezieller Transistoren an den Anschlüssen an den Wert der an den Anschlüssen VRP und VRN dieser Bank angeschlossenen Widerstände angepasst [Xil02e]. VRP ist mit dem Widerstand nach Masse zu verbinden, VRN entsprechend nach VCCO. Die Leiterbahnimpedanz der SSTL\_2-Datenleitungen beträgt nominal 50 Ω, somit wird für die Widerstände der kommerziell erhältliche Wert

$$R_{10} = 51 \Omega$$

<sup>44</sup>JTAG: Joint Test Action Group.

<sup>45</sup>Information über Anstiegszeiten sind im Datenblatt nicht verfügbar. Die angegebenen Werte sind Abschätzungen, die sich aus den Daten der IBIS-Modelle der FPGA- und SRAM-LVCMOS-Treiber ergeben.

<sup>46</sup>DCI: Digitally Controlled Impedance.



**Abbildung 3.11:** a) Interne Terminierung der SSTL\_2, Class II Datenleitungen mittels DCI. b) Interne Terminierung der SSTL\_2, Class I Datenleitungen mittels DCI. c) Externe Terminierungen der bidirektionalen BUS-LVDS-Anschlüsse. Die Nummerierung entspricht der im Schaltplan.

gewählt. Wie in Abbildung 3.11 a) illustriert, ist die interne Parallelterminierung des FPGAs eine Thevenin-Terminierung mit zwei Widerständen zu  $100\ \Omega$  zwischen VCCO und Masse, wodurch effektiv mit  $50\ \Omega$  auf  $1,25\ \text{V}$  terminiert wird. Die interne Serienterminierung ist in Abbildung 3.11 b) dargestellt. Der Serienwiderstand wird an den Widerstandswert des Spannungsteilers aus den Widerständen an VRP und VRN angepasst und beträgt  $50\ \Omega$ .

**Terminierung der LVDS-Schnittstelle** Die Terminierung differentieller Signale am FPGA gestaltet sich unterschiedlich, abhängig von der Übertragungsrichtung. Wird ein differentieller Anschluss des FPGAs nur zum Senden von Daten benötigt, stehen bei der Konfiguration des FPGAs LVDS-Standard-konforme Treiber zur Verfügung, welche eine differentielle Stromquelle mit einer Impedanz von  $Z = 100\ \Omega$  darstellen und keine externe Quellenterminierung erfordern. Wird ein differentieller Anschluss des FPGAs als Empfänger konfiguriert, muss extern mit einem  $100\ \Omega$ -Widerstand im Sinne differentieller Datenleitungen parallel terminiert werden.

Einen Sonderfall stellt bidirektionale Kommunikation auf differentiellen Datenleitungen dar, welche durch die Anwendung von BUS-LVDS-Transmittern ermöglicht wird. Die Terminierung dieser Anschlüsse ergibt sich aus den Überlegungen in Abschnitt 2.3.2. Für die Widerstände werden die Werte

$$R8 = 130\ \Omega \quad \text{und} \quad R9 = 100\ \Omega$$

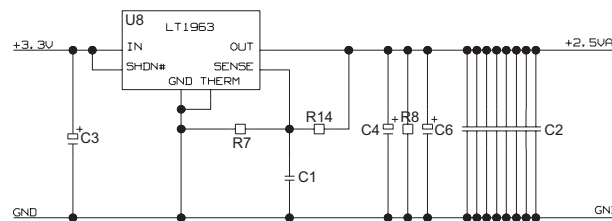
gewählt. Als BUS-LVDS-Transmitter sind die Anschlüsse des FPGAs zu konfigurieren, welche mit der differentiellen Schnittstelle des HAGEN-Chips verbunden sind, da hier bidirektionale Kommunikation stattfindet. Ebenso sind die globalen Takteingänge, an denen die Signale der von HAGEN getriebenen Taktsignale liegen, als bidirektionale Anschlüsse zu betrachten, da diese Leitungen bei Inaktivität der HAGEN-Taktausgänge getrieben werden müssen. Diese insgesamt 18 Signale sind die einzigen differentiellen Signale, über die der FPGA aufgrund der Beschaltung mit Terminierungswiderständen Daten empfangen kann. Bei der Planung einer Tochterplatine ist dies zu beachten.

### 3.3.4.5 Serielle Multi-Gigabit-Transceiver (MGTs)

Die MGTs sind in die frei konfigurierbare Logik des FPGAs eingebettete IP-Cores, deren externe Anschlüsse an dedizierten Anschlüssen des FPGAs nach außen geführt sind. Sie können Daten seriell mit bis zu  $3,125\ \text{Gbps}$  übertragen. Der XC2VP4 bietet je zwei MGTs an Ober- und Unterseite. Pro MGT sind zwei unidirektionale, differentielle Datenleitungen zur bidirektionalen Kommunikation vorhanden. Die differentiellen Treiber/Empfänger besitzen interne Terminierungen und benötigen bei direkter Beschaltung mit anderen MGTs, wie bei der Kommunikation zwischen zwei NATHANs der Fall, keine externen Terminierungen.

**Spannungsversorgung der MGTs** Die Hochfrequenzelektronik der MGTs benötigt eine separate, möglichst rauschfreie Spannungsversorgung von  $AVCCAUCRX/TX = 2,5\text{ V}$ . Zur internen Terminierung der differentiellen Datenleitungen ist an den Anschlüssen VTRX/TX eine Spannung von ebenfalls  $2,5\text{ V}$  bereitzustellen. Laut [Xil02b] ist die Welligkeit einer von einem Schaltnetzteil geregelten Spannung zu groß, um zuverlässigen Betrieb der MGTs zu garantieren. Betriebs- und Terminierungsspannungen der MGTs sind nach Vorgabe des Herstellers mittels eines rauscharmen Linearreglers zu erzeugen, welcher kurze Einstellzeiten bei schnellen Lastwechseln aufweist.

Zur Regelung der MGT-Versorgungsspannungen auf NATHAN wird die fest auf eine Ausgangsspannung von  $2,5\text{ V}$  eingestellte Version des Linearreglers LT1963 [Lin00] verwendet. Die Eingangsspannung beträgt  $3,3\text{ V}$ . Die Beschaltung dieses Reglers findet sich in Abbildung 3.12. Der Span-



**Abbildung 3.12:** Beschaltung des Linearreglers zur Spannungsversorgung der MGTs.

nungsteiler aus  $R7$  und  $R14$  wird vorgesehen, um einstellbare Versionen des Reglers einsetzen zu können. Bei Verwendung der einstellbaren Version ist der Spannungsteiler so zu wählen, dass bei der geforderten Ausgangsspannung  $1,21\text{ V}$  am Referenzeingang des Reglers anliegen. Das Verhältnis  $R14/R7$  muss dann gleich dem Verhältnis (Ausgangsspannung  $- 1,25\text{ V}$ )/ $1,25\text{ V}$  sein.

In der hier verwendeten, fest eingestellten Variante ist der Referenzeingang (SENSE) des Linearreglers direkt mit dem Ausgang des Reglers zu verbinden. Für die Widerstände  $R7$  und  $R14$  ergibt sich:

$$R7 \text{ wird nicht bestückt und } R14 = 0\ \Omega .$$

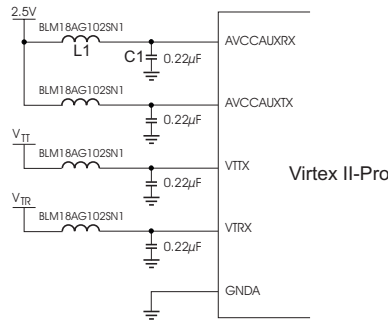
Um ordnungsgemäße Funktion der MGTs zu gewährleisten werden durch den Hersteller Tiefpassfilter an jedem Anschluss für Stromversorgung und Terminierungsspannung vorgeschrieben. Die vollständige Beschaltung eines Transceivers ist in Abbildung 3.13 dargestellt. Der vollständige Schaltplan findet sich in Anhang A. Aufgebaut wird dieser Tiefpass aus der Ferrit-Induktivität  $L1$  und dem Kondensator  $C1$ , welche aus Platzgründen maximal in der Bauform 0603<sup>47</sup> verwendet werden können. Die vom Hersteller vorgeschriebenen Ferrite sollen bei  $100\text{ MHz}$  eine Impedanz von  $Z = 1000\ \Omega$  haben. In 0603-Bauform sind Ferrite mit  $Z = 600\ \Omega$  kommerziell verfügbar. Für den Tiefpassfilter ergibt sich:

$$Z(L1) = 600\ \Omega \text{ und } C1 = 0,22\ \mu\text{F} .$$

### 3.3.4.6 Steckplätze für die nächste ANN-Generation

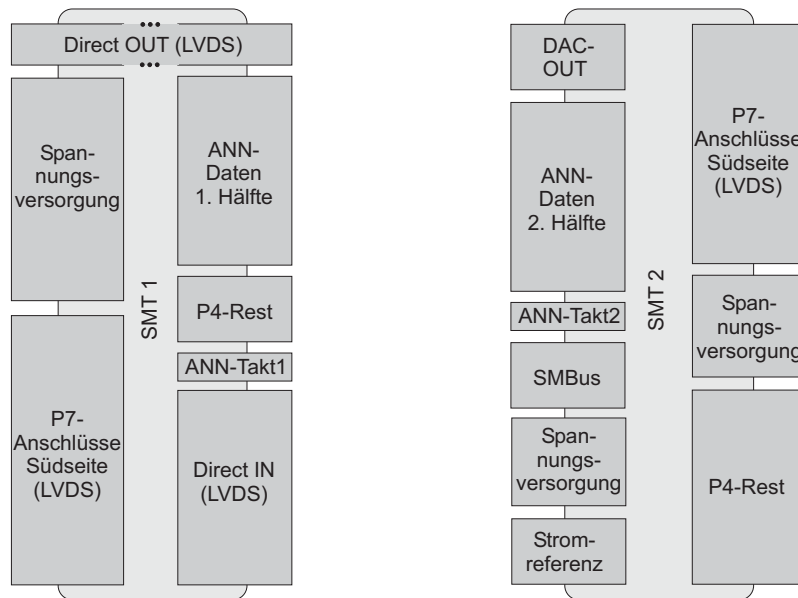
Die Platine NATHAN soll neben dem Betrieb des ANNs HAGEN auch Möglichkeiten zur Aufnahme zukünftiger ANNs bieten. Da deren physikalische Schnittstelle nicht feststeht, wird auf NATHAN eine Schnittstelle in Form zweier SMT-Stecker implementiert, welche eine Tochterplatine aufnehmen können. Pläne zum Bau des nächsten ANNs sehen zum Zeitpunkt der vorliegenden Arbeit vor, die Schnittstelle dieses Chips vollständig differentiell zu halten. Da die Implementierung bidirektionaler LVDS-IOs sowohl beim Design des Chips als auch durch die aufwendige Terminierung am

<sup>47</sup>Diese Bezeichnung bezieht sich auf den Flächenbedarf. Ein SMD-Bauteil der Größe 0603 misst etwa  $1,6 \times 0,8\text{ mm}$ .



**Abbildung 3.13:** Vorgeschriebene Schaltung zur Filterung der MGT-Spannungsversorgung [Xil02b].

FPGA eher schwierig ist, werden für diese Schnittstelle unidirektionale LVDS-Verbindungen vorgesehen. Pro HAGEN-Hälfte stehen acht terminierte Datenleitungen und eine terminierte Taktleitung



**Abbildung 3.14:** Beschaltung der SMT-Stecker zur Aufnahme zukünftiger ANNs.

zur Verfügung. Diese Signale werden, ausgehend von der entsprechenden HAGEN-Hälfte, auf die Stecker geführt und können zur Datenübertragung in Richtung FPGA verwendet werden (siehe Abbildung 3.14). Die einfachen Datenleitungen der Direct IOs werden paarweise differentiell an die Ober-/Unterseite von Stecker SMT 1 geführt. Überzählige IOs des FPGAs werden differentiell an die Stecker geführt und sind in Abbildung 3.14 mit „P4-Rest“ bezeichnet. Da für diese Datenleitungen und die der DirectIOs keine Terminierungen am FPGA vorgesehen werden, können sie nur durch den FPGA getrieben, aber nicht gelesen werden.

Im verwendeten Gehäuse FF672 ist der FPGA Virtex II-Pro auch in der Variante XC2VP7 erhältlich. Neben zusätzlicher interner Logik bietet dieser FPGA weitere, frei konfigurierbare Anschlüsse<sup>48</sup> in den Bänken 0, 1, 4 und 5. Diese zusätzlichen Anschlüsse werden differentiell auf die SMT-Stecker

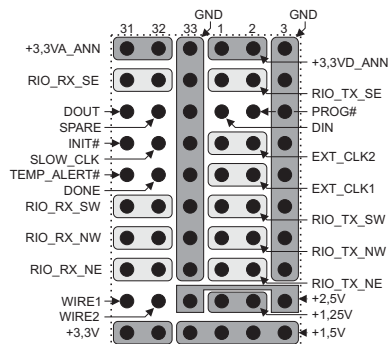
<sup>48</sup>In Bank 0 und 1 stehen wegen der Beschaltung der VREF-Anschlüsse nicht alle dieser zusätzliche IOs zur Verfügung (siehe Schaltplan in Anhang A.1).

geführt und stehen der Tochterplatine bei Bestückung mit dem XC2VP7 zur Verfügung. Mit dieser Beschaltung sind auf einer Tochterplatine mindestens vier 8 Bit breite Datenbusse plus Taktsignal verfügbar, was beispielsweise die Implementierung einer 16 Bit breiten, bidirektionalen Hyper Transport-Schnittstelle ermöglicht [Hyp01].

Um die auf NATHAN erzeugten Referenzspannungen und -ströme auf einer Tochterplatine nutzen zu können, werden diese auch an den SMT-Steckern bereitgestellt. Die Ausgänge des DACs werden vor den RC-Filtern der HAGEN-Eingänge abgezweigt, da durch die Entfernung zum DAC eine separate Filterung dieser Spannungen auf der Tochterplatine erforderlich ist. Die serielle Konfigurationsschnittstelle des DACs ist zu dem seriellen Übertragungsstandard Microwire kompatibel. Die Schnittstelle des Temperatursensors entspricht dem SMBus-Standard. Durch die Anbindung dieser Schnittstellen an den Stecker SMT 2 besteht die Möglichkeit, kompatible Bausteine auf der Tochterplatine zu konfigurieren, da beide Standards die Ansteuerung mehrerer Bausteine erlauben. Details zu den Übertragungsstandards finden sich in den Datenblättern des DACs und des Temperatursensors.

### 3.4 Anschlussbelegung des Sockels

Abbildung 3.15 zeigt die Anschlussbelegung der differentiellen Steckverbinder der Baureihe Ermet ZD [ERN01] auf NATHAN, welche die Verbindung mit der Backplane herstellen. Die Anschlüsse sind in zehn Zeilen zu je sechs Anschlüssen organisiert. Jeweils zwei Anschlüsse (z.B. {1,2} und {31,32}) bilden ein differentielles Paar. Pro Zeile ist an zwei Anschlüssen (z.B. {3,33}) eine, sich über den gesamten Querschnitt des Steckers erstreckende, Metallfläche nach außen geführt. Die Signalleitungen haben eine differentielle Impedanz von  $Z = 100 \Omega$ . Für Leiterbahnen mit differentieller Impedanz von  $Z = 100 \Omega$  am Steckverbinder gibt der Hersteller [ERN01] eine Reflektivität von  $r < 10\%$ , unter Mitberücksichtigung der Bohrungen auf der Leiterplatte, an. Übersprechen zwischen differentiellen Paaren wird für Anstiegszeiten von 100 ps und Spannungshübe von 250 mV als Spannungsspitze kleiner 5 % des Spannungshubs angegeben.



**Abbildung 3.15:** Beschaltung des differentiellen Steckverbinders, welcher den Kontakt zwischen NATHAN und Backplane herstellt (aus NATHAN-Sicht). Auf der Backplane erscheint die Belegung vertikal gespiegelt.

Die differentiellen Datenleitungen der MGTs und die Taktsignale EXT\_CLK1 und EXT\_CLK2 werden auf NATHAN und der Backplane mit  $100 \Omega$  differentieller Impedanz verlegt und werden je über ein Anschlusspaar des Steckverbinders geführt. Signale der Konfigurationsschnittstelle sowie die Statusleitung des Temperatursensors TEMP\_ALERT# werden über jeweils einen Signalkontakt geführt. Weiterhin steht mit dem Signal SPARE ein globales Statussignal zur Verfügung, welches über eine Steckbrücke (J2) am Sockel auf der Backplane auf der eingesteckten NATHAN-Platine genutzt werden kann. Die Kontakte WIRE1 und WIRE2 sind mit SMT-Stecker 2 verbunden und

haben auf der Backplane keine Verbindung. Sie bieten die Möglichkeit, bei Bestückung der SMT-Stecker eventuell benötigte Signale oder Spannungen bereitzustellen.

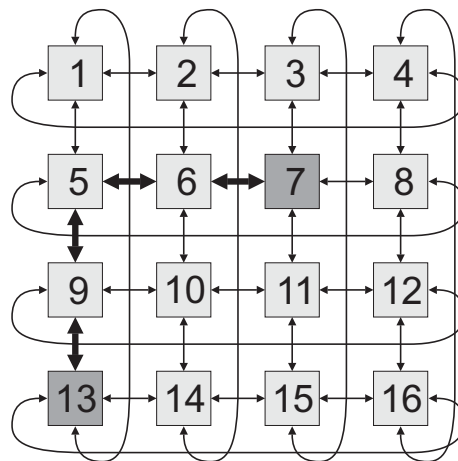
### 3.5 Schaltungsentwurf der Backplane

Die Funktion der Backplane wird den Bedingungen angepasst, welche sich aus dem Aufbau des NATHAN-Moduls ergeben. Die Backplane muss folgende Funktionen erfüllen:

- Die Backplane stellt die physikalische Verbindung zwischen den NATHAN-Modulen her. Der Datenaustausch zwischen einzelnen Modulen wird somit ermöglicht. Durch die Verbindungen auf der Backplane wird die Topologie des verteilten Systems festgelegt (siehe Abschnitt 3.5.1).
- Die von den NATHAN-Modulen benötigte Infrastruktur wird bereitgestellt. Das heißt, auf der Backplane werden die Versorgungsspannungen sowie der MGT-Systemtakt der NATHAN-Module erzeugt.
- Die Backplane besitzt eine Schnittstelle zu einem Steuerrechner. Dieser Rechner übernimmt bei Inbetriebnahme die Konfiguration des Systems und kann auch Daten von den einzelnen Modulen auslesen.

#### 3.5.1 Topologie des Netzwerks

Die Topologie des verteilten Systems wird aufgrund der Möglichkeiten gewählt, die sich durch den verwendeten FPGA ergeben. Der FPGA in der Variante XC2VP4 bietet vier MGTs. Dies ermöglicht eine Topologie, in der jeder Netzwerkknoten vier Nachbarn hat. Auf der Backplane werden 16 NATHAN-Module in Form eines 2D-Torus vernetzt. Der schematische Aufbau dieser Topologie ist in Abbildung 3.16 gezeigt. Sechzehn NATHANs werden in einer  $4 \times 4$ -Matrix angeordnet, so dass



**Abbildung 3.16:** Darstellung eines vollständigen zweidimensionalen Feldes mit 16 Knoten (Nodes). Das Routing über drei Knoten (schlechtester Fall) ist hervorgehoben.

direkte Kommunikation mit den vier nächsten Nachbarn möglich ist. Zur Kommunikation zweier nicht direkt benachbarter Module müssen dazwischenliegende Module Routing-Funktion ausüben. In einem 2D-Torus mit 16 Knoten muss im schlechtesten Fall über 3 Knoten geroutet werden (siehe Abbildungen 3.16 und 3.17). Bei der Bestückung von NATHAN mit dem FPGA XC2VP7 stehen vier zusätzliche MGTs zur Verfügung, welche auf einen weiteren differentiellen Steckverbinder geführt

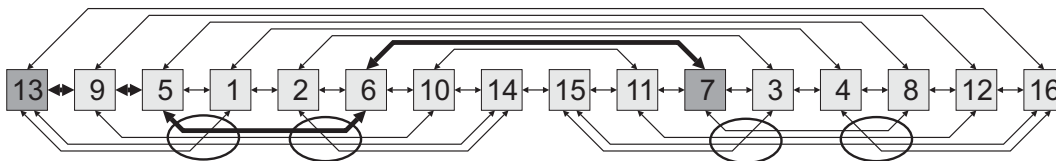
werden. Diese Verbindungen sind nicht Teil der Backplane-Topologie und können zur Vernetzung mehrerer Backplanes verwendet werden.

Zur Aufnahme des Gesamtsystems wird ein Standard-19-Zoll Einschub-Gehäuse mit drei Höheneinheiten (HE, 1 HE = 44,45 mm) gewählt. Die Nutzdaten dieses Gehäuses finden sich in Tabelle 3.6. Um die nutzbare Breite dieses Gehäuses auszunutzen, werden die 16 NATHAN-Steckplätze line-

Breite	19" = 482,6 mm
Tiefe	500 mm
Höhe	3 HE = 133,35 mm
Nutzbare Breite	430 mm
Nutzbare Tiefe	490 mm
Nutzbare Höhe	112,5 mm

**Tabelle 3.6:** Nutzdaten eines 19" Einschub-Gehäuses.

ar mit einem Abstand von 2,5 cm auf der Backplane angeordnet (siehe Abschnitt 4.3). Der wichtigste Aspekt bei der eindimensionalen Anordnung ist eine möglichst kreuzungsfreie Leiterbahnführung, da eine große Anzahl von Kreuzungspunkten eine Erweiterung der Lagenanzahl der Backplane erforderlich macht und zusätzliche Vias<sup>49</sup> die Signalqualität der MGTs beeinträchtigen. Die in Abbildung 3.17 dargestellte Anordnung ist eine eindimensionale Abbildung des 2D-Torus, welche lediglich vier Kreuzungspunkte verursacht.



**Abbildung 3.17:** Eindimensionale Abbildung des zweidimensionalen Feldes aus Abbildung 3.16. Die einzigen Kreuzungspunkte dieser Topologie sind markiert.

### 3.5.2 Die Schnittstelle zu Darkwing

Die PCI-Platine Darkwing wird im Steuerrechner mit der Tochterplatine *Hoverboard* eingesetzt. Auf Basis eines 68-poligen SCSI3-Steckers steht eine differentielle Schnittstelle zu dem auf Darkwing befindlichen FPGA Virtex E [Xil02d] zur Verfügung. Die Datenleitungen können durch den FPGA auf Darkwing differentiell oder einfach betrieben werden. Eine der differentiellen Datenleitungen ist mit einem Takteingang des FPGAs auf Darkwing verbunden. Alle von Darkwing kommenden Signale werden auf der Backplane differentiell an ein Steckfeld (bestehend aus  $2 \times J8$  und  $3 \times J9$ ) geführt. Die Status- und Kontrollsignale der Schaltnetzteilmodule *U7* (siehe Abschnitt 3.5.6) werden an das Steckfeld geführt, so dass der Status der Schaltnetzteilmodule und deren Betrieb durch den Steuerrechner kontrollierbar ist.

Zum Betrieb des NATHAN-Systems benötigte Signale werden nach dem Steckfeld an die Steckplätze der NATHAN-Module geführt. Die Funktion dieser Signale wird in den folgenden Abschnitten erläutert. Die Abbildung der Signale von Darkwing auf den SCSI-Stecker der Backplane findet sich in Anhang E, die vollständige Beschaltung im Schaltplan in Anhang A.

<sup>49</sup>Vias sind durchkontaktierte, mechanische Bohrungen, welche zur Verbindung von Leiterbahnen auf unterschiedlichen Lagen einer Leiterplatte verwendet werden.

## Die Slow-Control

Die *Slow-Control* bildet die Schnittstelle zu einem Steuerrechner und wird zunächst zur Konfiguration der einzelnen FPGAs des Systems verwendet. Mehrere FPGAs sind zur Konfiguration im Slave Serial Modus in einer *Daisy Chain* zu verschalten [Xil02e]. Ankommende Daten werden an dem Eingang DIN verarbeitet und, falls der empfangende FPGA nicht Empfänger dieser Daten ist, über den Ausgang DOUT ausgegeben und an den nächsten FPGA weitergeleitet (siehe Abbildung 3.18). Die Reihenfolge der Module in der Daisy Chain wird durch die eindimensionale Abbildung des 2D-Torus bestimmt. Vom Steuerrechner kommende Daten werden über den SCSI-Stecker auf dem Signal GL\_DIN(#) synchron zu dem Taktsignal SLOW\_CLK(#) der Slow-Control übertragen. Diese Signale werden pseudodifferentiell übertragen. SLOW\_CLK(#) wird differentiell mit nominaler Impedanz  $Z = 100 \Omega$  an den NATHAN-Sockeln vorbeigeführt. Auf die Terminierung wird noch im folgenden Abschnitt eingegangen. Zur Taktung des FPGAs wird an jedem Sockel das positive Signal SLOW\_CLK abgegriffen (dieses wird auf NATHAN mit FPGA\_SCLK bezeichnet). GL\_DIN(#) wird pseudodifferentiell an den Steckbrücken J2 vorbeigeführt (siehe Abbildung 3.18 und Schaltplan in Anhang A). Bei unvollständiger Bestückung der Backplane sind die Steckplätze sukzessiv vom letzten Modul (Nr. 16) ausgehend zu bestücken. J2 des ersten Moduls (bei voller Bestückung Nr. 13) ist so zu setzen, dass das positive Signal GL\_DIN auf diesem Modul zu FPGA\_DIN wird. Der mit diesem Signal verbundene FPGA ist der erste in der Daisy-Chain.

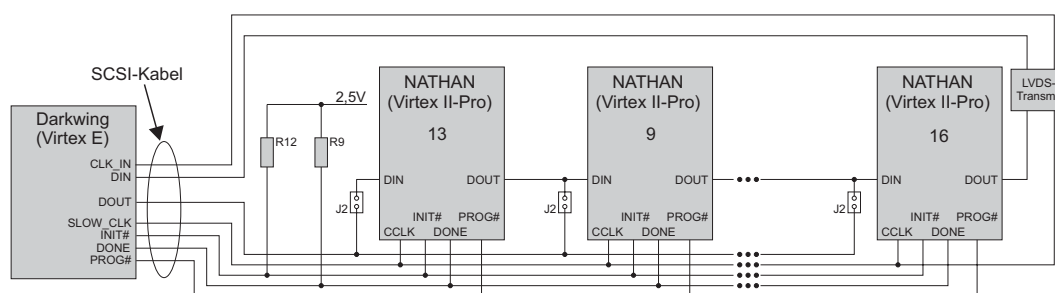


Abbildung 3.18: Daisy-Chain-Anordnung der Slow-Control-Kette.

Der Ablauf der Konfiguration wird in [Xil02e] beschrieben. Im normalen Betrieb des Systems werden die Signale INIT#, PROG# und DONE von den FPGAs nicht getrieben und müssen HIGH gesetzt werden. INIT# und DONE werden durch die pull-up-Widerstände

$$R9 = 330 \Omega \text{ und } R12 = 4,7 \text{ k}\Omega \text{ [Xil02e]}$$

HIGH gehalten, solange kein FPGA LOW treibt. PROG# ist während des Betriebs durch den FPGA auf Darkwing HIGH zu setzen. Durch LOW-setzen von PROG# werden alle FPGAs des Systems zurückgesetzt und löschen ihre Konfigurationsspeicher.

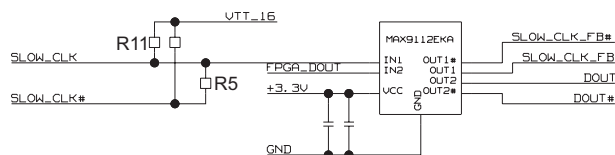
## Betrieb des Systems

Nach Abschluss der Konfiguration dient die Slow-Control zur Übertragung eines Speicherabbildes für den Mikroprozessor (PowerPC) des FPGAs, welches zunächst in den lokalen Speicher auf NATHAN geschrieben wird. Dieses Speicherabbild kann beispielsweise ein bootfähiger Linux-Kernel sein, welcher das Betriebssystem der Evolutionsmodule darstellt und Gegenstand einer gegenwärtig durchgeführten Diplomarbeit in der Forschungsgruppe Electronic Vision(s) ist. Weiterhin kann die zur Evolution der ANNs benötigte Software hochgeladen und die Ergebnisse abgeschlossener Evolutionen später zum Steuerrechner übertragen werden.

Um Kommunikation mit dem Steuerrechner zu ermöglichen, ist die Slow-Control ähnlich einer *Token-Ring* Topologie aufgebaut, welche durch die Verbindung zwischen dem letzten Modul in der



Slave Serial Konfigurationskette mit dem Steuerrechner geschlossen wird (siehe Abbildung 3.18). Der FPGA des letzten Moduls sendet Daten synchron zum positiven Signal der SLOW\_CLK, welche pseudodifferentiell bis zu diesem letzten Modul geführt wird. Da die Entfernung zwischen dem letztem NATHAN und dem Steuerrechner inklusive SCSI-Kabel etwa 2,5 m beträgt, wird das Signal SLOW\_CLK und das Datensignal des letzten FPGAs über einen LVDS-Transmitter gepuffert und differentiell zum Steuerrechner übertragen, um die Signalintegrität dieser Signale am Steuerrechner sicherzustellen. Konvertierung der LVCMOS-Signale FPGA\_DOUT und SLOW\_CLK in LVDS-Signale erfolgt mittels des Bausteins MAX9112 [Max00]. Die Beschaltung findet sich in Abbildung 3.19. Die Signale SLOW\_CLK\_FB(#) und DOUT(#) werden auf der Backplane mit differentieller Impedanz  $Z = 100 \Omega$  übertragen und auf den SCSI-Stecker mit ebenfalls  $Z = 100 \Omega$  geführt.



**Abbildung 3.19:** Schaltplanausschnitt zur Beschaltung des LVDS-Transmitters MAX9112.

Die Terminierung des pseudodifferentiellen SLOW\_CLK Signals ist abhängig von der Bestückung der Backplane. Nach Gleichung 2.28 verringert sich die Impedanz einer Datenleitung durch zusätzliche kapazitive Lasten. Bei Bestückung mit einem Modul erfolgt die Terminierung durch den Widerstand  $R5 = 100 \Omega$ . Bei Bestückung mit mehreren Modulen ist die Impedanz von SLOW\_CLK und SLOW\_CLK# separat zu berechnen. Mittels  $R11$  muss dann jeweils parallel nach  $VTT_{16}=1,25 V$  terminiert werden.

### 3.5.3 Globale Taktgenerierung

Der durch Darkwing erzeugte, differentielle Systemtakt EXT\_CLK1(#) wird nach dem Steckfeld an jeden NATHAN-Steckplatz geführt. Die Terminierung erfolgt nach dem letzten Modul parallel im Sinne differentieller Datenleitungen mit

$$R5 = 100 \Omega .$$

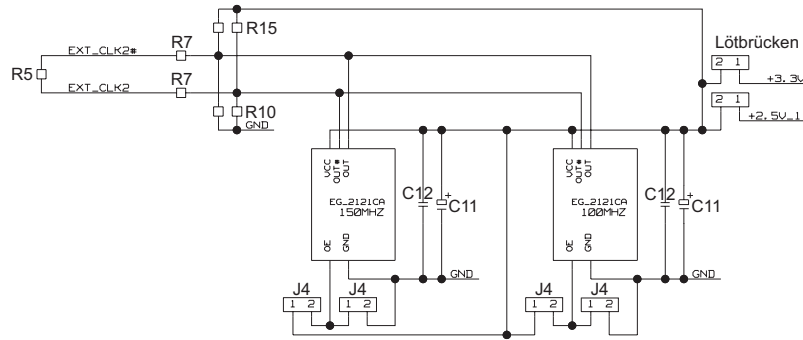
Die Impedanz dieser Datenleitung wird durch kapazitive Lasten mehrerer Module verringert. Der Terminierungswiderstand ist, abhängig von der Bestückung, nach Gleichung 2.28 neu zu berechnen.

Das als Referenztakt der MGTs vorgesehene Taktsignal wird auf der Backplane global durch den Taktgenerator EG-2101CA der Firma Epson erzeugt. Die Beschaltung findet sich in Abbildung 3.20. Die Betriebsspannung der Taktgeneratoren kann über Lötbrücken auf 2,5 oder 3,3 V eingestellt werden. Für den EG-2101CA werden  $V_{CC} = 3,3 V$  benötigt. Das von den LVPECL-Treibern der Taktgeneratoren geforderte Potential von max.  $V_{CC} = 2 V$  (siehe Abschnitt 2.3.2) wird durch einen Spannungsteiler aus  $R15$  und  $R10$  erzwungen. Die Schaltung entspricht einer Thevenin-Terminierung. Mit der Impedanz der ungeraden Mode einer der Datenleitungen von  $Z_0 = 50 \Omega$  und mit Gleichung 2.31 ergibt sich für  $R10$ :

$$R10 = Z_0 \cdot \frac{V_{CC}}{V_{CC} - (V_{CC} - 2 V)} \approx 82 \Omega$$

$$\text{und } R15 = R10 \cdot \left( \frac{V_{CC}}{V_{CC} - 2 V} - 1 \right) \approx 130 \Omega .$$

Es wird auf kommerziell erhältliche Werte gerundet. Für den Serienwiderstand  $R7$  werden  $0 \Omega$  gewählt, da der Wert des Spannungsteilers aus  $R15$  und  $R10$  bereits an die Impedanz  $Z_0 = 50 \Omega$  der einzelnen Leiterbahnen angepasst ist.



**Abbildung 3.20:** Schaltplanausschnitt zur Beschaltung der Taktgeneratoren Epson EG-2101CA.

### 3.5.4 Abschätzung der Leistungsaufnahme

Im Folgenden werden Maximalabschätzungen zur Leistungsaufnahme der einzelnen Komponenten einer NATHAN-Platine gemacht, welche zur Dimensionierung der Spannungsversorgung auf der Backplane herangezogen werden.

#### HAGEN

Laut [SHMS02] berechnet sich die Leistungsaufnahme eines HAGEN-Chips mit  $N$  Synapsen zu

$$P(N) = P_{\text{weights}}(N, \underline{\omega}) + NP_{\text{signal}} + P_{\text{static}} .$$

$P_{\text{weights}}$  und  $P_{\text{signal}}$  werden auf der analogen Betriebsspannung verbraucht.  $P_{\text{static}}$  wird durch die digitale Schnittstelle verursacht und fällt auf der digitalen Betriebsspannung an.  $P_{\text{weights}}(N, \underline{\omega})$  ist die summierte Leistungsaufnahme der gewichtsabhängigen Synapsenströme. Bei einer Betriebsspannung von  $V_{\text{DD}} = 3,3 \text{ V}$ , maximalem Synapsenstrom  $I_{\text{syn}} = 50 \mu\text{A}$  und  $N = 32768$  Synapsen ergibt sich

$$\begin{aligned} P_{\text{weights}}(N, \underline{\omega}) &= V_{\text{DD}} I_{\text{syn}} \sum_{j=1}^N |\omega_j|, \quad \omega_j \in [-1, 1] \\ &= 3,3 \text{ V} \cdot 50 \mu\text{A} \cdot 32768 \approx 5,4 \text{ mW} . \end{aligned}$$

$P_{\text{signal}}$  ist die Leistungsaufnahme einer aktiven Synapse und wird mit  $1,4 \mu\text{W}$  angegeben.  $P_{\text{signal}}$  summiert sich bei Aktivität aller 32768 Synapsen auf etwa 46 mW. Auf der analogen Betriebsspannung von 3,3 V werden also in der Summe maximal

$$I_{\text{analog}} = 15,5 \text{ mA} \quad (3.2)$$

verbraucht. Die Leistungsaufnahme auf der digitalen Betriebsspannung, die durch interne Schaltungen, wie die DACs zur Gewichtsdigitalisierung verursacht wird, ist vernachlässigbar. Zu berücksichtigen ist der konstante Stromverbrauch der bidirektionalen LVDS-Puffer, welcher etwa 6 mA pro Anschluss beträgt. Mit insgesamt 18 LVDS-Anschlüssen ergibt sich ein Stromverbrauch auf der digitalen Betriebsspannung von

$$I_{\text{digital}} = 108 \text{ mA} . \quad (3.3)$$

#### SRAM

Die Stromversorgung des SRAMs gliedert sich in die zur Versorgung der internen Logik benötigten Spannung  $V_{\text{DD}} = 3,3 \text{ V}$  und die Betriebsspannung der LVC MOS-Ausgangstreiber  $V_{\text{DDQ}} = 2,5 \text{ V}$ .

Der maximal auf  $V_{DD}$  benötigte Strom wird im Datenblatt des SRAMs [Int00] mit 400 mA bei einer Taktfrequenz von 200 MHz angegeben. Für zwei Chips ergibt sich

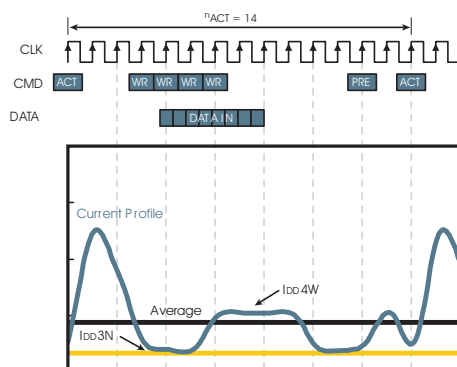
$$I_{DD} = 800 \text{ mA} . \quad (3.4)$$

Der zur Versorgung der Ausgangstreiber benötigte Strom berechnet sich aus der Anstiegszeit des Treibers und der durch den Treiber umzuladenden Kapazität des Sender- und Empfängeranschlusses. Anschlüsse des FPGAs haben laut Datenblatt eine maximale Kapazität von 10 pF, die des SRAMs 7 pF. Die Kapazität einer Leiterbahn wird mit 1 pF angenommen. Mit der Anstiegszeit  $t_r = 1 \text{ ns}$  und der Datenrate  $f = 100 \text{ MHz}$  (SDR, Periodendauer  $t_p = 10 \text{ ns}$ ) ergibt sich für den durchschnittlichen Stromverbrauch, wenn 32 Ausgänge zweier Chips kontinuierlich schalten [TMG02]:

$$I_{DDQ} = 2 \cdot 32 \cdot \frac{t_r}{t_p} \cdot \frac{C_{\text{ges}} V_{DDQ}}{t_r} = 288 \text{ mA} . \quad (3.5)$$

### DDR-SDRAM

Der Stromverbrauch eines DDR-SDRAM-Chips ist vom ausgeführten Befehl abhängig. Solange CKE LOW ist, befindet sich das DDR-SDRAM im self-refresh Modus und verbraucht lediglich Ruhestrom, dessen Wert nicht in die Maximalabschätzung der Leistungsaufnahme einfließt. Der typische Verlauf des Stromverbrauchs *einer* Bank für einen Schreibzugriff über vier Taktzyklen ist in Abbildung 3.21 dargestellt. Im aktiven Zustand (CKE HIGH) verbraucht das DDR-SDRAM mindestens



**Abbildung 3.21:** Verlauf der Stromaufnahme des DDR-SDRAMs bei einem Schreibzugriff über vier Taktzyklen [Jan01].

den Strom  $I_{DD3N}$  (die Bezeichnung erfolgt analog zum Datenblatt [Mic02a]). Durch Öffnen einer Zeile mit dem ACTIVE-Befehl wird zunächst im Adress-Decoder Strom verbraucht. Der Schreibzugriff benötigt den Strom  $I_{DD4W}$ . Der abschließende PRECHARGE-Befehl verursacht eine kleine Spitze, wonach der nächste ACTIVE-Befehl ausgeführt werden kann. Neben diesem internen Verbrauch trägt der Stromfluss über die Terminierungswiderstände bei Lesezugriffen maßgeblich zum Gesamtverbrauch bei. Laut [Jan01] beträgt der Strom pro Treiber 16,8 mA bei statischem Ausgangspegel.

Der Stromverbrauch ergibt sich durch zeitliche Integration und ist abhängig von der durchschnittlichen Aktivität des DDR-SDRAMs. In [Jan01] findet sich ein Excel-Formular, welches mit Angaben über die durchschnittliche Benutzung des DDR-SDRAMs eine Abschätzung des Stromverbrauchs liefert. Zur Abschätzung des Verbrauchs eines Chips des DDR-SDRAM-Moduls werden folgende Annahmen gemacht:

Taktfrequenz	133 MHz
Zeitlicher Anteil, zu dem alle Bänke in PRECHARGE-Zustand sind	5 %
SDRAM_CKE auf LOW gesetzt	nie
Zeitl. Abstand zw. ACTIVE-Befehlen	30 ns (Minimum)
Zeitl. Anteil von Lesezyklen	70 %
Zeitl. Anteil von Schreibzyklen	25 %

Aus diesen Angaben ergibt sich pro Chip eine Leistungsaufnahme von etwa 1 W. Durch maximale Parallelisierung der Speicherzugriffe wird diese Leistung in allen acht Chips eines Moduls verbraucht. Auf der Betriebsspannung  $V_{DDQ} = 2,5 \text{ V}$  für interne Logik und Ausgangstreiber ergibt sich die Stromaufnahme des DDR-SDRAM-Moduls zu

$$I_{DDQ} = 3,2 \text{ A} . \quad (3.6)$$

### FPGA

Der Stromverbrauch des FPGAs hängt von der Ausnutzung der internen Ressourcen und Nutzung der Ausgangstreiber ab. Die Nutzung interner Ressourcen (CLBs, BlockRAM, DCM usw.) sowie des PowerPCs bestimmt, abhängig von der Taktfrequenz, den Strombedarf auf  $VCCINT=1,5 \text{ V}$ . Der PowerPC verbraucht nach [Xil02f] 0,9 mW pro MHz. Dies ergibt bei der maximalen Frequenz von 300 MHz einen Verbrauch von 270 mW. Da für den FPGA zum Zeitpunkt dieser Arbeit keine Konfiguration besteht, kann die Leistungsaufnahme der übrigen internen Logik nur abgeschätzt werden und wird zunächst auf insgesamt 4 W veranschlagt. Auf  $VCCINT$  wird damit ein Strom von

$$I_{INT} \approx 2,7 \text{ A} \quad (3.7)$$

verbraucht.

Ein MGT verbraucht bei 3,125 Gbps maximaler Datenrate laut [Xil02f] 350 mW. Der Betrieb von acht MGTs in einem XC2VP7 erfordert 2,8 W auf den separat geregelten 2,5 V. Diese werden auf NATHAN durch einen Linearregler aus 3,3 V erzeugt. Von den MGTs verbrauchter Strom wird somit auf 3,3 V benötigt und beträgt

$$I_{RIO} = 1,12 \text{ A} . \quad (3.8)$$

Der Verbrauch auf der Versorgungsspannung der Ausgangstreiber des FPGAs ( $VCCO=2,5 \text{ V}$ ) wird durch die Anschlussbelegung bestimmt und lässt sich mittels des *Virtex II-Power Estimators* abschätzen. Die Quellenangabe sowie eine Bedienungsanleitung finden sich in [xil00]. Folgende Angaben werden zur Anschlussbelegung gemacht<sup>50</sup>:

Schnittst.	Taktfreq. [MHz]	Signalstandard	# Eing.	# Ausg.	Datenrate
DDR-SDRAM Ctrl.	133	SSTL_2_I_DCI	0	35	SDR
DDR-SDRAM DQ(S)	133	SSTL_2_II_DCI	72	72	DDR
SRAM	200	LVC MOS25_12	64	111	SDR
HAGEN Bidi, Ctrl.	300	LVDSEXT_25	18	22	DDR
HAGEN Uni, P7	300	LVDS_25	0	44	DDR

Ergebnisse der durch den Power Estimator gemachten Abschätzung beziehen sich auf den FPGA Virtex II der Firma Xilinx. Die Leistungsaufnahme auf  $VCCO$  beträgt unter Berücksichtigung obiger Angaben 3,5 W. Laut [xil00] beträgt die Leistungsaufnahme des Virtex II-Pro typischerweise 85 % der Leistungsaufnahme des Virtex II, auf  $VCCO$  werden also benötigt:

$$I_{VCCO} = 1,2 \text{ A} . \quad (3.9)$$

<sup>50</sup>Die Bezeichnung erfolgt analog zu der im Datenblatt. DCI impliziert die Aktivierung des Merkmals Digitally Controlled Impedance.

## Übersicht

In Tabelle 3.7 ist die Strombelastung der benötigten Betriebsspannungen für eine NATHAN-Platine und eine mit 16 NATHANs voll bestückte Backplane aufgelistet. Diese Werte beruhen auf worst-case Abschätzungen und werden höchstwahrscheinlich unterschritten.

Funktion	U [V]	I [A] 1 NATHAN	I [A] 16 NATHANs
Terminierung DDR-SDRAM	1,25	$\pm 1,35$	21,6
VCCINT	1,5	2,7	43,2
DDR-SDRAM, SRAM I/O, VCCO	2,5	4,7	75,2
SRAM VDD, MGTs	3,3	1,9	30,4
HAGEN analog	3,3	0,016	0,26
HAGEN digital	3,3	0,108	1,7

**Tabelle 3.7:** Erwartete Stromaufnahme der Komponenten einer Platine NATHAN. Die Werte sind worst-case Abschätzungen.

### 3.5.5 Blockkondensatoren auf NATHAN

Die Leistungsaufnahme moderner CMOS-Schaltungen hängt fast ausschließlich von der Schaltfrequenz dieser Transistoren ab [TMG02]. Schalten eines Transistors erfordert Umladen der Gate-Kapazität des nachfolgenden Transistors, wodurch ein zur Anstiegszeit des Transistors antiproportionaler Stromfluss verursacht wird. Ausgangstreiber eines Chips müssen bei Schaltvorgängen die Summe aus eigener Kapazität, Kapazität der Leiterbahn und Kapazität des Empfängers umladen. Weiterhin addiert sich der Stromfluss durch Terminierungswiderstände zum Stromverbrauch der Ausgangstreiber. Häufiges Schalten der Ausgangstreiber trägt somit ebenso zum Stromverbrauch eines Chips bei. Wegen der Abhängigkeit von der Anzahl der Schaltvorgänge, steigt der Stromverbrauch eines CMOS-Chips linear mit dessen Taktfrequenz.

Um schnelle Wechsel im Strombedarf zu überbrücken, werden Blockkondensatoren benötigt. Die Effektivität dieser Kondensatoren ist von deren ESR<sup>51</sup> und der Induktivität der Verbindung zum Verbraucher abhängig. Da diese Induktivität dem Stromfluss zwischen Kondensator und Verbraucher entgegenwirkt (Lenz'sche Regel), ist sie durch kurze Verbindungen zwischen Verbraucher und Blockkondensator klein zu halten. Um den ESR der Kondensatoren selbst klein zu halten, werden als Blockkondensatoren Keramik-Kondensatoren mit niedrigem ESR verwendet. Die an fast allen Bauteilen eingesetzten Kondensatoren  $C1$  haben eine Kapazität von

$$C1 = 0,22 \mu\text{F} .$$

Mit diesen Kondensatoren werden durchschnittlich zwei Stromversorgungsanschlüsse der auf NATHAN eingesetzten Chips versorgt. Wird beispielsweise der FPGA intern mit 300 MHz betrieben, kann ein Kondensator pro Schaltvorgang 1,32 A bei 0,02 V Spannungsabfall liefern:

$$1,32 \text{ A} \cdot 3\frac{1}{3} \text{ ns} = 4,4 \text{ nC} = 0,22 \mu\text{F} \cdot 0,02 \text{ V} .$$

Diese Werte entsprechen den Anforderungen an die Stabilität der Versorgungsspannung [Xil02e]. Schwankungen im Strombedarf über mehrere Taktzyklen werden durch die Tantal-Kondensatoren  $C4 = 150 \mu\text{F}$ ,  $C5 = 100 \mu\text{F}$  und  $C6 = 100 \mu\text{F}$  auf NATHAN überbrückt. Auf der Backplane werden an jedem NATHAN-Steckplatz für die einzelnen Versorgungsspannungen separate Elektrolyt-Kondensatoren verwendet.

<sup>51</sup>ESR: Equivalent Series Resistance.

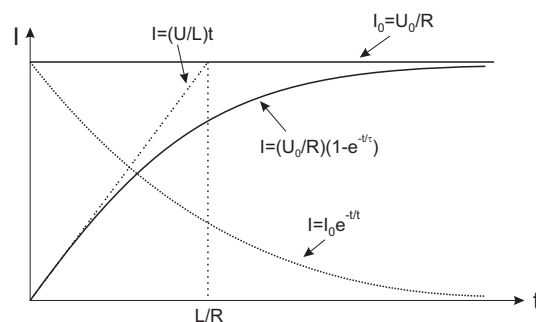
### 3.5.6 Spannungsversorgung

**Grundprinzip eines Schaltreglers** Zunächst wird die prinzipielle Arbeitsweise eines Schaltreglers vorgestellt. Drei Arten von Schaltreglern beruhen auf dem Prinzip der Energiespeicherung in einer Drosselspule: Aufwärtsregler, Abwärtsregler und Inverter. Der Inverter ist hier nicht von Bedeutung. Der Regelbaustein MAX1809 stellt einen Sonderfall dar, da er, abhängig vom Potential an seinem Ausgang, als Abwärts- oder als Aufwärtsregler arbeitet. Im Folgenden wird die prinzipielle Funktionsweise von Abwärts- und Aufwärtsregler am Beispiel des MAX1809 erläutert.

Legt man an eine Reihenschaltung aus idealer Spule und ohmschem Widerstand (reale Spule) eine Spannung  $U_0$  an, wird durch die Induktivität der Spule ein Strom induziert, der nach der Lenz'schen Regel seiner Ursache entgegen gerichtet ist. Wegen des ohmschen Widerstandes steigt dieser Strom nicht linear, sondern nähert sich mit

$$I = (U_0/R)(1 - e^{-t/\tau}) , \quad (3.10)$$

mit der Zeitkonstante  $\tau = L/R$  exponentiell an  $I_0 = U_0/R$  (siehe Abbildung 3.22). Die über der



**Abbildung 3.22:** Durchgezogen: Anstieg des Spulenstroms nach Einschalten. Gestrichelt: Abfall des Spulenstroms nach Abschalten.

Spule abfallende Spannung beträgt

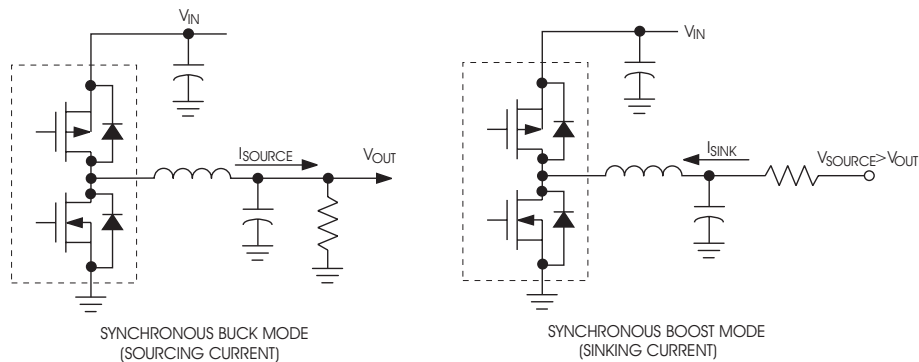
$$U = U_0 - L\dot{I} = RI , \quad (3.11)$$

für  $t \ll L/R$  kann die Änderung des Stroms als linear betrachtet werden. Gleichung 3.11 ist auch für die Parallelschaltung aus Spule und Widerstand gültig. Trennt man die Spannungsversorgung dieser Parallelschaltung (Kurzschluss einer realen Spule), wird der Spulenstrom durch Selbstinduktion aufrechterhalten, sinkt aber wegen  $R$  exponentiell mit

$$I = I_0 e^{-t/\tau} . \quad (3.12)$$

Für  $t \ll L/R$  kann die Änderung des Stroms ebenfalls als linear betrachtet werden.

In Abbildung 3.23 sind Abwärts- (buck-) und Aufwärtsregler (boost) vereinfacht dargestellt. Die NMOS- und PMOS-Transistoren fungieren als Schalter und werden durch die Elektronik des MAX1809 am Gate geschaltet. Ein Arbeitszyklus des Abwärtsreglers beginnt mit geschlossenem PMOS und offenem NMOS. Von  $V_{IN}$  fließt über Drain und Source des PMOS der Spulenstrom nach Gleichung 3.10 über die Last. Die Spannung am Ausgangskondensator  $V_{OUT}$  steigt nach Gleichung 3.11. Ist der Spulenstrom größer als der Ausgangsstrom, wird Energie im Kondensator gespeichert. Die Ausgangsspannung wird über eine Rückkopplungsleitung von der Regelelektronik gemessen. Liegt  $V_{OUT}$  um einen Maximalwert über der beabsichtigten Ausgangsspannung, wird der PMOS geöffnet und der NMOS geschlossen. Der Spulenstrom fließt nach Gleichung 3.12 über Drain und Source des



**Abbildung 3.23:** Der Schaltregler MAX1809 als Abwärts(buck)- und Aufwärts(boost)-Schaltregler [Max01a].

NMOS weiter. Falls er nicht mehr ausreicht, wird gespeicherte Energie aus dem Kondensator abgegeben. Ist  $V_{OUT}$  unter einen Minimalwert gefallen, wird der NMOS geöffnet und der Zyklus beginnt von neuem. Die leitende Phase des PMOS wird als An-Zeit bezeichnet, die nichtleitende Phase als Aus-Zeit.

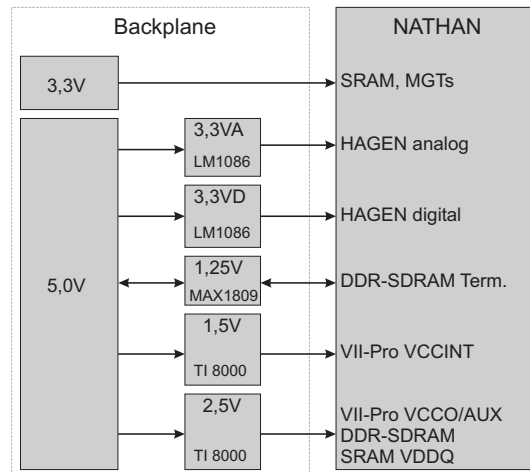
Der MAX1809 arbeitet als Aufwärtsregler, sobald die Regelelektronik am Ausgang eine Spannung  $V_{SOURCE} > V_{OUT}$  misst. Ein Arbeitszyklus beginnt mit geöffnetem PMOS und geschlossenem NMOS. Der Spulenstrom steigt nach Gleichung 3.10. Im Ausgangskondensator wird Energie gespeichert, sobald der nun umgekehrt fließende Strom größer als der Spulenstrom ist. Bei Überschreiten eines maximalen  $V_{OUT}$  wird der NMOS geöffnet und der PMOS geschlossen. Der sinkende Induktionsstrom verursacht nach Gleichung 3.11 eine negative Induktionsspannung, welche sich zu  $V_{SOURCE}$  addiert. Vorausgesetzt, an  $V_{IN}$  ist eine Last vorhanden, fließt der Spulenstrom nun über  $V_{IN}$  ab. Auf der Backplane ist  $V_{IN} = 5\text{ V}$ . Diese Spannung ist durch andere Netzteile ausreichend belastet.

### Organisation der Spannungsversorgung

Anhand der in Abschnitt 3.5.4 getroffenen Überlegungen wird die Spannungsversorgung auf der Backplane dimensioniert. Um Aufwand durch externe Spannungsversorgung des Systems klein zu halten, wird ein Großteil der benötigten Regelschaltungen auf der Backplane integriert, so dass durch gesonderte Netzteile noch 3,3 V und 5,0 V als Versorgungsspannungen des Systems bereitzustellen sind. Eine schematische Darstellung der Spannungsversorgung eines NATHAN-Moduls findet sich in Abbildung 3.24. Durch den bidirektionalen Pfeil an der Terminierungsspannung wird illustriert, dass über die Terminierungsspannung von 1,25 V sowohl Strom zu- als auch abfließen kann<sup>52</sup>. Die Regelung der Terminierungsspannung stellt sich daher als aufwendig dar, da der Regler in der Lage sein muss, Strom zu verbrauchen bzw. als Aufwärtsregler zu arbeiten. Die Regelung der Spannungen erfolgt mittels der im Folgenden genannten Komponenten.

**1,25 V** Pro Steckplatz wird ein Schaltnetzteil MAX1809 [Max01a] eingesetzt, welches die Terminierungsspannung aus 5 V erzeugt. Die Ausgänge von jeweils vier Reglern können durch Schließen einer Lötbrücke miteinander verbunden werden. Diese Lötbrücken werden vorgesehen, da der Stromverbrauch auf der Terminierungsspannung eines DDR-SDRAM-Busses typischerweise etwa 400 mA [Jan01] beträgt und deutlich unter den maximal erwarteten  $\pm 1,35\text{ A}$  liegt. Da der Stromverbrauch von der Aktivität des Busses abhängt, kann darüber auf NATHAN noch keine Aussage getroffen wer-

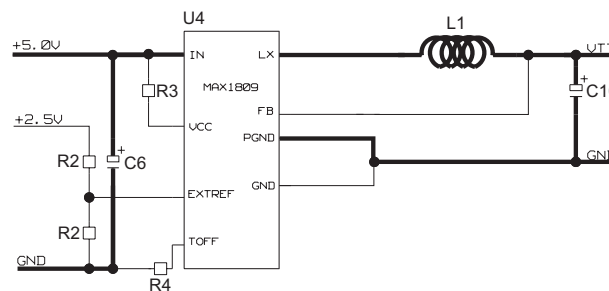
<sup>52</sup>Im logischen HIGH-Zustand liegt der Pegel der DDR-SDRAM-Signale bei 2,5 V, so dass über die Terminierungsspannung von 1,25 V Strom abfließen muss.



**Abbildung 3.24:** Illustration der Stromversorgung des NATHAN-Systems.

den. Sollte sich herausstellen, dass ein Regler zur Versorgung mehrerer NATHAN-Module ausreicht, können durch Schließen der Lötbrücken auf der Backplane bis zu vier NATHANs durch einen Regler versorgt werden.

Der Regelbaustein MAX1809 ist auf die Erzeugung von Terminierungsspannungen spezialisiert und integriert die zum Betrieb eines Schaltreglers erforderlichen PMOS- und NMOS-Transistoren. Die Ausgangsspannung wird auf die am Referenzeingang EXTREF angelegte Spannung eingestellt (siehe Abbildung 3.25). Die Terminierungsspannung des DDR-SDRAM-Busses muss die Hälfte der Betriebsspannung  $V_{DD} = 2,5\text{ V}$  betragen [JED02b], daher wird die Referenzspannung durch den symmetrischen Spannungsteiler aus  $2 \times R2$  erzeugt.



**Abbildung 3.25:** Prinzipielle Beschaltung des Schaltreglers MAX1809. Die stromführenden Pfade sind hervorgehoben.

Die Auswahl der zur korrekten Beschaltung des Reglers notwendigen Komponenten (Eingangs- und Ausgangskondensator  $C6$  und  $C10$ , Induktivität der Spule  $L1$ ) wird detailliert in [Max01a] beschrieben. Die vollständige Beschaltung inklusive zusätzlicher, für die Regelelektronik benötigter, Bauelemente findet sich im Schaltplan in Anhang A. Hochstrom führende Verbindungen sind in Abbildung 3.25 hervorgehoben. Beim Layout der Schaltung wird die Leiterbahnbreite dieser Verbindungen ausreichend dimensioniert.

Abwärts regelnd arbeitet dieses Schaltnetzteil bei einem Ausgangsstrom von  $1,35\text{ A}$  mit einer Effizienz von  $84\%$  [Max01a]. Der maximale, summierte Eingangsstrom beträgt für 16 Netzteile  $I_{1,25\text{ V},\text{MAX}} = 6,35\text{ A}$ .



**1,5 V** Der abgeschätzte Stromverbrauch auf dieser Spannung beträgt 43,2 A (siehe Tabelle 3.7). Zur Regelung werden die Schaltnetzteil-Module PT-8000 der Firma Texas Instruments verwendet [Tex01], welche bei digital zwischen 1,075 V und 3,5 V einstellbarer Ausgangsspannung mit maximal 60 A belastbar sind. Die Ausgangsspannung ist an vier Konfigurationsanschlüssen durch Schließen dort vorgesehener Lötbrücken gemäß der Angaben im Datenblatt einzustellen. Da keine Erfahrungswerte bezüglich des Stromverbrauchs auf dieser Spannung existieren, werden zwei dieser Netzteile verwendet, um einen Spielraum von 100 % zu gewährleisten. Jeweils acht Module werden durch ein Netzteil versorgt. Sollte sich herausstellen, dass die Belastbarkeit eines Netzteils ausreichend ist, kann durch Schließen von Lötbrücken die Versorgung der gesamten Backplane durch ein Netzteil erfolgen (siehe Schaltplan und Layout).

Bei einer Ausgangsspannung von 1,5 V und Belastung mit 43,2 A arbeiten diese Netzteile mit 84 %-iger Effizienz [Tex01]. Sie tragen zur Belastung der 5 V-Eingangsspannung mit  $I_{1,5\text{V},\text{MAX}} = 15,5\text{ A}$  bei.

**2,5 V** Zur Regelung dieser Spannung werden ebenfalls die Schaltnetzteil-Module PT-8000 verwendet. Die abgeschätzte Maximalbelastung beträgt 75,2 A (siehe Tabelle 3.7). Daher werden zwei Netzteile zur Versorgung von jeweils acht Modulen verwendet. Sollte die Belastbarkeit eines Netzteils ausreichen, kann die Versorgung der gesamten Backplane durch schließen der Drahtbrücke J11 erfolgen (siehe Schaltplan und Layout).

Die Bestimmung der Effizienz stützt sich auf die Annahme, dass zwei Netzteile zur Erzeugung der 2,5 V verwendet werden. Ein Netzteil wird dann mit etwa 36 A belastet und hat eine Effizienz von etwa 90% [Tex01]. Die durch zwei Netzteile entstehende Belastung auf 5 V beträgt  $I_{2,5\text{V},\text{MAX}} = 20\text{ A}$ .

**3,3 V analog/digital** Der HAGEN-Chip benötigt zwei separat geregelte Spannungen von 3,3 V zur Versorgung seiner Analog- und Digitalelektronik. Diese Spannungen werden für jeweils zwei Module durch die Linearregler LM1086 [Nat01] der Firma National Semiconductor aus 5 V geregelt. Zum Betrieb der HAGEN-Chips wird die fest auf 3,3 V eingestellte Variante dieser Regler verwendet. Die Beschaltung findet sich in Abbildung 3.26. Der Referenzeingang (ADJ) ist bei der fest eingestellten

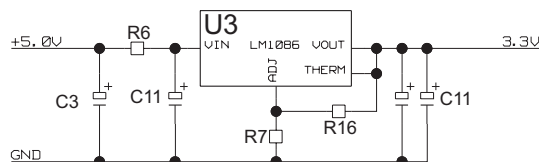


Abbildung 3.26: Beschaltung des Linearreglers LM1086.

Variante mit Masse zu verbinden [Nat01]:  $R7 = 0\ \Omega$ . Soll die einstellbare Variante verwendet werden, ist der Spannungsteiler aus  $R7$  und  $R16$  so einzustellen, dass am Referenzeingang (ADJ) 1,25 V anliegen (siehe Abschnitt 3.3.4.5).  $C3 = 1000\ \mu\text{F}$  dient als lokaler Ladungsspeicher,  $C11 = 100\ \mu\text{F}$  dienen als Überbrückungscondensatoren zum Ausgleich schneller Stromspitzen.  $R6$  wird nicht bestückt ( $R6 = 0\ \Omega$ ). Zur Filterung von durch andere Verbraucher verursachten Spannungsspitzen kann  $R6$  so gewählt werden, dass ein Tiefpass mit der Grenzfrequenz  $f_g = (2\pi R6 \cdot C11)^{-1}$  diese Welligkeit filtert.

Der Betrieb von 16 NATHANs verursacht nach Tabelle 3.7 einen Strombedarf von  $I_{3,3\text{VA/D},\text{MAX}} = 2\text{ A}$  auf 5 V.

**3,3 V** Die zur Versorgung der MGTs und des SRAMs benötigten 3,3 V müssen der Backplane direkt durch ein externes Netzteil zugeführt werden. Der Anschluss erfolgt über Schraubklemmen (J2). Der

maximal erforderliche Strom beträgt  $I_{3,3V,MAX} = 30,4$  A bei Bestückung aller NATHAN mit einem FPGA der Reihe XC2VP7 und Betrieb aller MGTs (siehe Tabelle 3.7).

**Zusammenfassung** In der Summe ergibt sich für die Belastung der bereitzustellenden Versorgungsspannungen:

- max. 30,4 A auf 3,3 V
- max. 44 A auf 5 V.

Handelsübliche ATX-PC-Netzteile<sup>53</sup> sind auf 5 V mit 40 A und auf 3,3 V mit 30 A belastbar. Zur externen Stromversorgung wird ein ATX-kompatibler Steckverbinder (*J5*) eingesetzt. Bei Verwendung anderer Netzteile kann die Stromzufuhr über die Schraubklemmen *J3* für 3,3 und 5 V sowie *J4* für den Masseanschluss erfolgen (siehe Schaltplan, Anhang A).

### 3.6 Erweiterungsmöglichkeiten

Um das NATHAN-System zum Betrieb zukünftiger ANNs verwenden zu können, wird mit den in Abschnitt 3.3.4.6 vorgestellten SMT-Steckern auf NATHAN eine flexible Schnittstelle zur Aufnahme zukünftiger ANNs geschaffen. Die Bereitstellung der durch separate Linearregler auf der Backplane erzeugten Betriebsspannungen des ANNs HAGEN ermöglichen durch die Anpassung der Linearregler auch den Einsatz von ANNs mit anderen Anforderungen an die Betriebsspannung.

Die vollständige Benutzung der SMT-Stecker setzt die Verwendung des Virtex II-Pro in der Variante XC2VP7 voraus. In dieser Variante bietet der Virtex II-Pro neben zusätzlichen IOs (siehe Abschnitt 3.3.4.6) vier weitere MGTs. Für diese vier MGTs ergeben sich Anforderungen hinsichtlich der Stromversorgung, welche in Abschnitt 3.3.4.5 bei der Implementierung der standardmäßig verfügbaren MGTs erläutert werden. Die nun zur Verfügung stehenden vier seriellen Schnittstellen werden über einen zweiten differentiellen Steckverbinder zugänglich gemacht. Über diesen Steckverbinder wird beispielsweise die Kommunikation zwischen mehreren Backplanes möglich. Zudem unterstützt der Virtex II-Pro mit den MGTs nativ das GigaBit-Ethernet-Protokoll [Xil02e], so dass direkte Kommunikation mit einem entsprechend ausgestatteten PC möglich ist.

Durch den 14 Bit breiten Adressbus des DDR-SDRAMs können Speichermodule mit einer Kapazität von 1 GByte adressiert werden, wodurch der Aufbau eines verteilten Systems mit einem Gesamtspeicher von bis zu 16 GByte pro Backplane ermöglicht wird.

---

<sup>53</sup> ATX: Advanced Technology eXtended.



# Kapitel 4

## Layout

Die in Kapitel 3 entwickelten Schaltpläne legen die logische Verbindung der einzelnen Bauelemente fest. Um anhand dieser Informationen die Platinen zu entwickeln, sind zunächst deren Lagenaufbau und die Abmessungen zu definieren. Das anschließende Layout der Platinen erfolgt mit der Software „Allegro“. Die einzelnen Komponenten werden auf der Platine platziert und die verbindenden Leiterbahnen verlegt. Diese Phase des Layouts wird auch als *place and route* bezeichnet. Nachdem die Platinen in dieser Weise vorläufig fertiggestellt sind, wird die Qualität kritischer Signale hinsichtlich ihrer Signalqualität durch Simulationen überprüft und die Leiterbahnführung gegebenenfalls optimiert. Dieser Ablauf ist Inhalt des folgenden Kapitels.

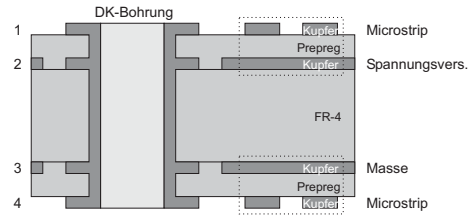
### 4.1 Technologie und Lagenaufbau

Bevor der Layoutprozess begonnen werden kann, muss zunächst der Lagenaufbau und die herstellereigene Fertigungstechnik der Platinen festgelegt werden. Durch die Wahl der Fertigungstechnik ergeben sich Zwangsbedingungen (engl.: constraints) bezüglich minimaler Leiterbahnbreite und minimalem Leiterbahnabstand sowie weitere prozessabhängige Parameter, wie Art und Durchmesser der mechanischen Bohrungen (Vias). Die Platinen NATHAN und Backplane werden von der Firma Würth Elektronik [wue] gefertigt.

#### 4.1.1 Standard 4-Lagen Aufbau

Im Bereich der NATHAN-Steckplätze werden auf der Backplane zwei Lagen zur Leiterbahnführung der differentiellen MGT-Signale (siehe Abschnitt 3.5.1) benötigt. Globale Taktsignale und die Signale der Slow-Control sind auf dem differentiellen Steckverbinder so angeordnet, dass die Leiterbahnführung aller benötigter Signale auf insgesamt zwei Lagen realisierbar ist. Neben den signalführenden Lagen wird eine Lage als vollflächige Masselage und eine weitere zur Spannungsversorgung im Bereich der Steckverbinder vorgesehen. Aufgrund dieser Anforderungen wird zur Herstellung der Backplane der Standard 4-Lagen Prozess der Firma Würth Elektronik verwendet. Der Querschnitt dieser Platine findet sich in Abbildung 4.1.

Masse und Stromversorgung befinden sich auf den Lagen 2 und 3, so dass auf den äußeren Lagen 1 und 4 die zur Kontrolle der differentiellen Impedanz der MGT-Signale erforderliche Microstrip-Konfiguration realisierbar ist. Die Herstellung der Platine erfolgt auf Basis eines beidseitig mit Kupfer beschichteten Epoxy-Kerns (FR-4). Zunächst werden die Leiterbahnen auf diesen beiden Lagen durch einen Ätzprozess strukturiert. Anschließend wird von beiden Seiten Kupferfolie auf Laminat (Prepreg) wählbarer Dicke mit dem Kern verpresst. Durchzukontaktierende Löcher (DK-Bohrungen für Steckerkontakte, Vias) werden gebohrt und anschließend aufmetallisiert, so dass die Verbindung mit dem Kupfer der zu kontaktierenden Lagen hergestellt wird. Danach werden die Leiterbahnen auf



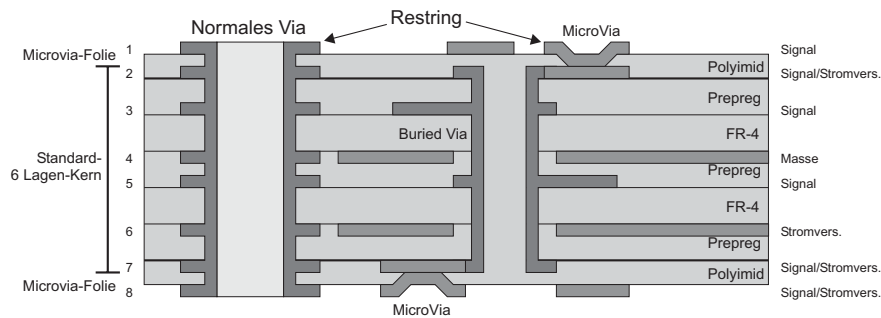
**Abbildung 4.1:** Illustration des 4-Lagen Standardaufbaus der Backplane.

den Außenlagen geätzt. Abschließend wird Lötstopplack aufgebracht und nicht durchkontaktierte Löcher (NDK-Bohrungen) werden gebohrt.

Angaben zu Dicke und elektrischen Eigenschaften der einzelnen Materialien sowie die beim Layout der Backplane zu berücksichtigenden Zwangsbedingungen finden sich in Anhang C.2.

#### 4.1.2 MicroVia-Build-up Prozess und Feinstleitertechnik

Um die hohe Leiterbahndichte, vor allem im Bereich des FPGAs und die in manchen Bereichen geforderte hohe Bauteildichte auf der Platine NATHAN realisieren zu können, wird NATHAN als achtlagige *MicroVia-Build-up* Leiterplatte gefertigt. Abbildung 4.2 zeigt die wesentlichen Merkmale dieser speziellen Technologie.



**Abbildung 4.2:** Illustration des 1-6dk-1-Lagenaufbaus der Platine NATHAN.

Bei der Herstellung wird zunächst eine 6-lagige Platine mit zwei Epoxy-Kernen (FR-4) nach dem in Abschnitt 4.1.1 beschriebenen Verfahren gefertigt (bis auf das Aufbringen des Lötstopplacks). Dieser Kern wird beidseitig mit einer harzlackierten (Polyimid) Kupferfolie belegt und verpresst. Die so verdeckten DK-Bohrungen des Kerns werden als *Buried Vias* bezeichnet. Durch Löcher in einer Maske werden nun in einem Plasma-Ätzverfahren Sacklöcher durch die äußere Kupfer-Harz-Schicht geätzt, welche auf den äußeren Lagen des 6-Lagen Kerns enden. Danach werden DK-Bohrungen gefertigt und aufmetallisiert. Bei der Aufmetallisierung erfolgt auch die Kontaktierung der Sacklöcher auf die jeweils nächstinnere Lage. Die abschließenden Prozesse (Ätzung der Leiterbahnen auf den Außenlagen und Aufbringen des Lötstopplacks) entsprechen dem Standardverfahren. Die Sacklöcher werden als *Blind Vias* oder *MicroVias* bezeichnet und sind mit einem Restringdurchmesser von  $350 \mu\text{m}$  kleiner als herkömmliche Vias mit Restringdurchmesser  $600 \mu\text{m}$ , wodurch eine höhere Leiterbahndichte zwischen einzelnen Vias erreicht wird. Durch die Verwendung von *Buried Vias* bleibt auf den Außenlagen der Platine Platz für SMD-Bauelemente, wodurch eine höhere Bauteildichte erreicht werden kann. Neben der *MicroVia-Build-up* Technologie wird auf NATHAN die von Würth Elektronik angebotene Feinstleitertechnik mit einer minimalen Strukturgröße von  $100 \mu\text{m}$  bezüglich Leiterbahnbreite und -abstand verwendet, wodurch die Integrationsdichte zusätzlich erhöht werden

kann. Die übrigen Zwangsbedingungen sowie Dicke und elektrische Eigenschaften der einzelnen Materialien finden sich in Anhang C.1.

Die Aufteilung der Lagen erfolgt gemäß dem in Abbildung 4.2 dargestellten Schema. Lage 4 dient als Masselage, Lage 6 wird vollständig zur Stromversorgung verwendet. Die übrigen Lagen werden den lokalen Anforderungen entsprechend zur Spannungsversorgung oder zur Leiterbahnführung impedanzkontrollierter Strukturen verwendet.

## 4.2 Layout der Platine NATHAN

Abbildung 4.3 zeigt ein Foto von Ober- und Unterseite der unbestückten Platine NATHAN. Die Leiterbahnführung auf den einzelnen Lagen kann den Lagenplänen in Anhang B.1 entnommen werden. Da im Rahmen der vorliegenden Arbeit die Bestückung nicht durchgeführt werden konnte, geht dieser Abschnitt lediglich auf das Layout der Platine ein. Es werden Besonderheiten im Layout der einzelnen Schnittstellen behandelt und beschrieben, wie die Integrität kritischer Signale anhand von Simulationen überprüft wird.

Die Anordnung der Komponenten entspricht den durch die logische Verschaltung entstehenden Vorgaben. Die auf der rechten Seite des FPGAs angeordneten SRAM-Bausteine werden gegenüberliegend auf NATHAN angeordnet, um den auf beiden Seiten zur Verfügung stehenden Platz auszunutzen und einheitliche Leiterbahnlängen der Daten- und Kontrollsignale realisieren zu können. Auf der Rückseite sind im Bereich des DDR-SDRAM-Moduls nur diskrete Bauelemente, wie Terminierungswiderstände und Blockkondensatoren, platziert, welche eine maximale Höhe von 1,2 mm nicht überschreiten, so dass das DDR-SDRAM-Modul eingesteckt werden kann, ohne in Kontakt mit Bauelementen auf der Platine zu kommen [TYC01]. Bauteile zur Analogversorgung des HAGEN-Chips sind um dessen Sockel auf der Oberseite und möglichst entfernt von digitalen Signalen angeordnet. Lage 2 dient in diesem Bereich ausschließlich der Spannungsversorgung, so dass die Abschirmung gegen digitale Signale auch in z-Richtung gewährleistet ist.

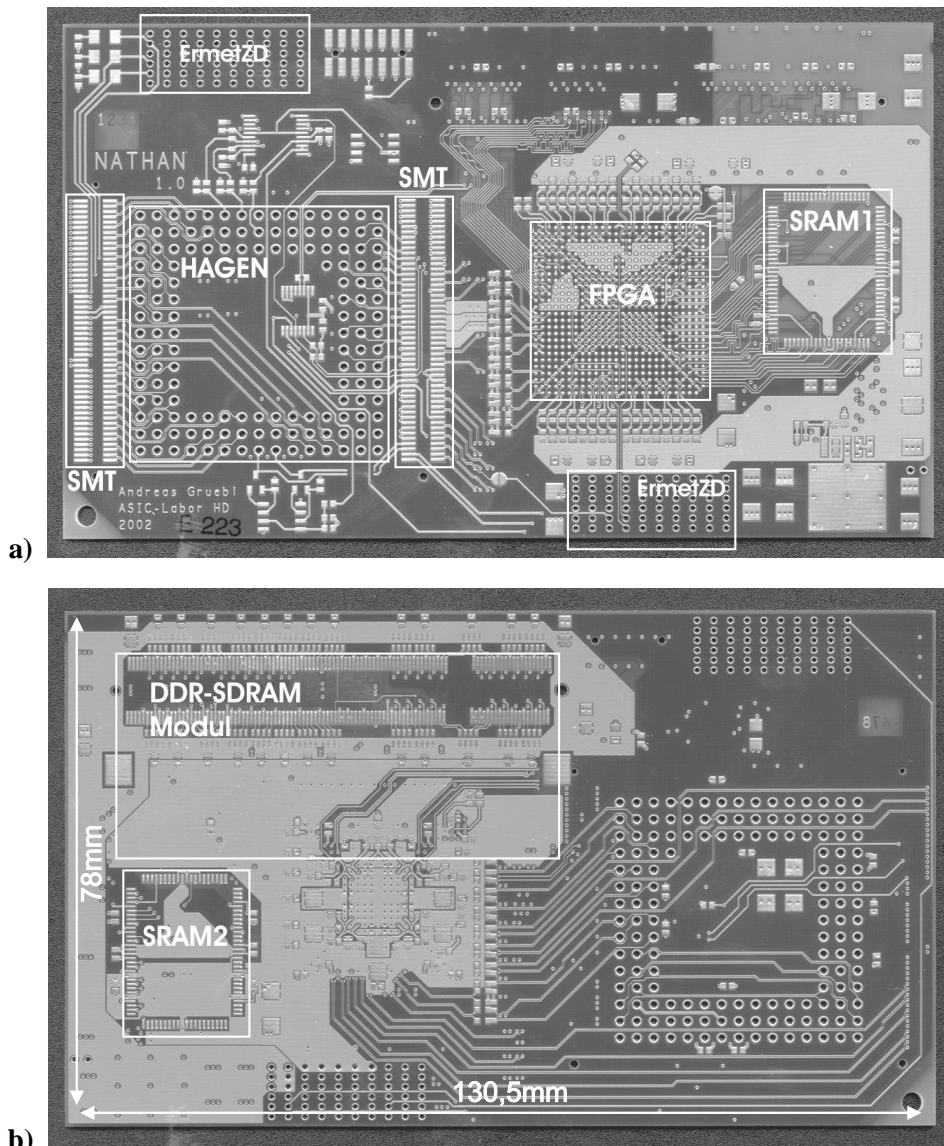
### 4.2.1 Impedanzkontrollierte Strukturen

Leiterbahnführung mit kontrollierter Impedanz ist auf NATHAN für alle Datenleitungen mit einer differentiellen Impedanz von  $Z = 100 \Omega$  erforderlich. Hierzu zählen alle Signale der ANN-Schnittstelle. Auch die Leiterbahnen der HAGEN-DirectIOs werden paarweise differentiell an die SMT-Stecker geführt. Hinsichtlich der Impedanz liegt besonderes Augenmerk auf den externen Taktsignalen sowie den MGT-Signalen, mit ebenfalls  $Z = 100 \Omega$ . Auf die Leiterbahnführung dieser Signale wird ausführlicher in Abschnitt 4.2.3.1 eingegangen. Ausgehend von der Geometrie in z-Richtung (Kupferdicke, FR-4-Dicke) und der Festlegung der Leiterbahnbreite auf die minimal erforderlichen  $100 \mu\text{m}$ , wird der Abstand der Leiterbahnen durch den in SPECCTRAQuest integrierten Field Solver bestimmt. Der Field Solver berücksichtigt die Dicke der Kleberschicht zwischen den Kupferstrukturen (siehe Abbildung 4.4), indem für deren Stärke die dortige Kupferdicke angenommen wird. Die Dielektrizitätskonstante wird jeweils bis zur Mitte der Kleberschicht mit der des umgebenden Dielektrikums gleichgesetzt. Für Prepreg und FR-4 gilt näherungsweise  $\epsilon_{r, \text{FR-4}} = 4,2$ ; für Polyimid  $\epsilon_{r, \text{P}} = 3,5$ .

Innerhalb der Herstellungsparameter kann  $Z = 100 \Omega$  auf den Lagen 2 und 7 nicht erreicht werden. Die verwendeten Konfigurationen sind in der linken Hälfte von Abbildung 4.4 dargestellt und weisen folgende Abstände auf:

Microstrip, Lage 1 und 8	$s = 150 \mu\text{m}$
Stripline, Lage 3 und 5	$s = 180 \mu\text{m}$

Differentielle Stripline-Konfigurationen auf den Lagen 2 und 7 erreichen wegen der geringen Stärke der Polyimid-Schicht von  $60 \mu\text{m}$  und deren niedriger Dielektrizitätskonstante  $\epsilon_{r, \text{P}} = 3,5$  lediglich



**Abbildung 4.3:** a) Ober- und b) Unterseite der unbestückten Platine NATHAN. Die zugehörigen Lagenpläne finden sich in Anhang B.1.

eine differentielle Impedanz von maximal  $Z \approx 80 \Omega$ . Um höhere Impedanzen zu erhalten, müsste die minimale Leiterbahnbreite unterschritten werden. Lagen 4 und 6 werden zur Stromversorgung benötigt und dienen als Potentialflächen für die umliegenden Microstrip-Leiterbahnen.

Die Impedanz der einfachen Datenleitungen des DDR-SDRAM-Busses beträgt nominal  $Z = 50 \Omega$ . Die Leiterbahnführung dieser Signale erfolgt auf den Lagen 1, 2, 3 und 7, was in Abbildung 4.4 auf der rechten Seite illustriert ist. Die Impedanz dieser Leiterbahnen kann nur in Bereichen kontrolliert werden, wo Lage 2 als Potentialfläche dient. Dort wird  $Z = 50 \Omega$  sowohl auf Lage 1 als auch auf Lage 3 mit einer Leiterbahnbreite von  $w = 125 \mu\text{m}$  erreicht. In Bereichen, wo Leiterbahnführung auf Lagen 1, 2 und 3 erfolgen muss, kann die Impedanz der Leiterbahnen mit dem Field Solver nicht separat berechnet werden, da hier keine einheitliche Geometrie in z-Richtung gegeben ist.

Wegen der dünnen Polyimid-Schicht kann auf Lage 7 die geforderte Impedanz von  $Z = 50 \Omega$  einfacher Datenleitungen des DDR-SDRAM-Busses nicht erreicht werden. Mit der minimalen Leiterbahnbreite wird hier  $Z \approx 40 \Omega$  erreicht.

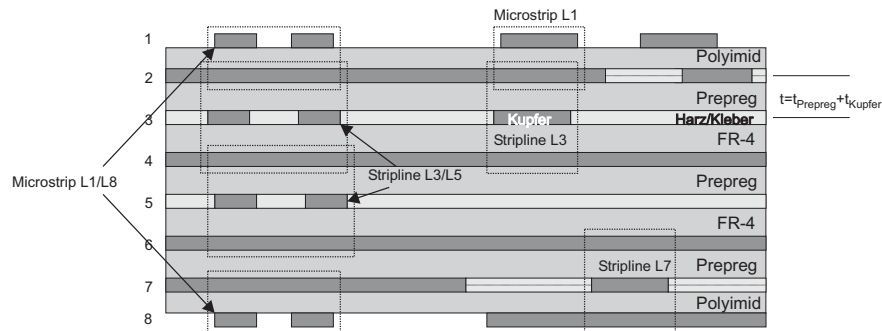


Abbildung 4.4: Impedanzkontrollierte Strukturen auf NATHAN.

### 4.2.2 Möglichkeiten zur Optimierung von Signallaufzeiten

In den folgenden Abschnitten werden stellenweise Betrachtungen über Signallaufzeiten angestellt. Hierzu ist anzumerken, dass das zur Simulation einzelner Signale verwendete Programm SPECCTRAQuest (siehe Abschnitt 2.4) ein integraler Bestandteil des Layout-Programms Allegro ist und ebenso zum Layout der Platine verwendet werden kann. Durch den Einsatz von SPECCTRAQuest während des Layouts ergibt sich die Möglichkeit, die Signallaufzeit auf einer bearbeiteten Leiterbahn simultan mit der Änderung der Länge dieser Leiterbahn während der Bearbeitung berechnen zu lassen. Voraussetzung hierfür ist, dass SPECCTRAQuest, wie in Abschnitt 2.4 beschrieben, Informationen über den Lagenaufbau der Platine hat und dass Simulationsmodelle für alle Treiber und Empfänger an der bearbeiteten Leiterbahn bereitgestellt werden. Anhand dieser Informationen wird der Ersatzschaltkreis der momentan bearbeiteten Leiterbahn aktualisiert und die Signallaufzeit neu berechnet.

Bei der Anwendung dieses Verfahrens während des Layouts eines Datenbusses, wie z.B. dem Datenbus des SRAMs oder DDR-SDRAMs, kann die Signallaufzeit einer Leiterbahn als Referenz definiert werden, zu der die Signallaufzeiten der übrigen Leiterbahnen um einen festzulegenden Maximalwert abweichen dürfen. Durch Erfüllen dieser Zwangsbedingung für alle Leiterbahnen eines Datenbusses können somit die Signallaufzeiten des ganzen Datenbusses optimiert werden.

### 4.2.3 FPGA

Die Leiterbahnführung im Bereich des FPGAs stellt den anspruchsvollsten Teil im Layout der Platine NATHAN dar. Zunächst ist die Zuführung der benötigten Versorgungsspannungen mit möglichst niedriger Induktivität zu gewährleisten, um Abweichungen der Versorgungsspannungen von ihrem Sollwert durch starke Stromschwankungen zu vermeiden. Zum lokalen Ausgleich auftretender Schwankungen ist für jeweils zwei Stromversorgungsanschlüsse ein Blockkondensator  $C1$  vorgesehen. Diese Blockkondensatoren sollten maximal 1 cm von den entsprechenden Stromversorgungsanschlüssen entfernt sein [Xil02e] und müssen daher auf der Rückseite von NATHAN, unterhalb des FPGAs, platziert werden. Die 672 Anschlüsse des FPGAs sind vollflächig mit 1 mm Abstand in x- und y-Richtung an dessen Gehäuseunterseite angebracht. Zur Veranschaulichung findet sich in Abbildung 4.5 die vollständige Anschlussbelegung des FPGAs.

Die Beschaltung aller Anschlüsse bedingt die Verwendung von Vias an jedem Anschluss im Inneren dieses Anschlussfelds. Um auf der Rückseite der Platine, unterhalb des FPGAs, dennoch Raum zur Platzierung der Blockkondensatoren zu lassen, wird die in Abbildung 4.6 a) gezeigte Strategie verfolgt. Alle Stromversorgungsanschlüsse werden mit normalen Vias bis zur Rückseite der Platine kontaktiert, wo direkte Verbindung mit den Kondensatoren hergestellt wird. Durch die Verwendung versetzter Micro- und Buried Vias (siehe Abbildung 4.6) an allen Signalleitungen entsteht auf der Rückseite des FPGAs Raum zur Platzierung sämtlicher Blockkondensatoren innerhalb des geforder-



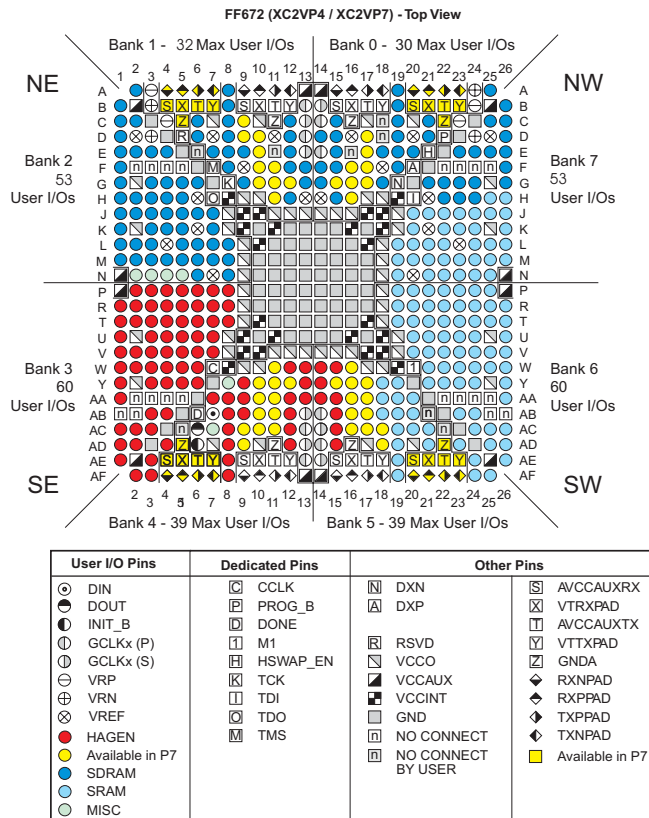


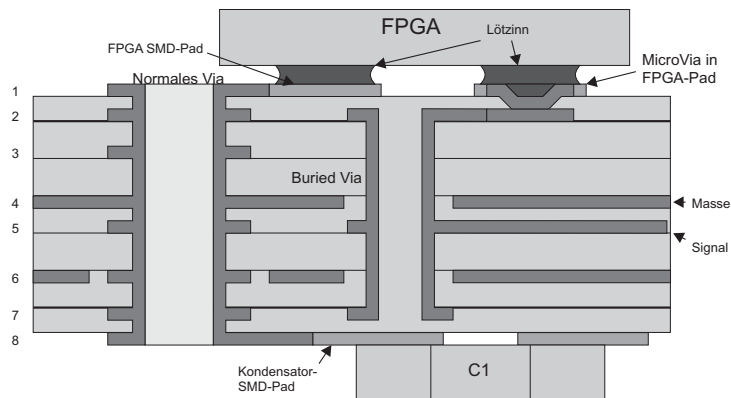
Abbildung 4.5: Anschlussbelegung des FPGAs zur Illustration der Anschlussdichte (Anschlussabstand 1 mm). Die Abbildung stammt Modifiziert aus [Xil02e].

ten Abstands von 1 cm. Die Signalleitungen werden zunächst durch ein MicroVia im SMD-Pad des FPGAs auf Lage 2 kontaktiert. Der Wechsel auf die zur Leiterbahnführung vorgesehene Lage erfolgt mittels eines Buried Vias.

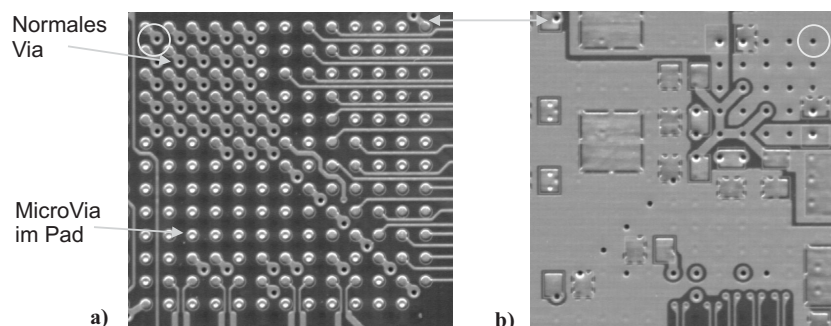
Die Verwendung der MicroVias direkt in den SMD-Pads des FPGAs ermöglicht Leiterbahnführung auf Lage 1 auch im Inneren des FPGA-Anschlussfelds. In Abbildung 4.7 a) ist der untere, rechte Quadrant des FPGAs gezeigt. Die Verwendung der zur Kontaktierung der Stromversorgungsanschlüsse benutzten, konventionellen Vias an allen SMD-Pads des FPGAs würde Leiterbahnführung auf Lage 1 nur für die zwei äußeren Anschlussreihen des FPGAs erlauben. Die Rückseite des FPGA-Anschlussfelds ist in Abbildung 4.7 b) gezeigt. Neben der Platzierung der Blockkondensatoren wird der zur Verfügung stehende Platz vollständig mit Kupfer ausgefüllt, um möglichst optimale Verbindungen der Stromversorgungsanschlüsse sicherzustellen.

### 4.2.3.1 Differentielle Datenleitungen

Die differentiellen Datenanschlüsse der MGTs befinden sich jeweils an der Ober- bzw. Unterseite des FPGAs in der äußersten Anschlussreihe. Die Datenleitungen der MGTs werden mit zwei versetzten Vias auf Lage 5 kontaktiert und ohne weiteren Lagenwechsel an die differentiellen Steckverbinder geführt. Aufgrund der Anstiegszeit  $t_r \geq 120 \text{ ps}$  dieser Signale, sind nach Gleichung 2.17 ab einer Leiterbahnlänge von etwa 1 cm Reflexionen an Impedanzdiskontinuitäten der Leiterbahn zu erwarten. Die Leiterbahnen der MGT-Signale werden daher mit möglichst großem Abstand zueinander und zu anderen Elementen wie Vias geführt, um die Impedanz konstant bei  $Z = 100 \Omega$  zu halten (siehe Abbildung 4.8 a).



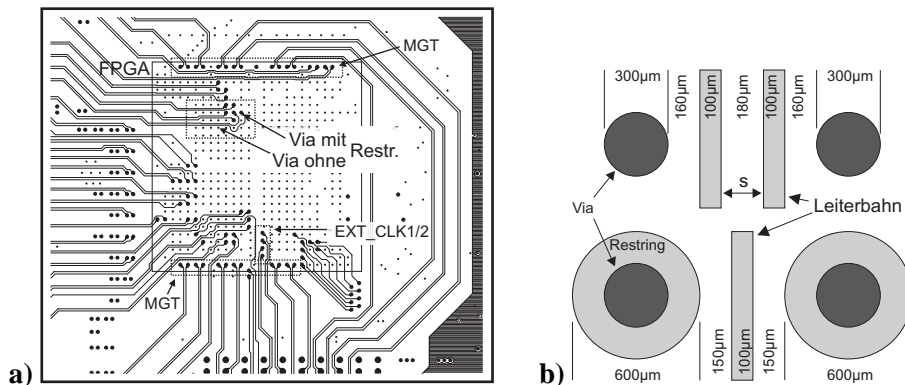
**Abbildung 4.6:** Querschnitt im Bereich des FPGAs. Dargestellt ist die Verwendung von Buried Vias, um SMD-Bauteile auf der Rückseite der Platine platzieren zu können.



**Abbildung 4.7:** Layout im unteren, rechten Quadranten des FPGAs auf NATHAN. a) Vorderseite (Lage 1) b) Rückseite (Lage 8).

In dieser Abbildung ist außerdem die Leiterbahnführung der externen Taktsignale EXT\_CLK1/2 gezeigt. Um die Anforderungen an das Referenztaktsignal EXT\_CLK2 der MGTs bezüglich Jitter und Anstiegszeit (siehe Abschnitt 3.3.4.1) nicht zu verletzen, wird sichergestellt, dass durch die Stichleitungen der einzelnen Module keine Reflexionen zurück auf die Leiterbahnen der Backplane entstehen. Die Stichleitungen verhalten sich als rein kapazitive Last auf den Datenleitungen der Backplane, wenn die Signalausbreitungszeit auf der Stichleitung  $t_{d, \text{stich}}$  kleiner als die Hälfte der Anstiegszeit  $t_r$  des übertragenen Signals ist [HHM00]:  $t_{d, \text{stich}} < 0,5 \cdot t_r$ . Diese Bedingung ist mit  $t_r = 600 \text{ ps}$  und  $t_{d, \text{stich}} \approx 250 \text{ ps}$  erfüllt (die Länge der Leiterbahnen beträgt inklusive des differentiellen Steckverbinders etwa 35 mm). Da für den Taktgenerator EG-2101CA keine Simulationsmodelle verfügbar sind, kann nicht durch Simulation überprüft werden, welchen Einfluss die durch 16 NATHAN-Module verursachte kapazitive Last auf die Integrität des Taktsignals auf der Backplane hat.

**Anpassung der Zwangsbedingungen im Bereich des FPGA-Anschlussfelds** Die Leiterbahnen der innerhalb des FPGA-Anschlussfelds geführten MGT-Signale sowie die Leiterbahnen aller differentiellen Signale, welche im Inneren des FPGA-Anschlussfelds zum FPGA kontaktiert werden, könnten dort unter Einhaltung der standardmäßig vorgegebenen Mindestabstände nicht mit dem Abstand  $s = 180 \mu\text{m}$  verlegt werden. Bei Einhaltung des Mindestabstands von  $100 \mu\text{m}$  kann wegen des Kupfer-Restrings um die Bohrung des Vias lediglich eine Leiterbahn zwischen zwei Vias geführt werden (siehe Abbildung 4.8 b). Dieser Restring ist nur auf der Anfangs- und Endlage des Vias so-



**Abbildung 4.8:** a) Differenzielle Leiterbahnführung auf Lage 5 im Bereich des FPGAs. b) „Aufweichen“ der Zwangsbedingungen im Bereich des FPGAs, um differenzielle Leiterbahnführung zwischen zwei Vias zu ermöglichen.

wie auf Lagen erforderlich, auf welchen Kontaktierung mit einer Leiterbahn erfolgt. Er wird daher auf nicht kontaktierten Lagen weggelassen. In Abbildung 4.8 ist illustriert, dass somit differenzielle Leiterbahnführung zwischen zwei Vias mit dem korrekten Abstand von  $s = 180 \mu\text{m}$  möglich ist. Der Minimalabstand zwischen Bohrungen und Kupferstrukturen beträgt laut Würth-Standard  $200 \mu\text{m}$ , wird aber nach Absprache mit Würth-Elektronik im Bereich des FPGAs auf  $160 \mu\text{m}$  reduziert. Das „Aufweichen“ dieser Zwangsbedingung bezieht sich nur auf den Abstand zwischen Leiterbahnen und Bohrungen. Der Mindestabstand zwischen Bohrungen und umgebenden Kupferflächen beträgt weiterhin  $200 \mu\text{m}$ .

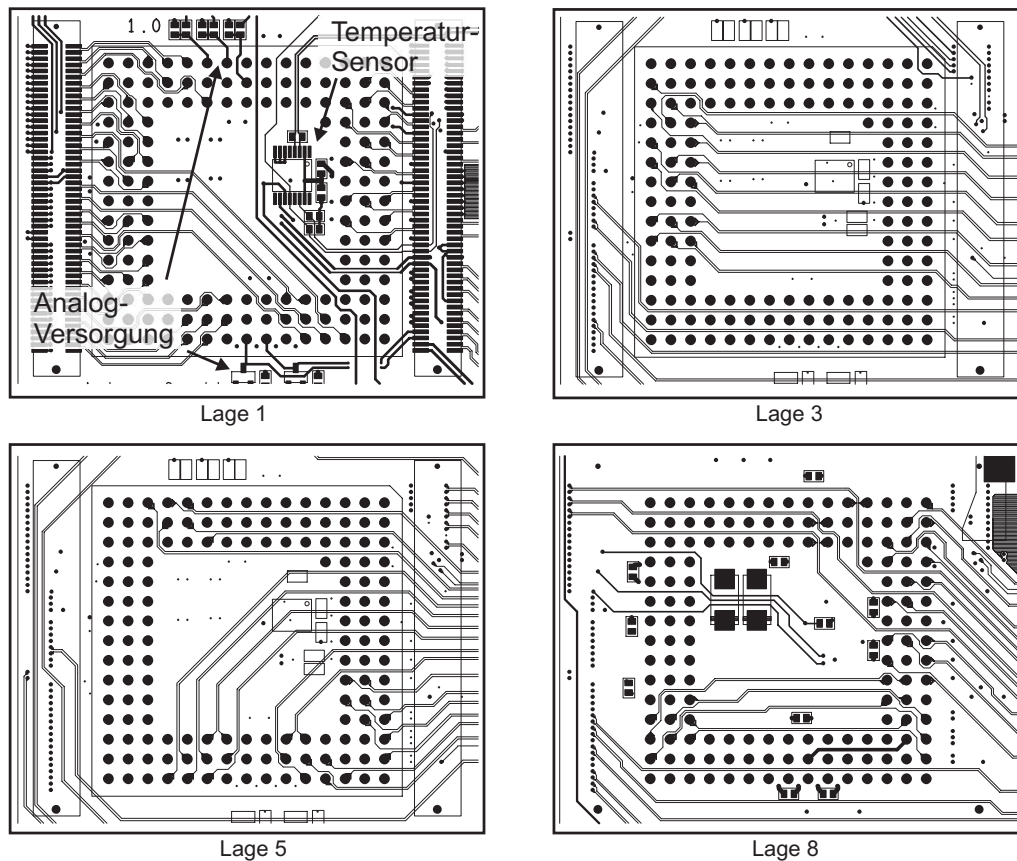
#### 4.2.4 HAGEN

Der Sockel des HAGEN-Chips befindet sich auf der Vorderseite der Platine links des FPGAs und wird von den beiden SMT-Steckern eingefasst. Bei der gewählten Orientierung des HAGEN-Chips befinden sich die Anschlüsse für dessen analoge Referenzspannungen an der Oberseite des Chips, die Anschlüsse für den analogen Referenzstrom liegen an der Unterseite. Die Schaltungen zur Generierung der Referenzspannungen und -ströme werden auf der Vorderseite der Platine nahe den entsprechenden Anschlüssen des HAGEN-Chips platziert. Analoge Spannungen führende Leiterbahnen werden ohne Lagenwechsel auf Lage 1 verlegt. Lage 2 dient der Zuführung der digitalen Versorgungsspannung und schirmt die auf Lage 1 verlaufenden analogen Leiterbahnen gegen digitale Signale auf Lage 3 ab.

Da die Signalführung der HAGEN-Schnittstelle und der auf die SMT-Stecker geführten Signale vollständig differentiell erfolgt, entspricht der weitere Lagenaufbau dem in Abbildung 4.4 dargestellten Schema für differenzielle Datenleitungen. Lage 4 dient auch hier der Masseanbindung, Lage 6 der Zufuhr der analogen Versorgungsspannung des HAGEN-Chips. Lage 6 ist auf NATHAN vollständig mit Kupfer gefüllt. Die Trennung zwischen 3,3 V im Bereich des HAGEN-Chips und 2,5 V im Bereich des FPGAs und der RAM-Bausteine befindet sich zwischen HAGEN-Sockel und FPGA. Lage 7 wird zur Realisierung der Microstrip-Leitungen auf Lage 8 als Potentialfläche ausgeführt und zusätzlich mit Masse verbunden.

Abbildung 4.9 zeigt die Aufsicht auf die zur Signalführung verwendeten Lagen 1, 3, 5 und 8 (die vollständigen Lagenpläne finden sich in Anhang B.1). Es wird deutlich, dass der SMT-Stecker auf der dem FPGA zugewandten Seite direkte Leiterbahnführung zwischen FPGA und HAGEN-Sockel auf Lage 1 unmöglich macht. Da im Bereich des FPGAs alle vier zur Verfügung stehenden Lagen zur Leiterbahnführung benötigt werden, entsteht hier das Problem, alle Datenleitungen mit einer minimalen Anzahl von Lagenwechseln auf drei Lagen zu HAGEN und den SMT-Steckern zu führen<sup>54</sup>.

<sup>54</sup>Die für einen Lagenwechsel benötigten Vias stellen Diskontinuitäten in der Leiterbahnimpedanz dar und beeinträch-



**Abbildung 4.9:** Differenzielle Leiterbahnführung im Bereich des HAGEN-Chips (Ausschnitt). Erforderliche Lagenwechsel zur Kontaktierung der HAGEN-Signale an den SMT-Stecker erfolgen an den Bohrungen der HAGEN-Anschlüsse. Der Temperatursensor wird innerhalb des HAGEN-Sockels platziert.

Die in der Peripherie des FPGAs platzierten Terminierungswiderstände (siehe Abschnitt 3.3.4.4) machen zudem die Kontaktierung der entsprechenden Signale zur Ober- bzw. Unterseite der Platine erforderlich. Durch optimierte Anschlussbelegung des FPGAs ist an den Terminierungswiderständen lediglich ein Lagenwechsel erforderlich (auf der Rückseite mit einem zusätzlichen MicroVia pro Leiterbahn) und es können alle Signale auf den Lagen 3, 5 und 8 untergebracht werden. Wie in Abbildung 4.9 deutlich wird, werden Signale, welche an den HAGEN-Sockel und die SMT-Stecker geführt werden, von den HAGEN-Anschlüssen aus auf Lage 1 an die SMT-Stecker geführt. Der Lagenwechsel erfolgt also ohne zusätzliches Via an den durchkontaktierten Bohrungen der Kontakte des HAGEN-Sockels. Hierdurch und mit der Optimierung der Leiterbahnführung im Bereich des FPGAs kann eine durchschnittliche Anzahl von 1,6 Vias pro Leiterbahn erreicht werden (exklusive der Bohrungen des HAGEN-Sockels).

#### 4.2.4.1 Anforderungen an die Signallaufzeiten

Die Zusammenstellung der Timing-Anforderungen des HAGEN-Chips erfolgt auf Grundlage von Erfahrungswerten aus bestehenden Anwendungen und der Kenntnis der digitalen Schnittstelle des Chips. Der differenzielle Teil der Schnittstelle erfordert, dass Daten relativ zum Taktsignal in Phase

tigen daher die Signalqualität. Bei differentiellen Datenleitungen kommt hinzu, dass im Bereich der Vias der Abstand zwischen den einzelnen Leiterbahnen nicht konstant gehalten werden kann, da ein Mindestabstand zwischen den Vias eingehalten werden muss.

oder etwas „früher“ an HAGEN anliegen. Das Layout dieser Leiterbahnen wird daher so konzipiert, dass die Signallaufzeiten von Taktsignal, Adress- und Datensignalen zwischen FPGA und HAGEN-Sockel für jede HAGEN-Hälfte um maximal 70 ps voneinander abweichen. Diese Bedingung kann durch Optimierung der Anschlussbelegung am FPGA ohne zusätzlichen Aufwand erfüllt werden. Die Taktleitung wird aufgrund von Erfahrungswerten mit der relativ kleinsten Leiterbahnlänge verlegt. Unter diesen Voraussetzungen sollte es möglich sein, Daten und Adressen in Phase mit dem Taktsignal in Richtung HAGEN zu schreiben.

#### 4.2.4.2 Simulationen

Um die Signalqualität der differentiellen Schnittstelle des HAGEN-Chips beurteilen zu können, wird das von FPGA zu HAGEN gesendete Taktsignal simuliert. Der Treiber des FPGAs wird durch ein IBIS-Modell für den Virtex II der Firma Xilinx [xil01] modelliert. Das Verhalten der Treiber dieses FPGAs entspricht physikalisch annähernd dem der Virtex II-Pro Treiber/Empfänger, da diese FPGAs im selben Herstellungsprozess gefertigt werden und der interne Aufbau teilweise identisch ist [Xil02e]. Für die Treiber der Adress- und Datensignale werden LVDSEXT-Modelle verwendet [xil01]. Diese Treiber weisen eine höhere Strombelastbarkeit auf und eignen sich zum Betrieb der doppelt belasteten Adress- und Taktsignale (siehe [Xil02e]). Da für HAGEN keine IBIS-Modelle verfügbar sind, werden die LVDS-Modelle (IBIS) aus der Bibliothek des Virtex II verwendet.

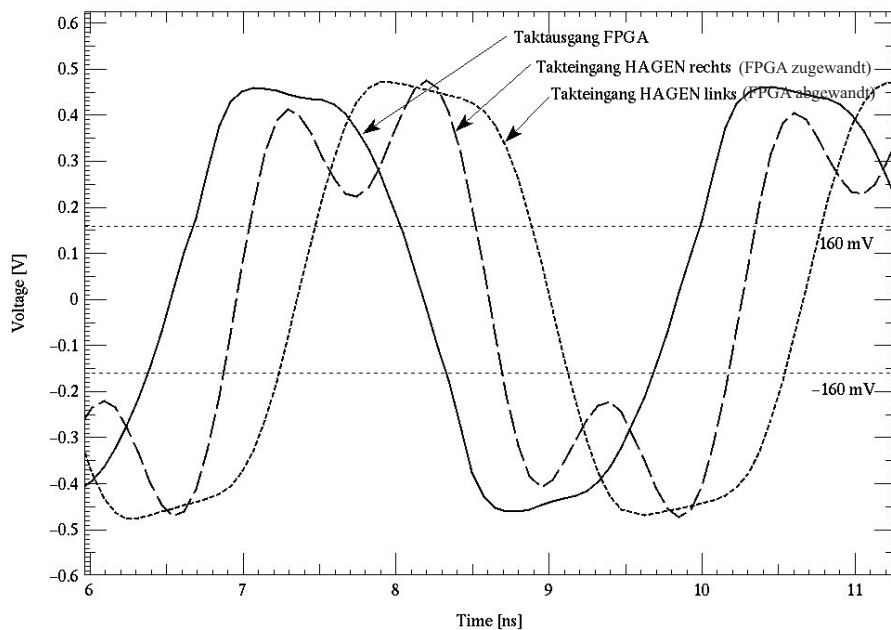
Signale auf der vom FPGA gesendeten Takt- und den Adressleitungen werden als kritisch betrachtet, da sie an beide HAGEN-Hälften angeschlossen sind. Damit befindet sich auf der Leiterbahn eine zusätzliche Kapazität, welche deren Impedanz nach Gleichung 2.28 verringert. Erste Simulationen werden mit einem Terminierungswiderstand von  $100\ \Omega$  an der vom FPGA abgewandten Seite des HAGEN-Chips durchgeführt. Die Taktfrequenz beträgt 300 MHz, was leicht unterhalb der maximalen HAGEN-Taktrate von 320 MHz liegt. Die Terminierung mit  $100\ \Omega$  entspricht der Realität, da HAGEN interne Terminierungen mit  $100\ \Omega$  besitzt (siehe Abschnitt 3.3). Ergebnis dieser Simulationen ist, dass das Taktsignal am rechten HAGEN-Takteingang (dem FPGA zugewandt) durch Reflexionen so verschlechtert wird, dass die Schwellenspannung von  $\pm 160\ \text{mV}$  des HAGEN-Eingangs während einer Taktperiode mehrfach unter- bzw. überschritten werden.

Unter der Annahme, dass diese Reflexionen am Ende der Leiterbahn durch falsche Terminierung hervorgerufen werden, wird der Wert des Terminierungswiderstands verringert, um der verringerten Impedanz Rechnung zu tragen. Das beste Ergebnis wird iterativ mit einer Terminierung von  $75\ \Omega$  erreicht und findet sich in Abbildung 4.10.

Das Taktsignal an der dem FPGA zugewandten HAGEN-Hälfte wird immer noch von Reflexionen überlagert. Allerdings werden die Schwellenspannungen der HAGEN-Eingänge konstant überschritten, so dass das Signal von HAGEN ausgewertet werden kann. Da die Form der beiden anderen Signale kein Überschwingen aufweist, kann aus diesem Diagramm nicht geschlossen werden, wo die Reflexionen verursacht werden. Um dies zu ergründen, müsste die Stufenantwort des Schaltkreises durch Stimulierung mit nur einer steigenden Flanke simuliert werden. Da sich das Signal nicht ständig ändert, kann das Abklingen der Reflexionen nach der Stufe verfolgt werden.

Es ist zu bemerken, dass das Verhalten der HAGEN-Eingänge in dieser Simulation nicht korrekt modelliert wird, da die LVDS-Modelle des Virtex II verwendet werden. Gleiches gilt für die Treiber des FPGAs. Die Bestimmung des tatsächlichen Verhaltens der Signale bleibt also zukünftigen Messungen vorbehalten. Es wird evtl. erforderlich sein, die Terminierung der linken HAGEN-Hälfte anzupassen. Dies kann durch Parallelschaltung eines  $300\ \Omega$ -Widerstandes erfolgen.

Das zeitliche Verhalten der gesamten Schnittstelle kann nicht realitätsnah wiedergegeben werden, da die hier verwendeten IBIS-Modelle die Treiber-spezifischen Einschaltverzögerungen nicht korrekt modellieren. Zur Simulation der differentiellen Datensignale sind BUS\_LVDS-Modelle zu verwenden (siehe Abschnitt 3.3). Diese weisen in der Simulation Einschaltverzögerungen relativ zu den LVDSEXT-Treibern der Adress- und Taktsignale auf, welche nicht mit den im Datenblatt des Vir-



**Abbildung 4.10:** Signalform des durch den FPGA zu HAGEN getriebenen Taktsignals an FPGA und den HAGEN-Hälften bei 300 MHz. Der Terminierungswiderstand an der linken HAGEN-Hälfte beträgt  $75 \Omega$ .

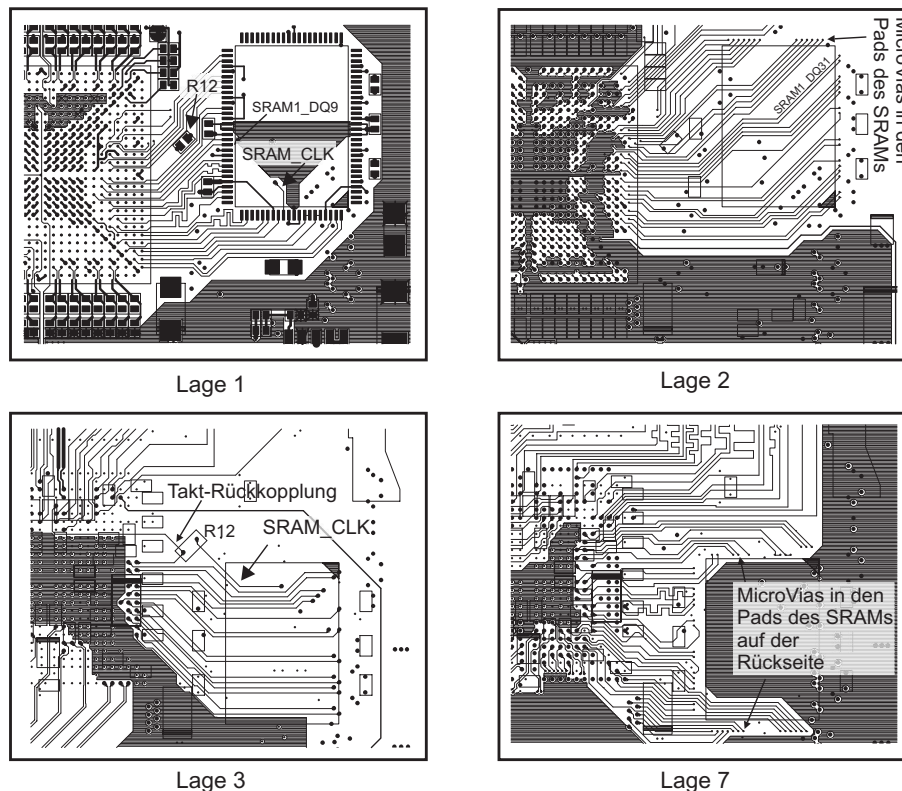
tex II angegebenen Werten übereinstimmen. Aufgrund dieser unterschiedlichen Werte, bleibt auch die Analyse des zeitlichen Verhaltens von Takt zu Daten zukünftigen Messungen vorbehalten.

Ein weiterer Aspekt der Schnittstelle zu HAGEN sind die differentiell verlegten, aber mit einzelnen Signalen betriebenen Leiterbahnen der DirectIOs. Der Abstand der einzelnen Leiterbahnen beträgt (abhängig von der Lage) 150 bis  $180 \mu\text{m}$  was dazu führt, dass Übersprechen zwischen den Leiterbahnen eines differentiellen Paares auftreten kann (siehe Abschnitt 2.1.4). Ob dieses Übersprechen zu falschem Ansprechen von Empfängern an HAGEN oder dem FPGA führt, kann nicht abgeschätzt werden.

#### 4.2.5 Statisches (S-) RAM

Jeweils ein SRAM-Baustein ist auf Vorder- und Rückseite der Platine rechts des FPGAs angeordnet. Lage 5 kann in diesem Bereich nicht für die SRAM-Leiterbahnführung verwendet werden (siehe Abbildung 4.8, da hier in y-Richtung die Leiterbahnen der MGT-Signale verlaufen. Diese Leiterbahnen sind möglichst isoliert von anderen Signalen und Vias zu verlegen (siehe Abschnitt 4.2.3.1). Daher sollte die Anzahl der Vias zwischen FPGA und SRAMs möglichst klein sein. Auf der Unterseite der Platine sind im Bereich des FPGAs die Blockkondensatoren platziert, was dortige Leiterbahnführung ausschließt.

Die Aufsicht in Abbildung 4.11 zeigt, dass die Leiterbahnen des SRAM-Bausteins auf der Oberseite vollständig auf Lage 1 und 2 geführt sind. Durch konsequente Anwendung von MicroVias und Anbindung der dem FPGA zugewandten Anschlüsse des SRAMs auf Lage 1, sind hier keine mechanischen Bohrungen nötig. Die Strategie, diese möglichst zu vermeiden, wird auch für den SRAM-Baustein auf der Rückseite angewendet. Alle dem FPGA zugewandten Anschlüsse dieses SRAMs werden durch MicroVias in den Pads auf Lage 7 kontaktiert. Der Lagenwechsel zum FPGA erfolgt direkt an dessen Anschlüssen durch versetzte Buried- und MicroVias. Nur die vom FPGA abgewandte Seite des SRAMs auf der Unterseite wird mit normalen Vias durch Leiterbahnen auf Lage 3 kontaktiert. Der Lagenwechsel zum FPGA erfolgt auch hier direkt an dessen Anschlüssen und verur-



**Abbildung 4.11:** Leiterbahnführung der SRAM-Schnittstelle. Der Baustein auf der Oberseite wird über Lagen 1 und 2 angebunden, der Baustein auf der Unterseite auf Lagen 3 und 7. Lage 8 findet sich in den Lagenplänen in Anhang B.1.

sacht keine Vias im Bereich der MGT-Leiterbahnen. Der Bereich zwischen FPGA und den SRAMs bleibt somit, abgesehen von einigen Vias zur Stromversorgung, frei von mechanischen Bohrungen, wodurch auch die korrekte Impedanz der MGT-Datenleitungen gewährleistet ist.

#### 4.2.5.1 Anforderungen an die Signallaufzeiten

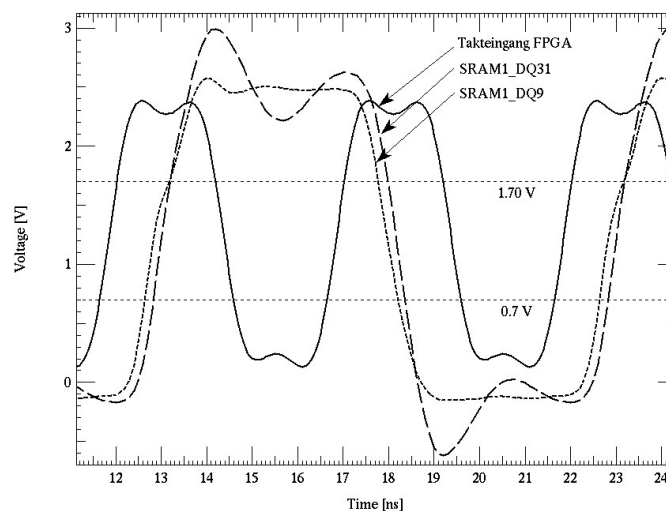
Abbildung 4.11 zeigt einen Ausschnitt aus der Leiterbahnführung der SRAM-Schnittstelle auf Lage 3. Wie in Abschnitt 3.3.2 beschrieben, wird das vom FPGA zur Taktung der SRAMs verwendete Signal sowohl zum SRAM als auch zurück zum FPGA geführt. Die Rückführung zum FPGA erfolgt direkt. Die Weiterleitung zum SRAM wird als Stichleitung an dieser Rückführung betrachtet. Sie wird an dem Serienterminierungswiderstand  $R_{12}$  abgegriffen und an die Takteingänge der SRAMs geführt, um Reflexionen auf der Stichleitung zu terminieren (analog zu den SSTL\_2-Leitungen auf den DDR-SDRAM-Modulen, die ebenfalls serienterminiert werden). Der Widerstand selbst befindet sich auf der Oberseite und wird durch Vias in den Pads kontaktiert.

Abbildung 4.11 zeigt einige mäanderförmige Strukturen auf Lage 1 und 7. Hierbei handelt es sich um die Datenleitungen der SRAMs. Bei der Datenübertragung zum SRAM müssen die Signale in einer definierten Phasenlage zum Taktsignal an das SRAM gelangen. Die Daten werden jedoch am FPGA mit einer Phasenlage ausgegeben, die durch die Synchronisierung des Taktsignales vorgegeben ist. Diese Phasenlage, sowie die Setup- und Hold-Zeiten der Empfänger-Flip-Flops, bestimmen am SRAM ein Zeitfenster relativ zu den Flanken des Taktsignals, innerhalb dem die Datensignale stabil sein müssen. Um dieses Zeitfenster möglichst groß zu halten, werden die Signallaufzeiten auf den Datenleitungen durch die mäanderförmigen Verlängerungen an die Signallaufzeit des Taktsignals angepasst (siehe Abschnitt 4.2.2). Gemäß während des Layouts durchgeführter Simulationen erfahren

die Datensignale der SRAM-Schnittstelle einen Laufzeitunterschied von maximal  $\pm 100$  ps gegenüber der Signallaufzeit des Taktsignals.

#### 4.2.5.2 Simulationen

Die Signalqualität einiger besonderer Signale der SRAM-Schnittstelle wird anhand von Simulationen überprüft. Die Treiber- bzw. Empfängermodelle des FPGAs werden wieder der Bibliothek des Virtex II entnommen. Es werden IBIS-Modelle der LVCMOS-Treiber mit einer Belastbarkeit von 12 mA verwendet. Für die SRAM-Bausteine werden durch den Hersteller IBIS-Modelle bereitgestellt [Int00]. Exemplarisch wird die Simulation eines Lesezugriffs auf SRAM1 (SRAM1 schreibt Daten) bei der maximalen Taktfrequenz von 200 MHz dargestellt. In Abbildung 4.12 findet sich die Signalform des rückgekoppelten Taktsignals und zweier Datensignale an den Eingängen des FPGAs.



**Abbildung 4.12:** Signalformen an den Anschlüssen des FPGAs, wenn Daten vom SRAM gesendet werden. Dargestellt ist das rückgekoppelte Taktsignal mit einer Frequenz von 200 MHz und die Daten mit der längsten und kürzesten Signallaufzeit.

Wie in Abschnitt 4.2.5.1 erwähnt, beträgt der maximale Laufzeitunterschied zweier Signale der SRAM-Schnittstelle 100 ps. In Abbildung 4.12 ist das Signal mit der längsten (SRAM1\_DQ31) und das mit der kürzesten (SRAM1\_DQ9) Laufzeit dargestellt. Der Abstand der Flanken beträgt erwartungsgemäß etwa 200 ps. Deutlich erkennbar ist der Unterschied in der Signalform.

Das stärker verzögerte Signal SRAM1\_DQ31 zeigt starkes Einschwingen. Die LVCMOS-Schwelenspannungen (0,7 und 1,7 V) werden durch den Rückschwing-Vorgang aber nicht über- bzw. unterschritten. Das Signal wird also korrekt ausgewertet. Das Einschwingen des Signals wird durch die Anregung des Schwingkreises aus Induktivität, Kapazität und ohmschem Widerstand des FPGA-Eingangs hervorgerufen (siehe Abschnitt 2.1.6). Die Frequenz des Einschwingvorgangs hat eine Periodendauer von etwa 3 ns (siehe Abbildung 4.12), was einer Frequenz von 33 MHz entspricht. Die Ausgangstreiber des SRAMs haben eine Anstiegszeit von  $t_r = 1$  ns [Int00]. Mit Gleichung 2.16 beträgt somit die Anregungsfrequenz des Schwingkreises  $f_{\text{sin}} = \frac{1}{3t_r} \approx 33$  MHz. Das Einschwingen ist somit erklärbar.

Die Signalform des Taktsignals am Eingang des FPGAs zeigt, dass der gewählte Treiber mit einer Stärke von max 12 mA durch die Kapazitäten der SRAM-Takteingänge und des FPGA-Takteingangs stärker belastet wird, als die Treiber der Datenleitungen. Eine mögliche Erklärung dafür ist, dass diese Kapazität während einer Taktperiode nicht vollständig umgeladen wird, so dass die nominalen



LVC MOS-Pegel 0 V und 2,5 V nicht vollständig erreicht werden. Da die Schwellenspannungen 0,7 und 1,7 V aber deutlich über- bzw. unterschritten werden, kann das Taktsignal vom FPGA ausgewertet werden.

Die Überlagerung der Signale in Abbildung 4.12 ermöglicht weiterhin eine Abschätzung über das zeitliche Verhalten der Signale am FPGA. Um das zeitliche Verhalten abzuschätzen, muss der Stimulus des SRAM-Treibers verzögert werden. Die Verzögerung ergibt sich aus folgenden Überlegungen: Die Gesamtlänge der rückgekoppelten Taktleitung ist so gewählt, dass sie der Länge der Taktleitung zu den SRAMs entspricht (inkl. Terminierungswiderstand). Somit liegt das vom FPGA gesendete Taktsignal phasengleich am FPGA und den SRAMs an. Das SRAM sendet nun Daten zu einer festen Zeit  $t_{CD} = 3,2 \text{ ns}$  nach der steigenden Taktflanke [Int00]. Um Taktsignal und Daten in der Phase zu erhalten, wie sie tatsächlich am FPGA anliegen, wird der Stimulus des SRAM-Treibers um  $t = t_{d,CLK} + t_{CD} = 3,37 \text{ ns}$  relativ zum Stimulus des FPGA-Treibers verzögert (mit der Laufzeit des Taktsignals zum SRAM  $t_{d,CLK} = 0,17 \text{ ns}$ ).

Die so entstandene Überlagerung in Abbildung 4.12 macht deutlich, dass die steigende Flanke des Taktsignals kurz vor dem Zustandswechsel der Datensignale am FPGA ankommt. Da das Fenster aus Setup -und Hold-Zeit vor der steigenden Flanke des Taktsignals liegt [xil01], können die Daten am FPGA gelesen werden.

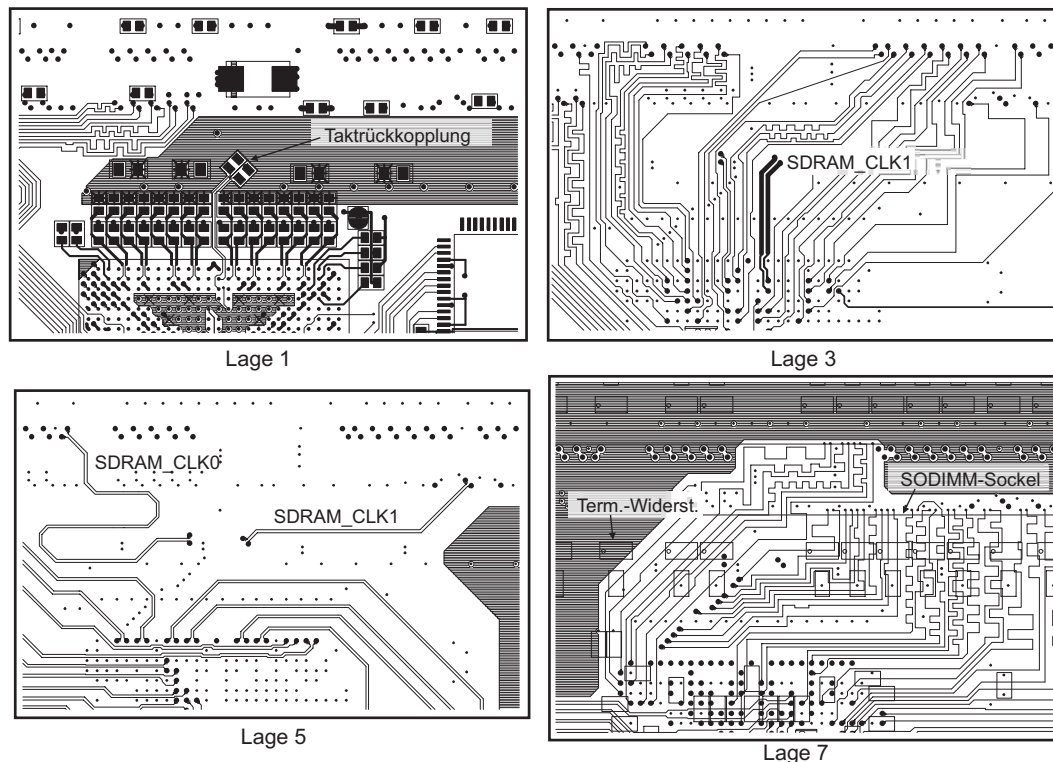
Die Simulation elektrischer Signale mit Hilfe der Software SPECCTRAQuest liefert eigentlich nur die Grundlage zur Analyse der elektrischen Integrität eines Signals. Die Beurteilung der Synchronität wurde anhand von abgelesenen Werten vorgenommen. Somit erlauben die gewonnenen Ergebnisse zwar eine Abschätzung des zeitlichen Verhaltens der Signale, liefern aber keine definitiven Resultate.

#### 4.2.6 Synchron dynamisches DDR (SD-) RAM

Der Sockel des DDR-SDRAMs befindet sich auf der Rückseite der Platine. Ebenso werden die zur Terminierung der SSTL\_2-Leiterbahnen erforderlichen Terminierungswiderstände auf der Rückseite, möglichst nahe an den Kontakten des Sockels, platziert. Da der Sockel zwei Kontaktreihen hat, sind auch auf der dem FPGA zugewandten Seite des Sockels Bauteile platziert, was in diesem Bereich keine Leiterbahnführung ermöglicht. Abbildung 4.13 zeigt einen Ausschnitt aus dem Bereich der DDR-SDRAM-Schnittstelle. Die Konturen der Bauelemente auf der Unterseite sind in der Abbildung von Lage 7 mit eingezeichnet. Aus Abbildung 4.13 ist weiterhin ersichtlich, dass Lage 1 im Bereich des FPGAs fast vollständig durch die Filterbauelemente der MGT-Stromversorgung eingenommen wird.

Priorität bei der Leiterbahnführung haben hier die differentiellen Taktsignale SDRAM\_CLK0/1 des DDR-SDRAMs. Sie erfordern Leiterbahnführung mit einer Impedanz von  $Z = 100 \Omega$ , was aufgrund der Belegung von Ober- und Unterseite mit Bauteilen nur noch auf den Lagen 3 und 5 möglich ist. Aus Abbildung 4.13 ist ersichtlich, dass Lage 5 durch die in x-Richtung verlaufenden Leiterbahnen der MGT-Signale belegt ist. Daher werden die Leiterbahnen der Taktsignale zunächst auf Lage 3 nach außen geführt und wechseln im Bereich oberhalb der MGT-Signale auf Lage 5. Die zum Lagewechsel von SDRAM\_CLK1 benötigten Vias werden außerdem so platziert, dass auf der Oberseite die Rückkopplungsleitung des Taktsignals mit den beiden Serierterminierungswiderständen  $R11$  angeschlossen werden kann. Die Verbreiterung der Leiterbahnen des Signals SDRAM\_CLK1 wird in Abschnitt 4.2.6.2 durch Simulationen gerechtfertigt.

Die Verwendung normaler Vias an allen Kontakten des Sockels würde die Leiterbahnführung zur oberen Leiste des Sockels erschweren, da die einzelnen Kontakte des Sockels einen Abstand von lediglich 0,6 mm zueinander haben. Daher wird der größtmögliche Teil der dem FPGA zugewandten Kontaktreihe, von Lage 7 kommend, durch MicroVias kontaktiert.



**Abbildung 4.13:** Leiterbahnführung der DDR-SDRAM-Schnittstelle im Bereich des zur Rückkopplung verwendeten Taktsignals SDRAM\_CLK1.

#### 4.2.6.1 Anforderungen an die Signallaufzeiten

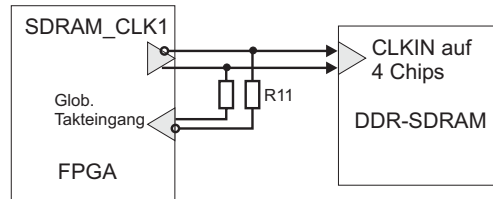
Die Datenübertragung zwischen FPGA und DDR-SDRAM wird, analog zur SRAM-Schnittstelle, durch die Rückführung eines Taktsignals zum FPGA synchronisiert (siehe Abschnitt 3.3.3.1). Die Besonderheit dieser Schnittstelle ist, dass zwei Taktsignale zum DDR-SDRAM übertragen werden und dass zum Schreiben von Daten zum DDR-SDRAM acht Strobe-Signale um  $\pi/2$  phasenverschoben mit den Daten übertragen werden müssen. Daraus entsteht zunächst die Bedingung, dass die Signallaufzeiten der Strobe- und Datensignale etwa gleich sein müssen, um diese Phasenverschiebung nicht zu zerstören. Um die Taktsignale an beiden Hälften des DDR-SDRAM-Moduls in Phase zu halten, ist die Signallaufzeit auf deren Leiterbahnen ebenfalls identisch zu halten. In [xil03] wird ausgeführt, dass der Zeitgrenzwert für den Unterschied der Signallaufzeiten aller Signale relativ zu SDRAM\_CLK1 etwa 700 ps beträgt. Dieser Grenzwert wird nochmals durch unterschiedliche Signallaufzeiten im Gehäuse des FPGAs und auf dem DDR-SDRAM-Modul reduziert. Auf NATHAN wird ein maximaler Laufzeitunterschied von 12 ps relativ zu SDRAM\_CLK1 erreicht. Die hierfür erforderlichen mäanderförmigen Verzögerungstrecken finden sich in Abbildung 4.13. Auf Lage 5 befinden sich die differentiellen Taktleitungen. Da rechtwinklige Knicke die differentielle Impedanz des Signals SDRAM\_CLK0 ändern würden, wird die Verzögerung dieser Leiterbahn bogenförmig mit 45°-Knicken realisiert.

#### 4.2.6.2 Simulationen

Bezüglich der Signalintegrität stellt sich das Taktsignal SDRAM\_CLK1 als kritisch heraus, da durch den Abgriff der Taktrückkopplung eine Impedanzdiskontinuität an dieser Stelle entsteht. Die erwartete Signalform kann anhand von Simulationsergebnissen optimiert werden und wird exemplarisch für die auf der DDR-SDRAM-Schnittstelle durchgeführten Simulationen gezeigt. Treiber/Empfänger

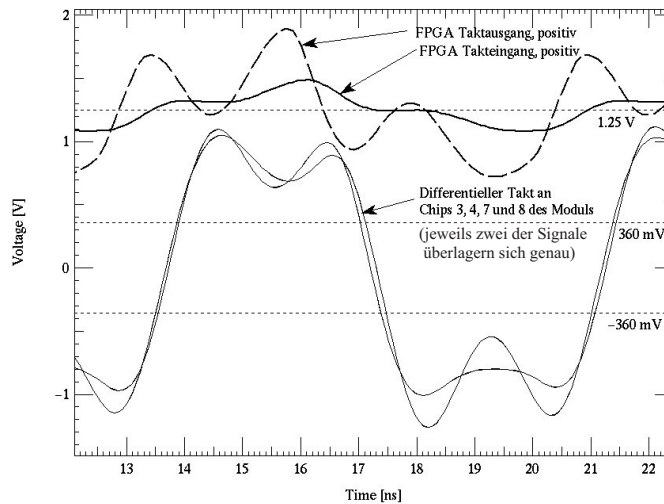
(SSTL\_2, Class I) des FPGAs werden durch Modelle für den Virtex II der Firma Xilinx [xil01] modelliert. Für das DDR-SDRAM-Modul wird durch den Hersteller Micron [Mic02b] ein vollständiges Modell bereitgestellt, welches durch einen *DesignLink* (siehe Abschnitt 2.4) mit dem Sockel des DDR-SDRAMs verknüpft wird. Das Modell des Sockels beruht auf Angaben des Herstellers zu den Parametern  $R$ ,  $L$  und  $C$  [TYC01] und wird nach dem in Abschnitt 2.4.2 beschriebenen Verfahren selbst erstellt. Die Impedanz der Leiterbahnen wird von der Simulationssoftware SPECCTRAQuest anhand der durch Leiterbahnführung und Lagenaufbau der Platine festgelegten Geometrieinformationen ermittelt.

Der simulierte Schaltkreis ist in Abbildung 4.14 illustriert. In einer ersten Simulation werden für



**Abbildung 4.14:** Das differenzielle Taktsignal SDRAM\_CLK1 wird mit der Rückkopplung über  $R_{11}$  simuliert.

die Treiber von SDRAM\_CLK und für die Empfänger am globalen Takteingang SSTL\_2, Class I-Modelle mit interner Serienterminierung verwendet. Der Treiber wird mit einer Taktfrequenz von 133 MHz stimuliert. Der Wert des Serienterminierungswiderstands  $R_{11}$  wird zunächst auf  $25 \Omega$  gesetzt, da angenommen wird, dass der Abgriff der Rückkopplungsleitung in beide Richtungen der Taktleitung zwischen FPGA und DDR-SDRAM die Impedanz  $Z = 50 \Omega$  der ungeraden Mode der jeweiligen Leiterbahn und somit eine Parallelschaltung mit einem Wert von  $25 \Omega$  „sieht“. Das Ergebnis dieser ersten Simulation zeigt Abbildung 4.15.

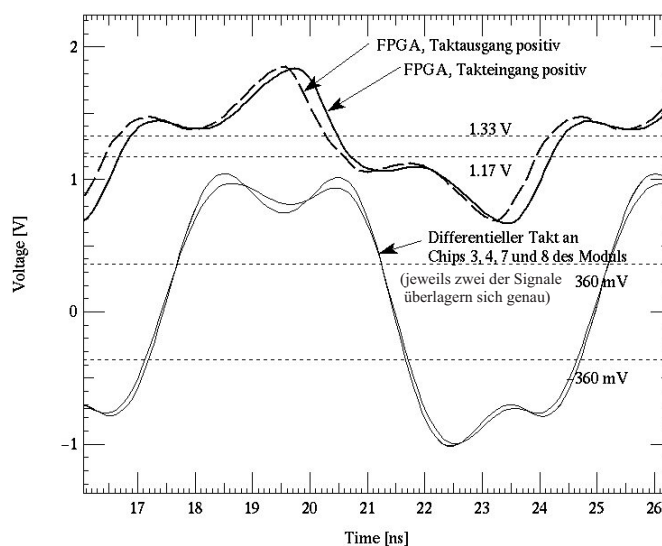


**Abbildung 4.15:** Signalform des Taktsignals SDRAM\_CLK1(#) an allen beteiligten Anschlüssen bei 133 MHz. Da das Signal am FPGA nicht differentiell ausgewertet wird, ist der positive Teil SDRAM\_CLK1 dargestellt. Die differentielle Impedanz bis zum Abgriff der Rückkopplung beträgt  $100 \Omega$ .

Die Darstellung ist so gewählt, dass in der oberen Hälfte die Spannungskurven am positiven Taktoutput und am positiven Takteingang des FPGAs dargestellt sind. In der unteren Hälfte findet sich die Spannungskurve der Differenzspannung an den Takteingängen der DDR-SDRAM-Chips auf

dem Modul. Die geforderten differentiellen Schwellenspannungen von  $\pm 360\text{ mV}$  werden an den Takteingängen der Chips jeweils überschritten, so dass das Signal dort auswertbar sein sollte. Allerdings schwankt das am FPGA anliegende Eingangssignal nur um wenige  $100\text{ mV}$  um die SSTL\_2-Gleichtaktspannung von  $1,25\text{ V}$ . Es hat zudem keine definierten Flanken und stellt kein auswertbares Signal dar. Die Spannungskurve am Taktausgang des FPGAs zeigt, dass das Signal dort durch starke Reflexionen überlagert wird (es sollte rechteckige Form haben), welche sich in abgeschwächter Form auch in der Signalform am Takteingang finden. Der Ursprung dieser Reflexionen kann nicht direkt festgestellt werden, da sie sich, wie in Abbildung 4.15 erkennbar, etwa  $1,5\text{ ns}$  nach der steigenden Flanke am Taktausgang ausbilden und somit eine Strecke von insgesamt etwa  $22\text{ cm}$  zurückgelegt haben müssten. Die doppelte Leiterbahnlänge von Taktausgang bis zu einem Chip auf dem Modul beträgt etwa  $16\text{ cm}$ . Reflexion an den Chips wird demnach nicht als direkte Ursache angesehen.

Anhand weiterer Simulationen wird festgestellt, dass die Annahme, dass der Abgriff des rückgekoppelten Taktsignals die halbe Impedanz der Taktleitung sieht, falsch ist. Zunächst zeigt sich, dass der Wert des Serienwiderstands lediglich Einfluss auf die Amplitude des Signals am FPGA-Takteingang, nicht aber auf dessen Form hat. Ebenso bleibt das Signal am Taktausgang des FPGAs und die Signale an den DDR-SDRAM-Chips praktisch unverändert. Dies lässt darauf schließen, dass die Länge des Abgriffs (etwa  $1,5\text{ cm}$ ) so kurz ist, dass sich auf ihm keine Reflexionen ausbilden können, welche dann in dem Serienwiderstand terminiert würden.



**Abbildung 4.16:** Signalform des Taktsignals SDRAM\_CLK1(#) an allen beteiligten Anschlüssen bei  $133\text{ MHz}$ . Hier beträgt die Impedanz auf Lage 3 bis zum Abgriff des rückgekoppelten Taktsignals etwa  $60\ \Omega$ .

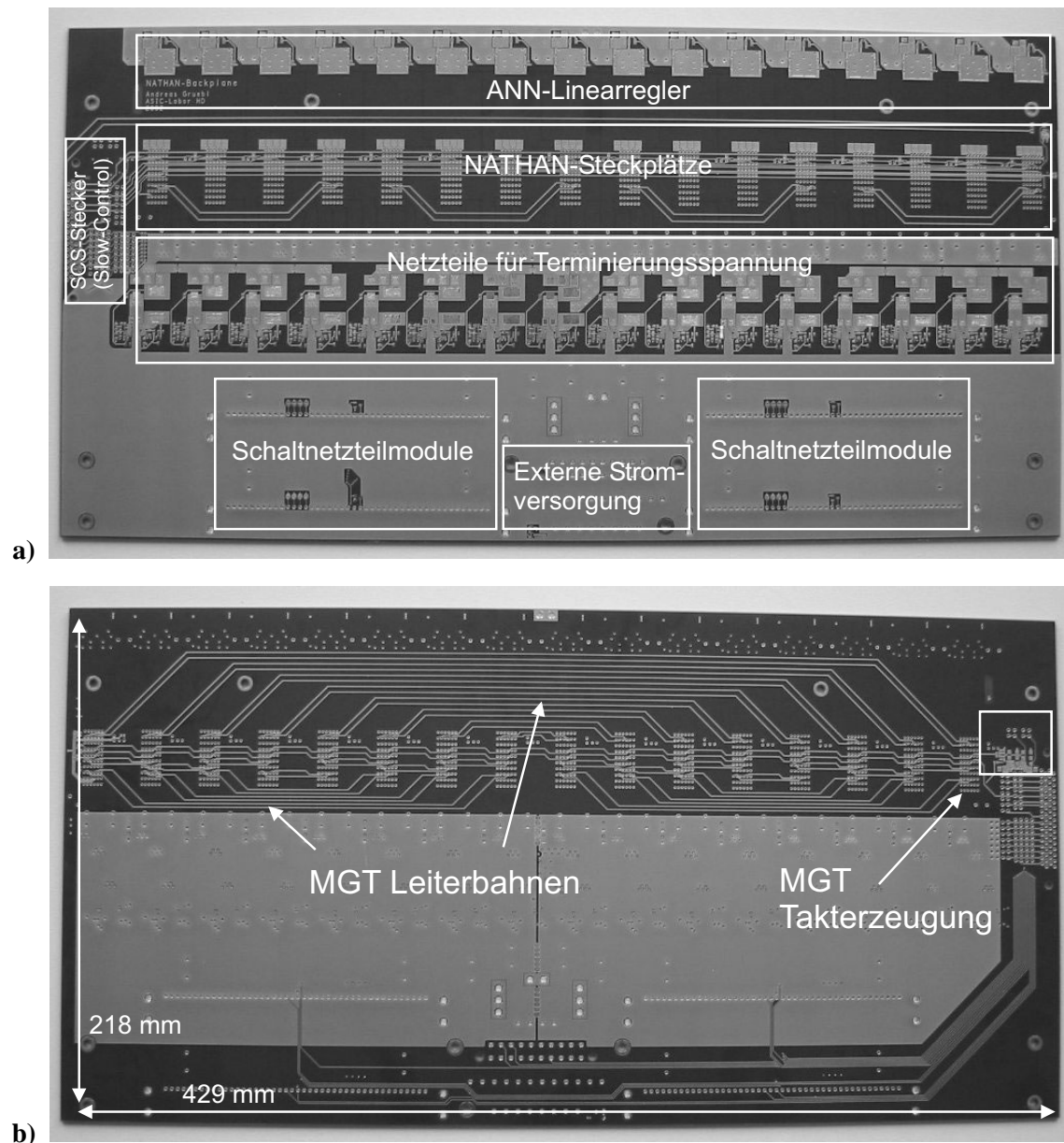
Es stellt sich heraus, dass sich die Impedanzen der Leiterbahnen am Abgriff der Rückkopplungsleitung anders verhalten, als zunächst angenommen. Offenbar verhalten sich am Abgriff der Rückkopplungsleitung die Leiterbahnen der Rückkopplungsleitung und die zum DDR-SDRAM-Modul geführte Leiterbahn als Parallelschaltung, so dass die Impedanz der Leiterbahn (vom Taktausgang des FPGAs kommend) vor dieser Abzweigung  $50\ \Omega$  betragen muss. Wie in Abbildung 4.13 dargestellt, wird die Breite der Leiterbahnen auf Lage 3 bis zum Abgriff so weit vergrößert, wie es der zur Verfügung stehende Platz zulässt. Bei minimalem Abstand ( $100\ \mu\text{m}$ ) wird eine differentielle Impedanz von etwa  $60\ \Omega$  erreicht. Um die Impedanz der Verzweigung an diesen Wert anzupassen, wird der Wert des Serienwiderstands bei  $25\ \Omega$  belassen. Die Impedanz des Abgriffs berechnet sich nun für die ungerade Mode jeder Leiterbahn (differentiell) zu  $50\ \Omega + 25\ \Omega = 75\ \Omega$ . Damit beträgt die differentielle Impedanz des Abgriffs  $150\ \Omega$ . Die Impedanz der Parallelschaltung beträgt damit  $60\ \Omega$ . Die Simulation dieser Konfiguration zeigt Abbildung 4.16.

Die von den SSTL\_2-Eingängen des FPGAs geforderten Schwellenspannungen  $V_{IH,MIN} = 1,33\text{ V}$  und  $V_{IL,MAX} = 1,17\text{ V}$  werden nun am Takteingang des FPGAs erreicht. Das Signal weist im Bereich der Schwellenspannungen eine definierte Flanke auf. Ebenso bleiben die Pegel der Differenzspannung an den DDR-SDRAM-Chips ober- bzw. unterhalb der geforderten Schwellenspannungen.

Das Layout der Leiterbahnen auf Lage 3 wird aufgrund dieser Simulationsergebnisse so belassen, wie es Abbildung 4.13 zeigt. Die Überprüfung der Realitätsnähe dieser Simulationsergebnisse bleibt zukünftigen Messungen vorbehalten, da mit der Simulationssoftware SPECCTRAQuest bisher keine Erfahrungen bestehen. Zudem kann keine Aussage getroffen werden, ob die für die Treiber/Empfänger des FPGAs verwendeten Simulationsmodelle das Verhalten des Virtex II-Pro akkurat wiedergeben.

### 4.3 Layout der Backplane

Abbildung 4.17 zeigt ein Foto von Ober- und Unterseite der unbestückten Backplane des NATHAN-Systems. Die Lagenpläne dieser Platine finden sich in Anhang B.2. Auch die Bestückung der Backplane kann im Rahmen der vorliegenden Arbeit nicht durchgeführt werden. Die Anordnung der wichtigsten Komponenten ist in Abbildung 4.17 gezeigt.



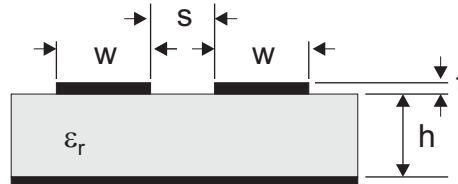
**Abbildung 4.17:** a) Ober- und b) Unterseite der unbestückten Backplane. Die zugehörigen Lagenpläne finden sich in Anhang B.2.

Hervorzuheben ist die Leiterbahnführung der MGT-Signale. Sie erfolgt analog zu der in Abbildung 3.17 gezeigten, eindimensionalen Topologie. Lediglich die vier Verbindungen, welche Kreuzungspunkte verursachen, werden auf der Oberseite verlegt. Die Unterseite wird im Bereich der NATHAN-Steckplätze vollständig durch die übrigen MGT-Signale sowie die differentiellen Taktsignale eingenommen. Links auf der Oberseite finden sich die Bohrungen zum Anschluss des SCSI-Steckverbinders, welcher den Kontakt zu Darkwing herstellt. Die Leiterbahnen der Slow-Control

verlaufen auf der Oberseite zwischen den Bohrungen der NATHAN-Sockel.

### 4.3.1 Impedanzkontrollierte Strukturen

Auf der Backplane ist Leiterbahnführung mit kontrollierter Impedanz für alle Datenleitungen mit einer differentiellen Impedanz von  $Z = 100 \Omega$  erforderlich. Differentielle Datenleitungen befinden sich auf Lagen 1 und 4, so dass aufgrund des symmetrischen Aufbaus der Backplane identische Microstrip-Konfigurationen auf Lage 1 und 4 verwendet werden. Der Microstrip-Querschnitt mit den zur Berechnung der Impedanz verwendeten Parametern ist in Abbildung 4.18 dargestellt. Um die



**Abbildung 4.18:** Verwendete Parameter zur Berechnung der Microstrip-Konfiguration.

Eigenschaften differentieller Datenleitungen auszunutzen, wird der Abstand  $s$  auf das Minimalmaß von  $s = 130 \mu\text{m}$  gesetzt. Durch den Lagenaufbau der Backplane ergeben sich folgende Parameter:

Dicke der Leiterbahnen	$t = 35 \mu\text{m}$
Höhe des Dielektrikums	$h = 200 \mu\text{m}$
Dielektrizitätskonstante	$\epsilon_r = 4,2$

Die Berechnung des freien Parameters  $w$  wird dem in SPECCTRAQuest integrierten Field Solver überlassen<sup>55</sup>. Um eine differentielle Impedanz von  $Z = 100 \Omega$  zu erhalten, muss  $w = 200 \mu\text{m}$  betragen. Anwendung dieser Werte auf die Näherung aus Gleichung 2.25 ergibt  $Z \approx 99 \Omega$ . Die Leiterbahnführung differentieller Datenleitungen erfolgt also mit  $w = 200 \mu\text{m}$  und  $s = 130 \mu\text{m}$ .

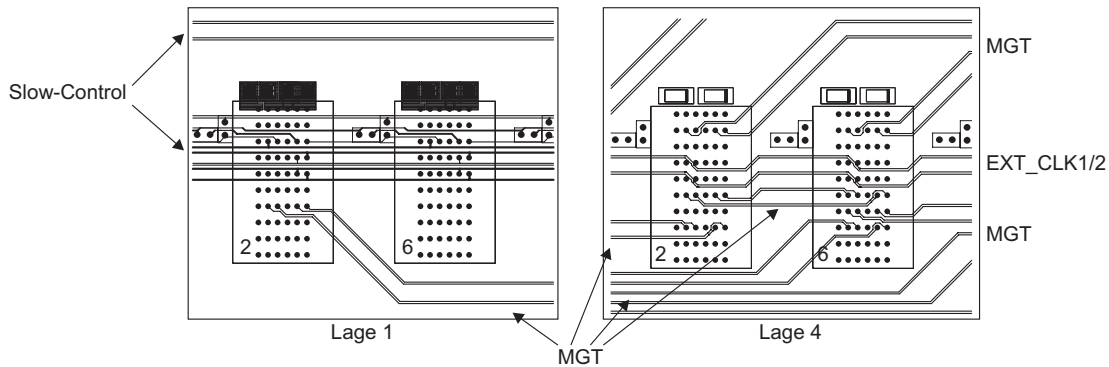
### 4.3.2 Leiterbahnführung auf der Backplane

Die höchste Aufmerksamkeit bei der Leiterbahnführung auf der Backplane gilt den Leiterbahnen der MGT-Signale und der differentiellen Taktsignale EXT\_CLK1 und EXT\_CLK2. Die Leiterbahnen der MGT-Signale werden fast vollständig auf Lage 4 geführt, was durch die Realisierung der in Abbildung 3.17 dargestellten Anordnung der einzelnen Steckplätze ermöglicht wird. Die vier in Abbildung 3.17 markierten Signale, welche auf Lage 4 Kreuzungspunkte verursachen würden, werden auf Lage 1 geführt. Abbildung 4.19 zeigt die Leiterbahnführung auf Lage 1 und 4 im Bereich der NATHAN-Steckplätze 2 und 6<sup>56</sup>. Um Störungen durch Übersprechen zwischen den einzelnen MGT-Leiterbahnen zu minimieren, werden diese nach Verlassen des Anschlussfeldes der Steckverbinder mit größtmöglichem Abstand geführt. Die Leiterbahnen von EXT\_CLK1 und EXT\_CLK2 werden parallel an jedem NATHAN-Sockel abgegriffen. Um die geforderte differentielle Impedanz von  $Z = 100 \Omega$  mit den Werten aus Abschnitt 4.3.1 konstant zu halten, werden die beiden Leiterbahnen mit gleichbleibendem Abstand jeweils von links oben nach rechts unten an den entsprechenden Kontakten des Steckverbinders vorbeigeführt.

Die Leiterbahnen der Slow-Control befinden sich auf Lage 1 und sind geradlinig durch die Anschlussfelder geführt. Da ein Großteil der Slow-Control-Signale statisch ist, gehen von diesen Signa-

<sup>55</sup>Der Field Solver ermittelt den Wert für  $w$  durch Iteration nach dem in Abschnitt 2.4 beschriebenen Verfahren. Es wird der Wert für  $w$  ausgegeben, mit dem  $Z = 100 \Omega$  am besten erreicht wird.

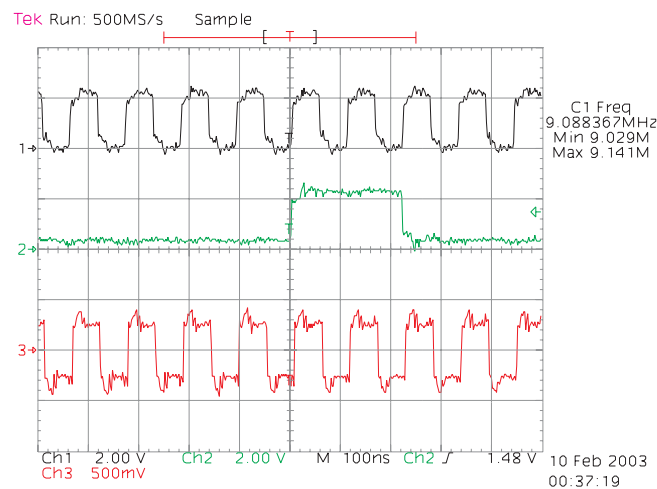
<sup>56</sup>Die Nummerierung erfolgt gemäß dem Schema in Abbildung 3.17.



**Abbildung 4.19:** Leiterbahnführung auf Lagen 1 und 4 im Bereich der NATHAN-Steckplätze 2 und 6 auf der Backplane.

len keine Störungen durch Übersprechen auf andere Leiterbahnen aus, so dass die parallele Leiterbahnführung auf voller Länge kein Problem darstellt. Die auf der Slow-Control zur Datenübertragung verwendeten Signale SLOW\_CLK und GL\_DIN sind nicht statisch. Die Leiterbahnen dieser Signale werden pseudodifferenziell geführt, um durch sie verursachte Störungen zu minimieren.

Zum Betrieb der Slow-Control existiert bereits eine Anpassung des Darkwing-Systems an die Schnittstelle der Backplane. Für erste Tests wird die Backplane mit dem SCSI-Stecker und dem LVDS-Transmitter zur Datenübertragung in Richtung Darkwing bestückt. Abbildung 4.20 zeigt den positiven Teil der pseudodifferenziellen Signale SLOW\_CLK (oben) und GL\_DIN (Mitte) am letzten NATHAN-Sockel der Backplane. Die Flanken der von Darkwing kommenden SLOW\_CLK nähern



**Abbildung 4.20:** SLOW\_CLK am letzten NATHAN-Sockel der Backplane (oben) und zugehöriges Datensignal (Mitte). Unten: Differenzielles Taktsignal am SCSI-Stecker Richtung Darkwing.

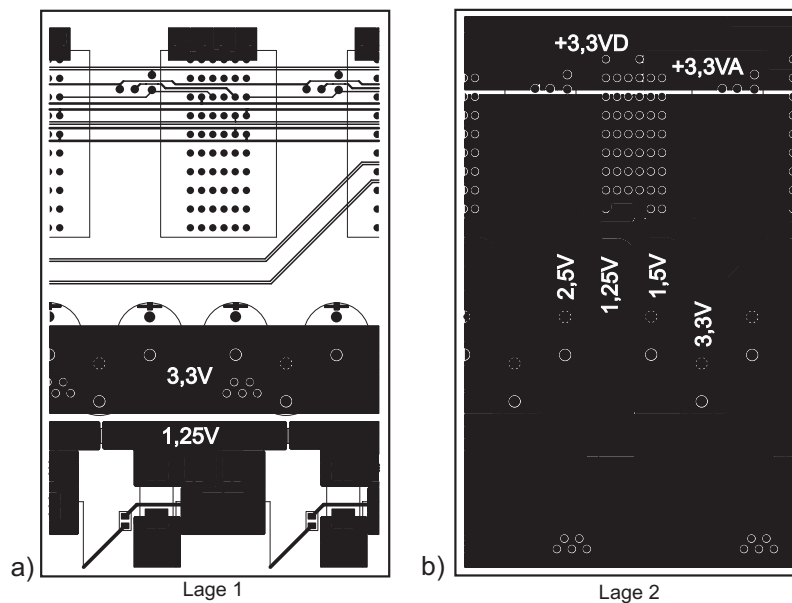
sich stufenförmig dem Signalpegel an. Ursache für diesen Effekt ist eine Leiterbahnimpedanz, welche kleiner als die Impedanz des Treibers ist. Hierdurch werden die Erwartungen bestätigt, dass die mehrfach kapazitiv belasteten Datenleitungen auf der Backplane eine niedrigere Impedanz als die nominalen  $Z = 100 \Omega$  aufweisen. Leiterbahnen, auf denen dieser Effekt auftritt, werden als *untersteuerte Transmission Lines* bezeichnet [HHM00].

Die Signalform des zurückgeführten Taktsignals lässt aber darauf schließen, dass der LVDS-Transmitter das Taktsignal korrekt auswertet und ohne Bit-Fehler an Darkwing zurücksendet.



### 4.3.3 Spannungsversorgung

Da im Bereich der NATHAN-Sockel Lage 1 und 4 zur Leiterbahnführung und Lage 3 vollständig zur Masseanbindung der Module vorgesehen sind, steht dort lediglich Lage 2 für die Zufuhr der benötigten Versorgungsspannungen zur Verfügung. Weiterhin besteht die Notwendigkeit, an jedem NATHAN-Sockel die Bauteile eines der zur Regelung der DDR-SDRAM-Terminierungsspannung eingesetzten Schaltnetzteile zu platzieren. Die Organisation der Spannungsversorgung basiert nun auf dem Prinzip, die unterhalb der NATHAN-Sockel zur Verfügung stehende Fläche zur Verteilung der einzelnen Versorgungsspannungen in x-Richtung zu nutzen. Die Oberkanten der so entstandenen Kupferflächen werden so nahe an die Steckplätze gelegt, wie es die dortige Leiterbahnführung und die Platzierung der Komponenten des DDR-SDRAM-Schaltnetzteils zulassen. An dieser Oberkante erfolgt mittels mehrerer Vias Kontaktierung aller Kupferflächen auf Lage 2, auf welcher die einzelnen Spannungen fingerförmig in y-Richtung an die NATHAN-Sockel geführt werden. Die so entstehende Aneinanderreihung von „Kupferfingern“ ist exemplarisch in Abbildung 4.21 b) für einen NATHAN-Steckplatz gezeigt. Abbildung 4.21 a) zeigt neben der Verteilung der 3,3 V-Versorgungsspannung in x-Richtung den stromführenden Ausgangspfad der DDR-SDRAM-Schaltnetzteile. Die Ausgangspfade von jeweils vier dieser Netzteile, und damit die Versorgungspfade der entsprechenden NATHAN-Sockel, können durch Schließen der gekennzeichneten Lötbrücken verbunden werden. Somit können bis zu vier NATHAN-Steckplätze über eines der Netzteile versorgt werden (siehe Abschnitt 3.5.6).



**Abbildung 4.21:** Organisation der Spannungszuführung auf Lage 1 und 2 am Beispiel eines NATHAN-Sockels.

Die zur Regelung der analogen und digitalen Versorgungsspannung des HAGEN-Chips eingesetzten Linearregler befinden sich an der Oberseite der Backplane. Die Zuführung dieser Spannungen an die NATHAN-Sockel erfolgt von oben, ebenfalls auf Lage 2. Die einzelnen Kupferflächen auf Lage 2 weisen den minimal zulässigen Abstand von  $130\ \mu\text{m}$  zueinander auf, so dass Lage 2 bis auf kleine Lücken vollständig mit Kupfer ausgefüllt ist. Niederohmige Verbindungen auf der Stromzufuhr sowie die korrekte Impedanz der vier verbleibenden MGT-Signalleitungen, und der differentiellen Datenleitungen der Slow-Control auf Lage 1, sind gewährleistet. Die als Ladungsspeicher fungierenden Elektrolytkondensatoren werden im Stromzuführungspfad auf Lage 2 platziert.

Vollständige Ausnutzung von Lage 2 zur Stromversorgung der NATHAN-Sockel und Leiterbahnführung in x-Richtung über die ganze Breite der Backplane auf Lagen 1 und 4 lassen keinen Raum

für ausreichend dimensionierte Leiterbahnen zur Versorgung der Linearregler an der Oberseite mit der 5 V-Eingangsspannung. Die Spannungsversorgung dieser Linearregler erfolgt über das im Bestückungsplan (Anhang D.2) mit J10 bezeichnete Kabel. Dieses Kabel ist fest zu verlöten und als Bestandteil der Backplane anzusehen.

### Ohmsche Verluste auf der 3,3 V-Versorgung

Die 3,3 V-Versorgung der äußersten NATHAN-Steckplätze 13 und 16 wird als die Verbindung mit den höchsten ohmschen Verlusten eingeschätzt. Der Spannungsabfall bis zum letzten Modul wird abgeschätzt. Die in Abbildung 4.21 angedeutete Verteilung der 3,3 V-Spannung erfolgt, ausgehend von der externen Zuführung, durch eine durchschnittlich 25 mm breite und 75 mm lange Kupferfläche auf Lage 2. Unterhalb der Mitte der NATHAN-Steckplätze, zwischen Modul 14 und 15, findet der Lagenwechsel auf Lage 1 statt, von wo aus in x-Richtung über den durchschnittlich 10 mm breiten und in einer Richtung 185 mm langen Kupferstreifen verteilt wird.

Der spezifische Widerstand von Kupfer beträgt  $\rho = 0,017 \cdot 10^{-6} \Omega\text{m}$ . Die Dicke des Kupfers auf Lage 2 beträgt  $70 \mu\text{m}$ , auf Lage 1  $35 \mu\text{m}$ . Damit beträgt der ohmsche Widerstand des Kupfers auf Lage 2  $R_2 \approx 0,73 \text{ m}\Omega$  und auf Lage 1  $R_1 \approx 9 \text{ m}\Omega$ . Unter der Annahme, dass der erwartete Maximalstrom von 30,4 A durch  $R_2$  und im Mittel ein Viertel des Maximalstroms durch  $R_1$  fließt, ergibt sich bis zum letzten Modul ein Spannungsabfall von  $\Delta U_{3,3\text{V}} \approx 10 \text{ mV}$ . Exakt 3,3 V auf der externen Versorgungsspannung vorausgesetzt, liegt der Spannungsabfall von 10 mV im Toleranzbereich der auf NATHAN zu versorgenden Bauelemente.



## Kapitel 5

# Zusammenfassung und Ausblick

In der vorliegenden Diplomarbeit wurde eine skalierbare Hardware-Plattform zum Training und dem Betrieb hardwarebasierter neuronaler Netze entwickelt. Das entwickelte System wurde auf den ASIC HAGEN ausgelegt, bietet aber auch die Möglichkeit zur Aufnahme zukünftiger ASICs. Im Rahmen dieser Arbeit wurde das System bis zur Bestückungsreife fertiggestellt, wobei die Inbetriebnahme des Systems jedoch noch nicht erfolgen konnte. Die Bestückung und der Funktionstest werden direkt im Anschluss an diese Arbeit durchgeführt werden.

Prämissen für die Entwicklung des Evolutionsmoduls NATHAN waren die optimale Ansteuerung des existierenden ASICs HAGEN, die Fortführung seiner inhärenten Skalierbarkeit über Chipgrenzen hinweg und schließlich die Übertragbarkeit bereits entwickelter Software. Der auf dieser Platine eingesetzte FPGA Virtex II-Pro kann die digitale Schnittstelle des ASICs vollständig bedienen und sollte deren Bandbreite voll ausreizen können. Die Ressourcen des FPGAs in Form frei konfigurierbarer Logik erlauben weiterhin auch die Ausführung der Low-Level Teile eines genetischen Algorithmus direkt in Hardware. Zudem beinhaltet der FPGA einen Mikroprozessor, der die lokale Ausführung eines Linux-Betriebssystems gestattet. Dies erlaubt die Weiterverwendung der bereits im Darkwing-System erfolgreich eingesetzten Struktur der Hardwareansteuerung, welche speicherintensive Vorgänge in die programmierbare Logik verlagert und die Flexibilität in Software realisiert. Insbesondere sollte es möglich sein, die vorhandenen Quelltexte mit geringen Änderungen übernehmen zu können. Zwei Arten von Arbeitsspeicher werden an den FPGA angebunden. Der größere DDR-SDRAM-Speicher kann mit Modulen einer Kapazität von bis zu 1 GB bestückt werden und steht auch dem Mikroprozessor zur Verfügung. Der kleinere SRAM-Speicher der festen Größe 1 MB wird für zeitkritische Vorgänge verwendet.

Die in der Motivation geforderte Skalierbarkeit wird durch den Einsatz des Virtex II-Pro gewährleistet. Zur Vernetzung der Evolutionsmodule untereinander werden die vier seriellen GigaBit-Links dieses FPGAs verwendet. Damit steht jedem Evolutionsmodul eine Bandbreite von maximal 3 Gbps zur Kommunikation mit vier Nachbar-Modulen zur Verfügung. Die Topologie des durch die Vernetzung entstehenden verteilten Systems wurde in Form eines 2D-Torus auf der entwickelten Backplane fest verdrahtet. Die zum Betrieb der einzelnen Evolutionsmodule benötigte Infrastruktur wurde ebenfalls auf dieser Backplane verwirklicht. Dazu gehört sowohl die Schnittstelle zu einem Steuerrechner als auch die lokale Generierung eines Systemtaktes und die Spannungsversorgung der Evolutionsmodule. Die als Slow-Control bezeichnete Schnittstelle zum Steuerrechner ermöglicht die Konfiguration der FPGAs, das Hochladen des Betriebssystems und die Kommunikation mit dem verteilten HAGEN-System.

Die Anwendung modernster Technologien zur schnellen Datenübertragung stellten eine Herausforderung bei der Entwicklung der Platinen NATHAN und der Backplane dar. Daher wurde in dieser Diplomarbeit Wert auf das Verständnis des Analogverhaltens digitaler Signale gelegt. Sowohl die Bauform der gewählten Komponenten, wie auch der Lagenaufbau der Platine und letztlich die konkrete Leiterbahnführung haben dabei entscheidenden Einfluss auf die Signalqualität. Im Falle des

verwendeten FPGAs Virtex II-Pro wurde mit dem Ball-Grid-Array eine Gehäuseform gewählt, die aufgrund ihrer hohen Integrationsdichte kurze Signalwege und damit eine gute Signalqualität garantiert. Aus Gründen der Verfügbarkeit konnte bei anderen Komponenten, z.B. SRAM, die Auswahl nicht nur nach Signalqualitätsmaßstäben erfolgen. Zur weiteren Sicherung der Signalqualität wurde für die Platinen ein Lagenaufbau gewählt, der einzelne Signallagen durch Potentialflächen voneinander abschirmt und auch die Kontrolle der Impedanz kritischer Signale erlaubt. Die Berechnung dieser Impedanzen musste zunächst auf der Basis von Näherungsformeln durchgeführt werden, was nur für die Berechnung symmetrischer Geometrien ausreichend ist. Im Laufe der Arbeit ergab sich durch die Aktualisierung der zum Layout verwendeten CAD-Software die Möglichkeit, auch den asymmetrischen Aufbau auf den Lagen 2 und 7 der Platine NATHAN numerisch zu berechnen.

Darüberhinaus konnte das Analogverhalten einiger Signale anhand von Simulationen überprüft werden. Beispielsweise wurde die differentielle Taktleitung des DDR-SDRAM-Moduls anhand von Simulationsergebnissen optimiert. Die mit der anfangs gewählten Leiterbahnführung gewonnenen Simulationsergebnisse ließen auf ein Signalverhalten schließen, welches die Funktion des DDR-SDRAMs in Frage gestellt hätte. Zur Beurteilung der Simulationsergebnisse ist anzumerken, dass am Kirchhoff-Institut bisher noch keine Erfahrungen mit der Simulationssoftware SPECCTRAQuest bestehen. Die erhaltenen Ergebnisse sind qualitativ plausibel, ihre quantitative Verifikation bedarf allerdings eines Vergleichs mit tatsächlichen Messungen.

Im Rahmen dieser Arbeit konnten die Platinen für eine skalierbare Hardware-Plattform für neuronale Netze fertiggestellt werden. Die zur Bewältigung der komplexen Anforderungen nötige Unterstützung durch Simulationssoftware war nicht von Beginn an verfügbar und führte dazu, dass die Fertigstellung des Layouts länger dauerte als zunächst angenommen. Die vollständige Bestückung und Inbetriebnahme der Platinen konnte daher nicht mehr erfolgen. Die erhoffte Rechtfertigung des betriebenen Aufwands kann somit leider nicht erbracht werden. Diese Platinen bilden aber dennoch die Basis, um ein distributed HAGEN-System aufzubauen, welches durch seine Erweiterungsmöglichkeiten, wie neuartige ASICs oder der Anbindung von Sensoren, die Grundlage für das SenseMaker-Projekt bildet.

# **Anhang A**

## **Schaltpläne**

### **A.1 NATHAN**

Diese Seite bleibt leer. Die Schaltpläne der Platine NATHAN befinden sich auf den folgenden Seiten.

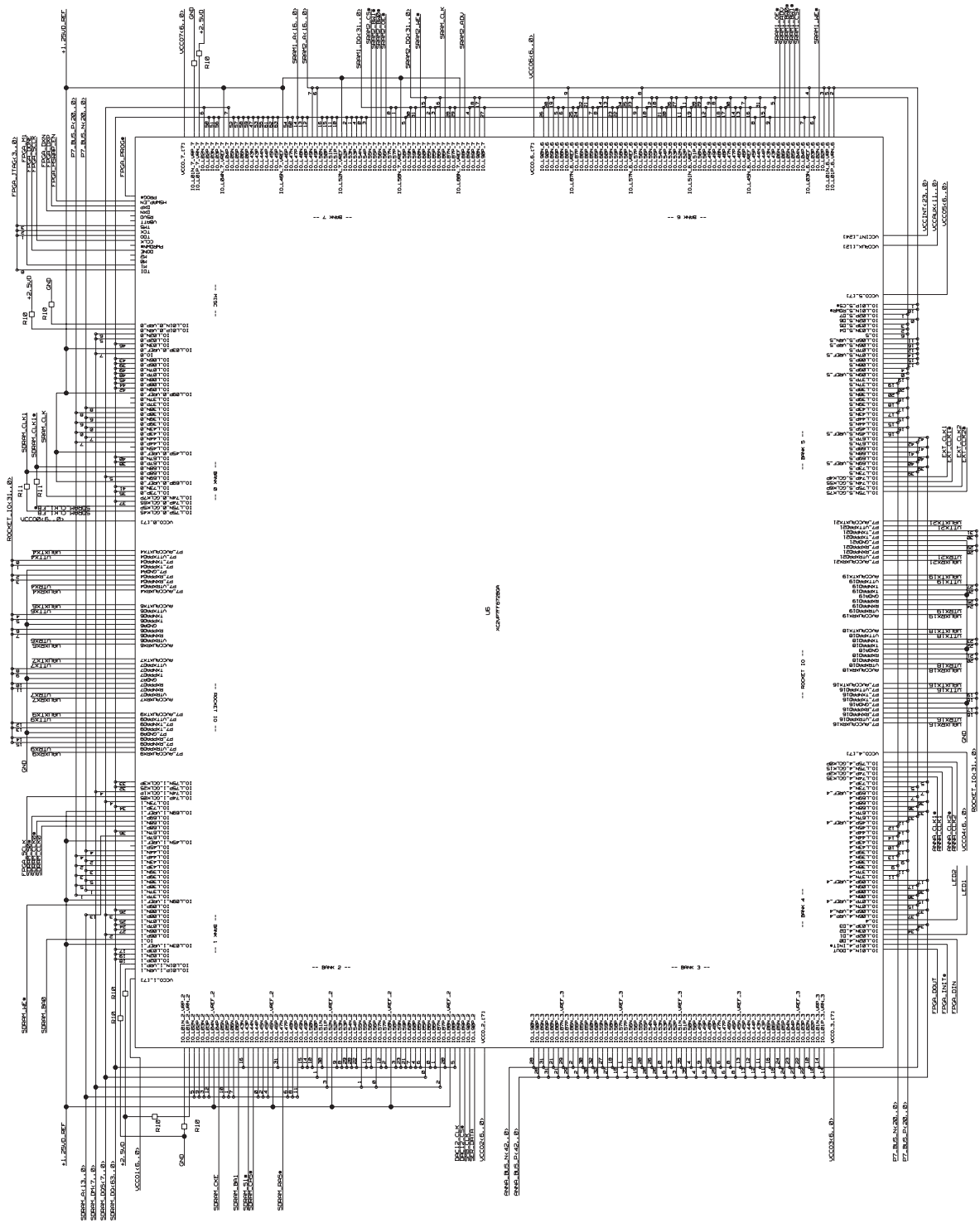


Abbildung A.1: Blatt 1: FPGA.

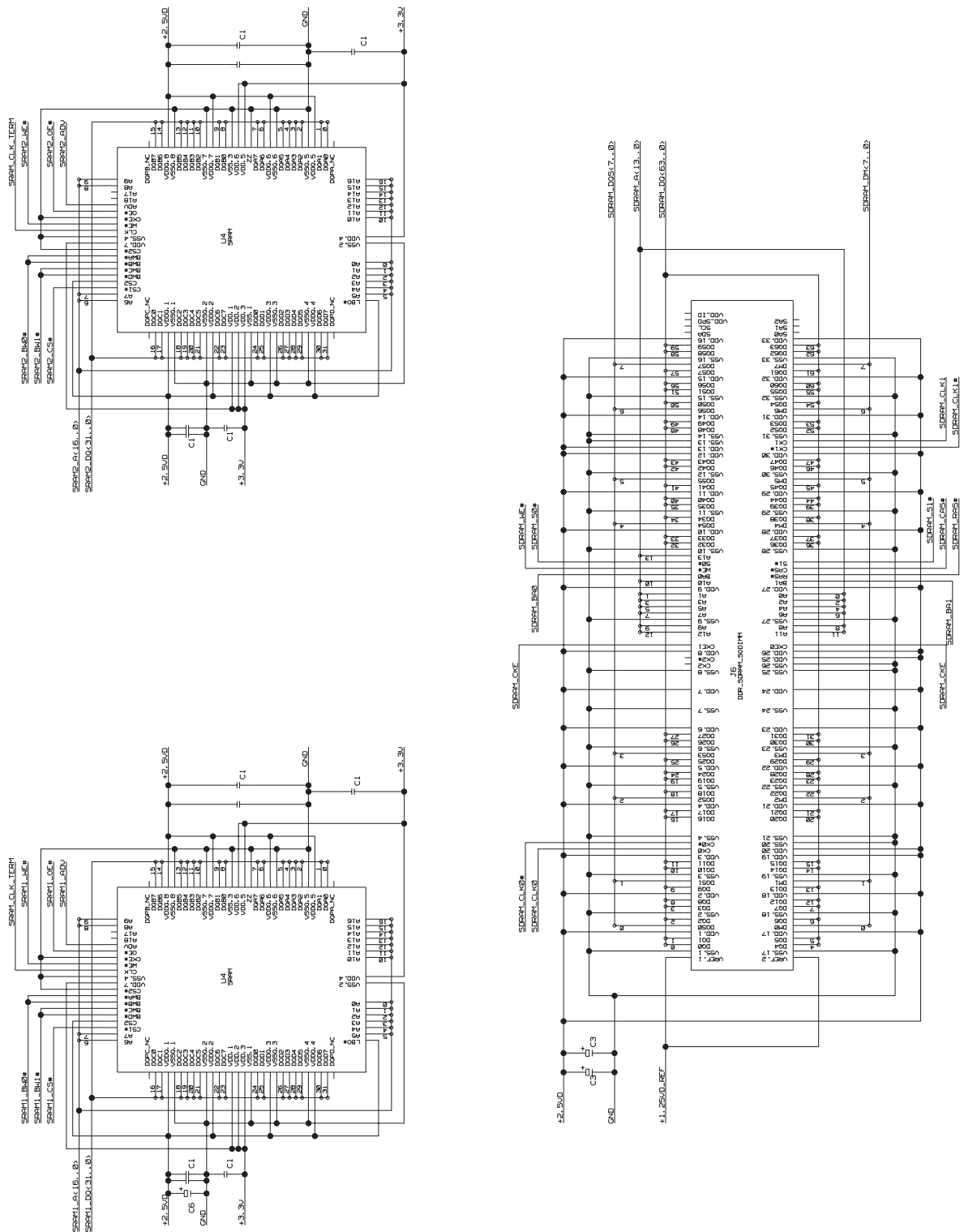


Abbildung A.2: Blatt 2: SRAM und DDR-SDRAM.







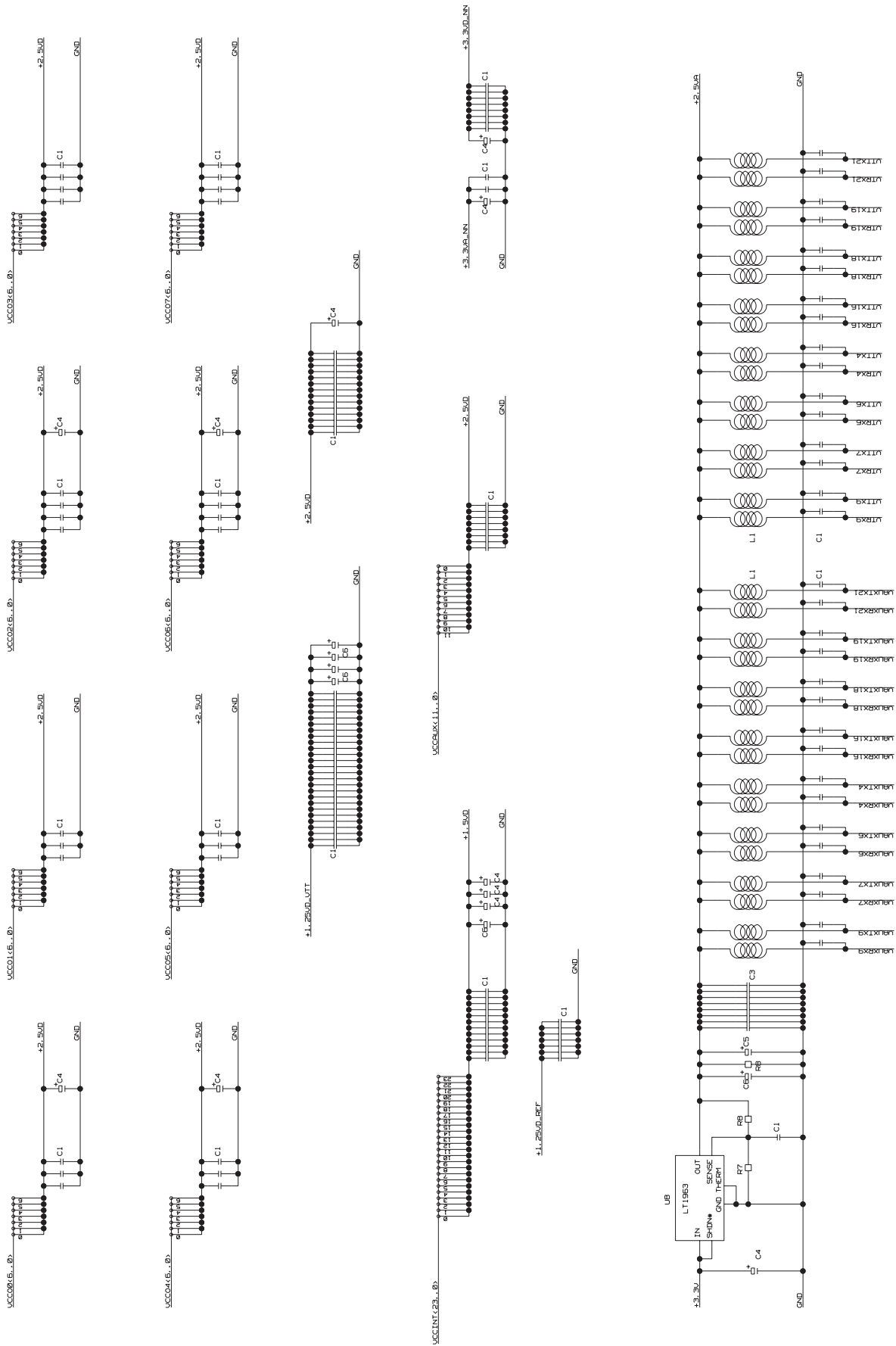


Abbildung A.5: Blatt 5: Blockkondensatoren und MGT-Linearregler.

## **A.2 Backplane**

Diese Seite bleibt leer. Die Schaltpläne der Backplane befinden sich auf den folgenden Seiten.

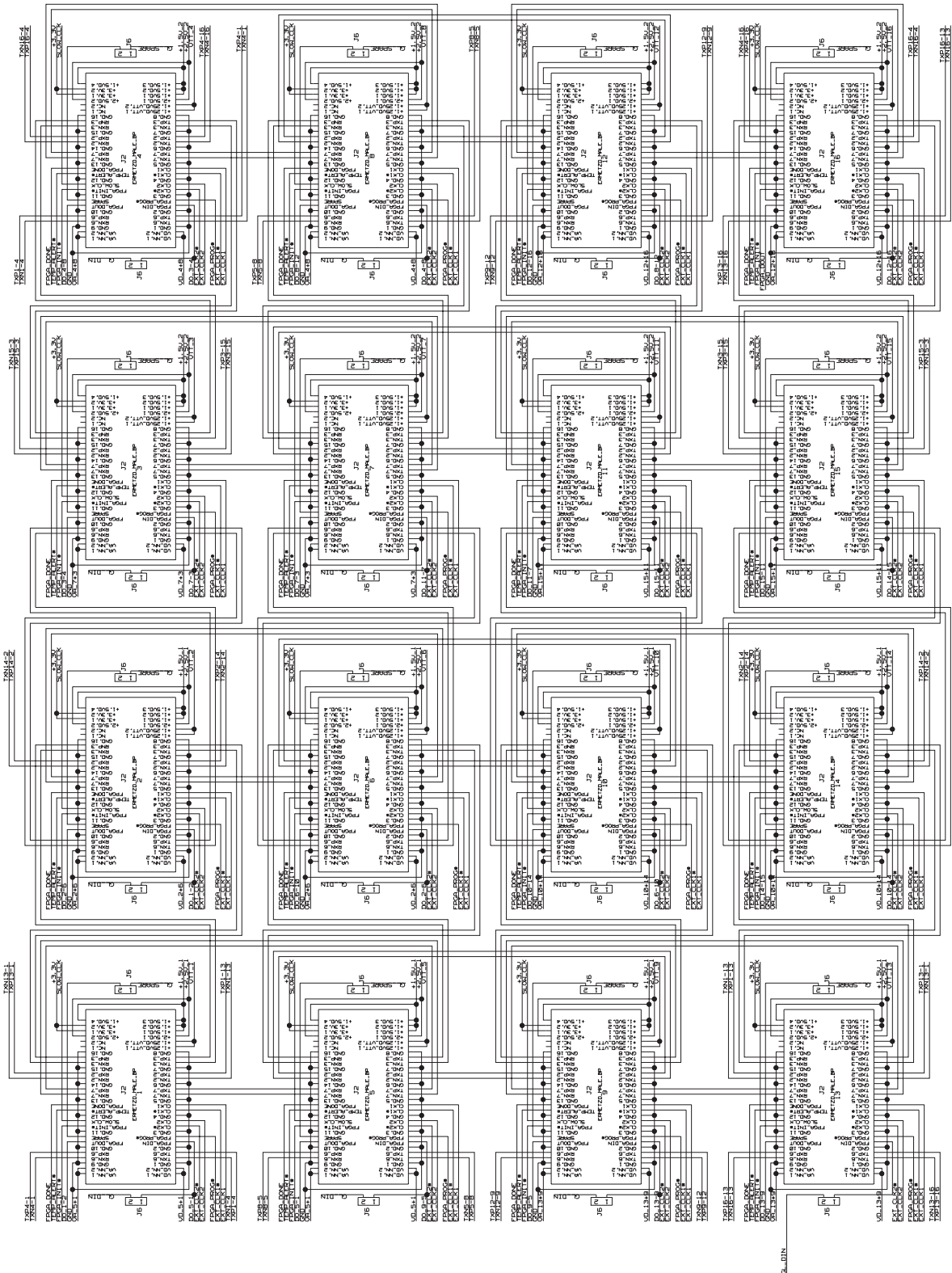


Abbildung A.6: Blatt 1: NATHAN-Sockel.

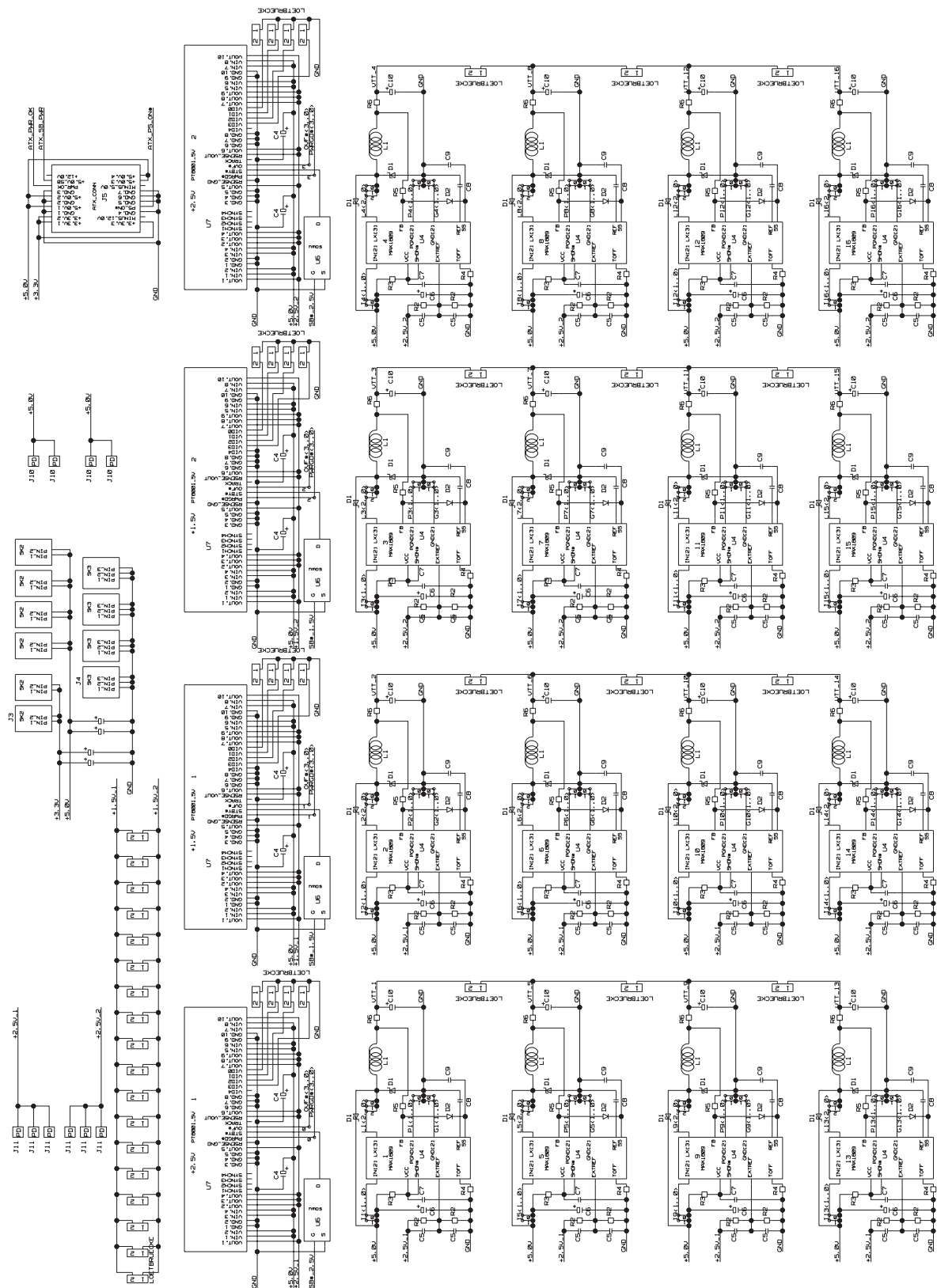


Abbildung A.7: Blatt 2: Netzteil und externe Stromversorgung.

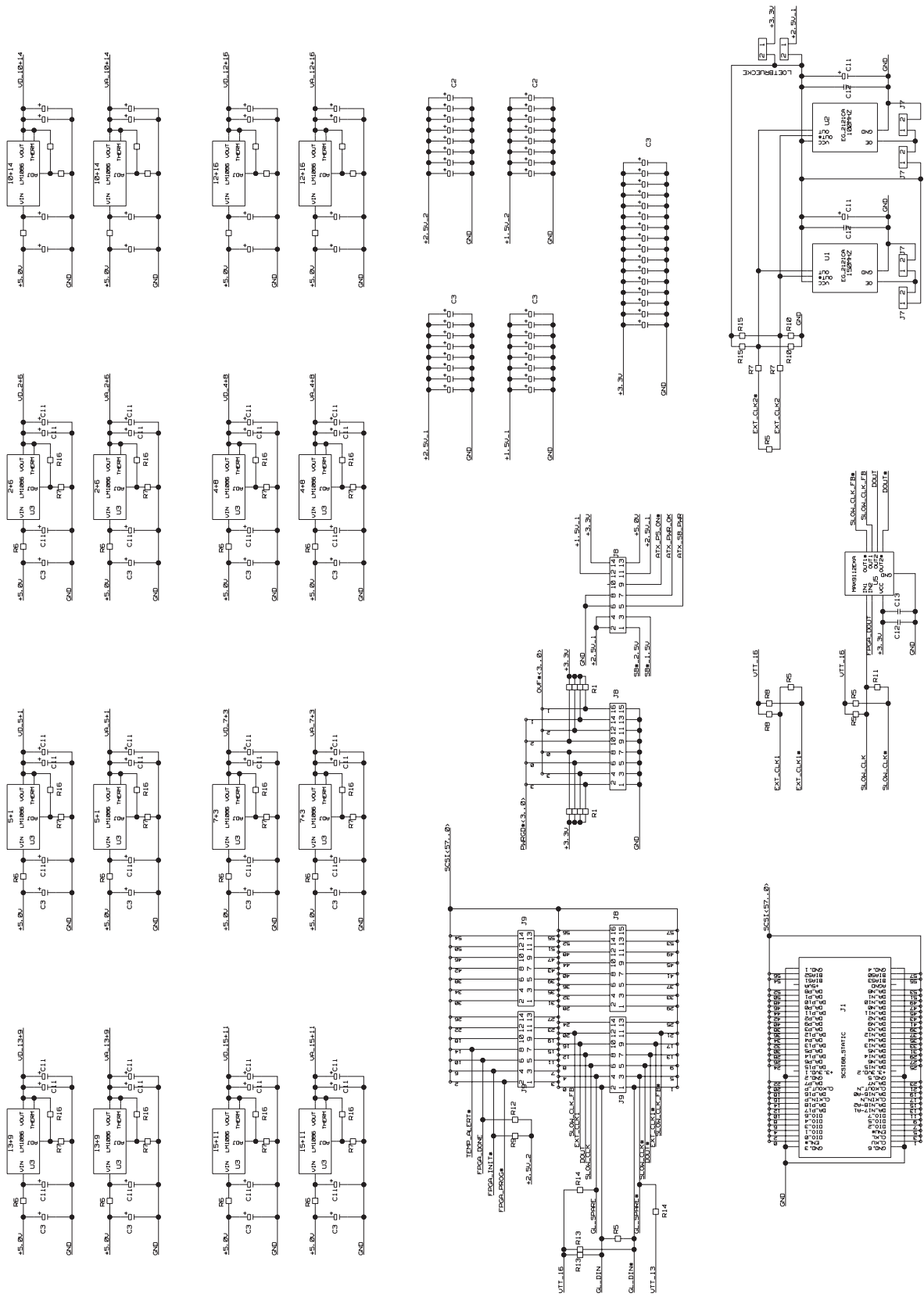
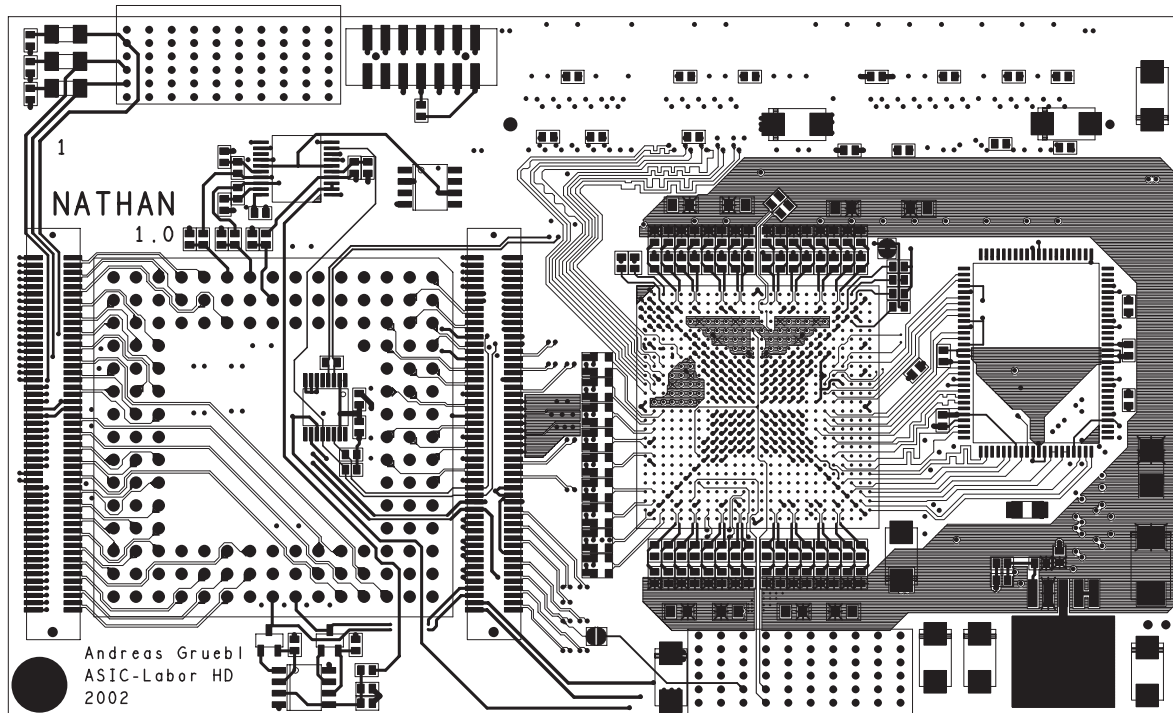


Abbildung A.8: Blatt 3: Linearregler zur ANN-Versorgung, Slow-Control und lokale Taktgenerierung.

# Anhang B

## Lagenpläne

### B.1 NATHAN



**Abbildung B.1:** Lage 1: FPGA (Mitte), ANN-Sockel mit SMT-Steckverbindern (links), SRAM (rechts) und differentielle Steckverbinder (unten, oben).



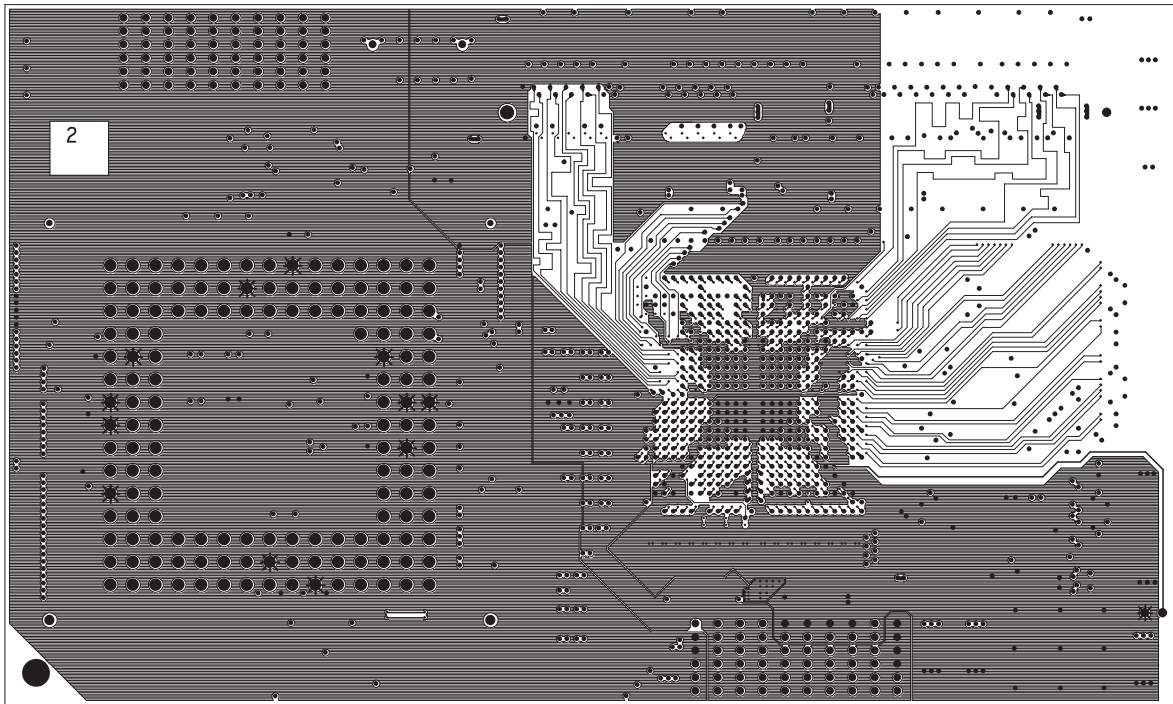


Abbildung B.2: Lage 2: ANN-Versorgung 3,3 V digital (links) und RAM-Leiterbahnen (rechts).

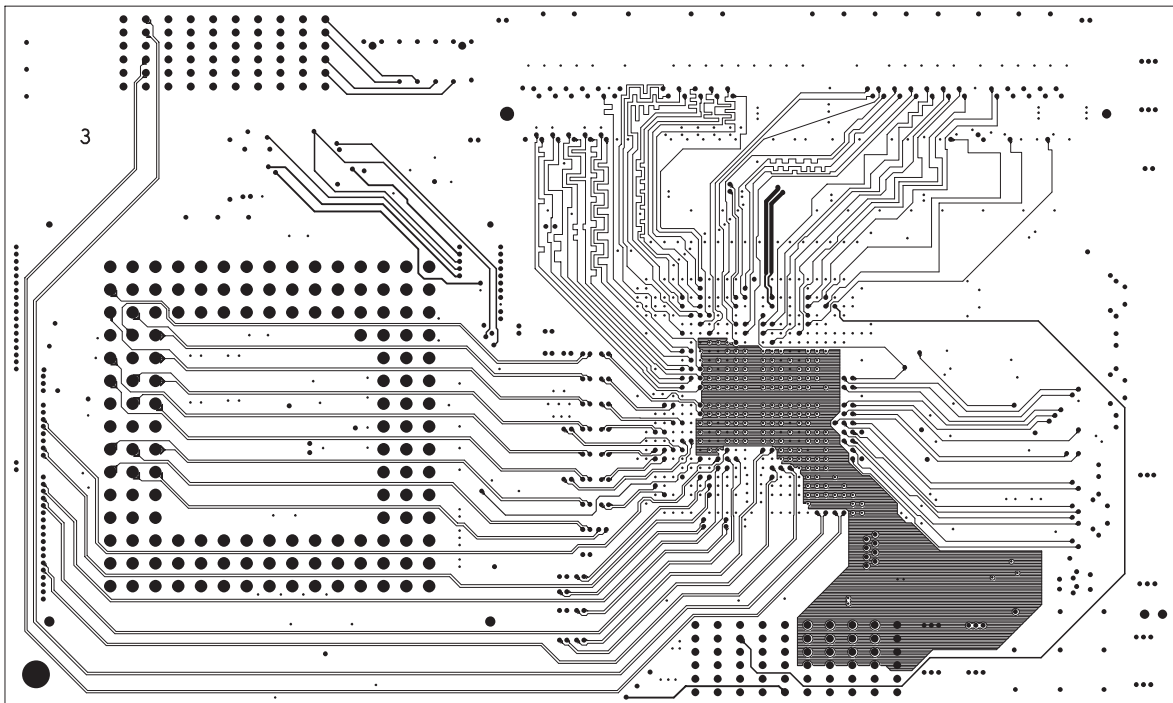


Abbildung B.3: Lage 3: Differentielle Leiterbahnen der ANN-Schnittstelle (links), FPGA-Versorgung 1,5 V (Mitte) und RAM-Leiterbahnen (rechts).

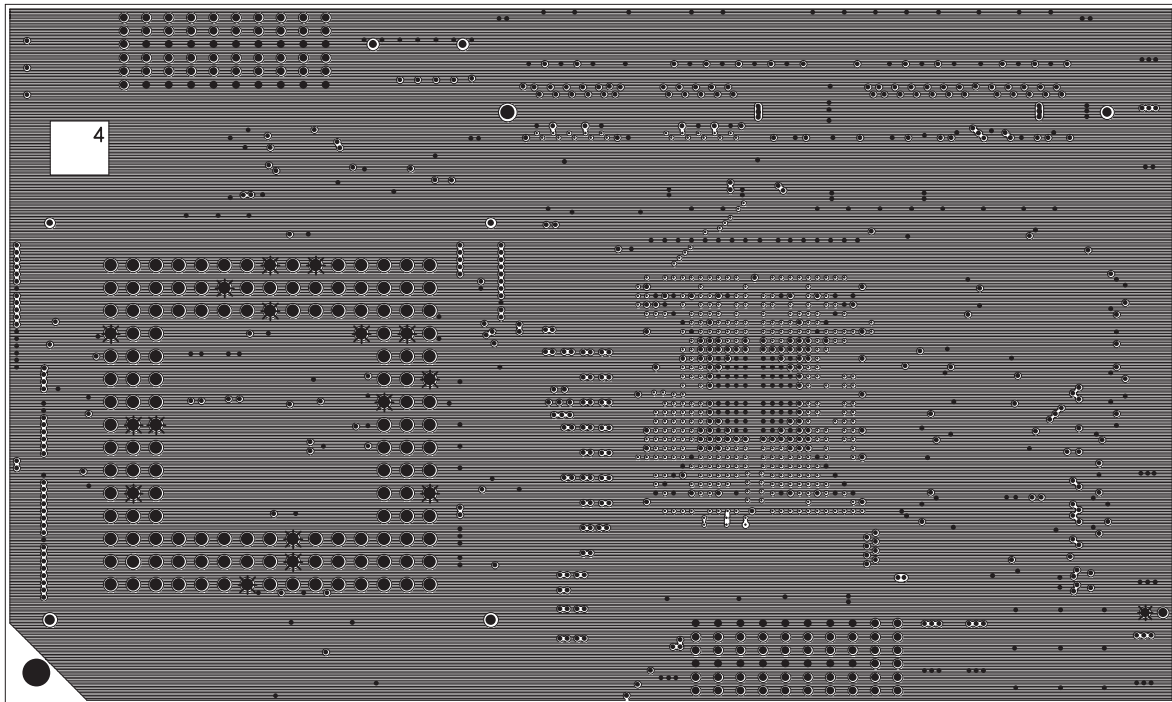


Abbildung B.4: Lage 4: Masse.

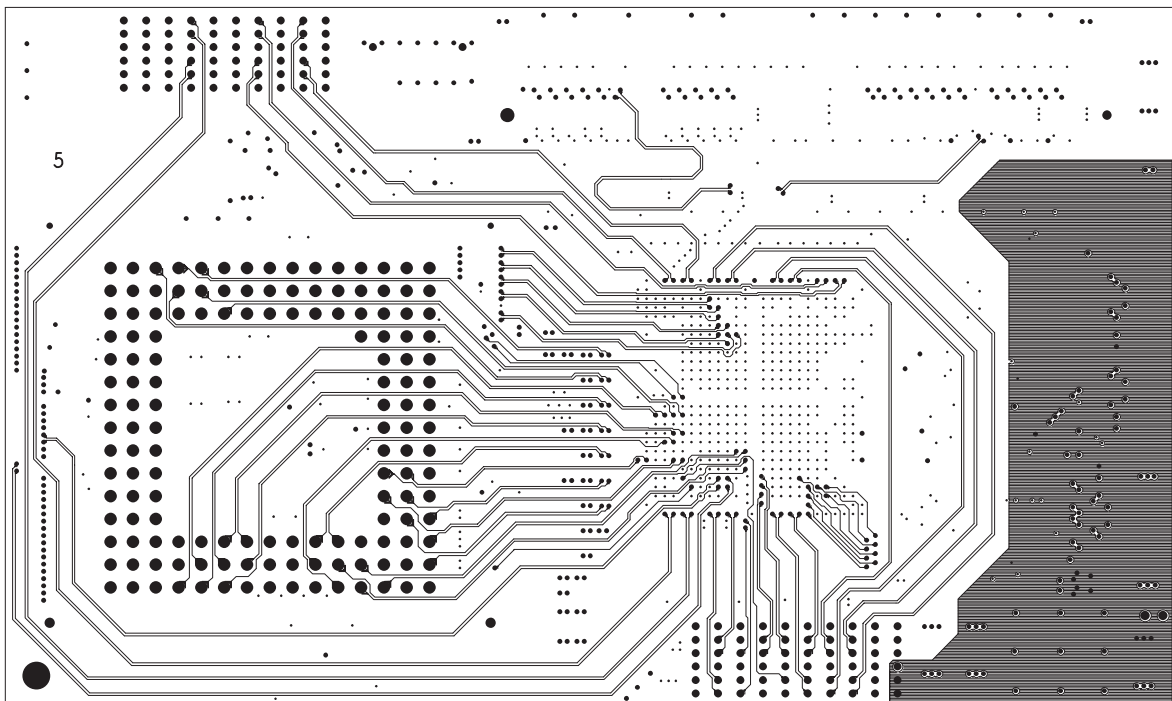


Abbildung B.5: Lage 5: Differentielle Leiterbahnen der ANN-Schnittstelle (links), MGT-Signale und externe Taktsignale (Mitte und unten).

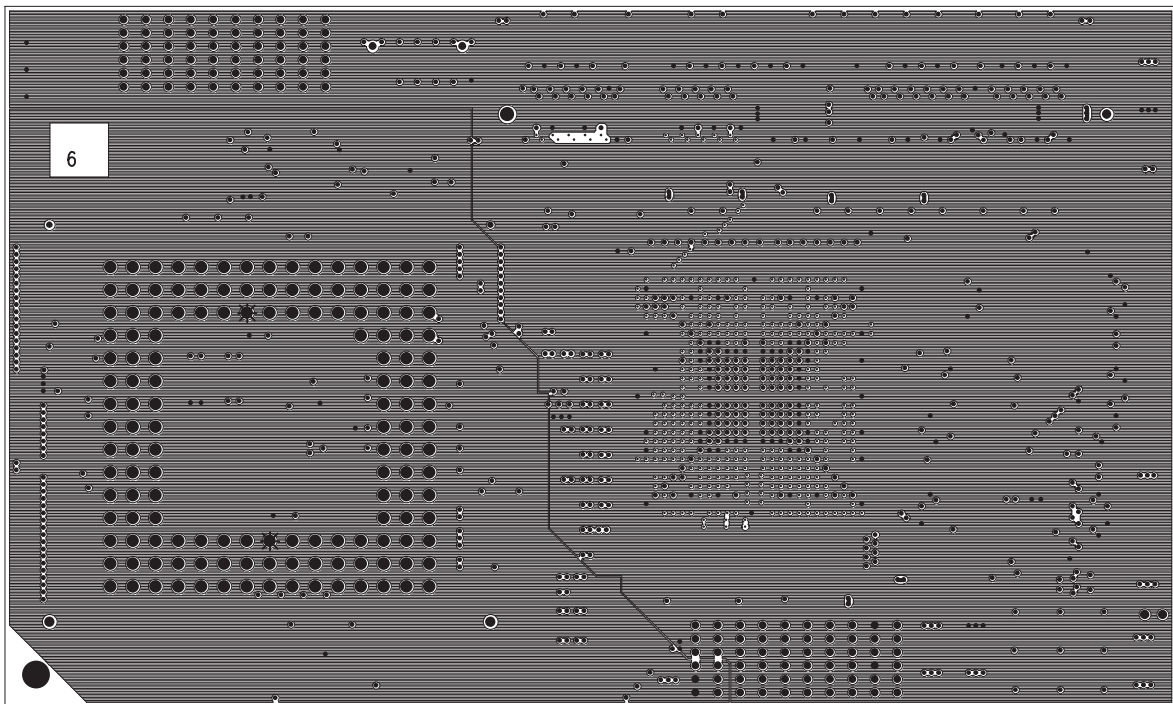


Abbildung B.6: Lage 6: ANN-Versorgung 3,3 V analog (links) und 2,5 V-Versorgung (rechts).

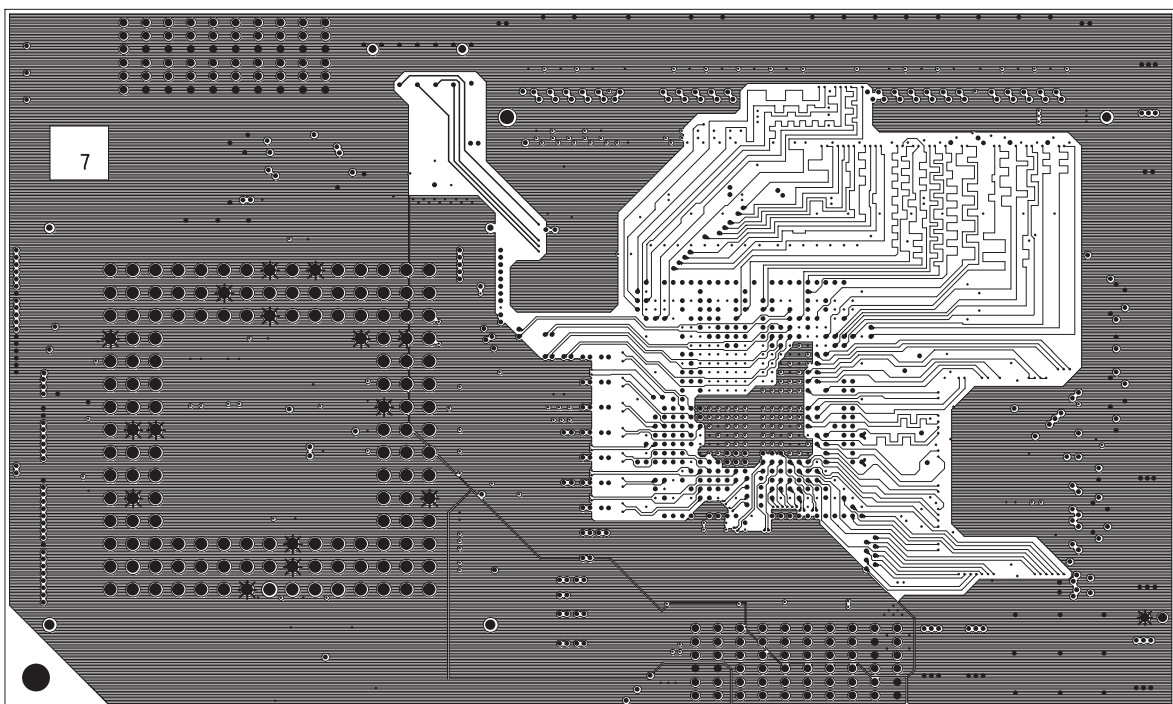
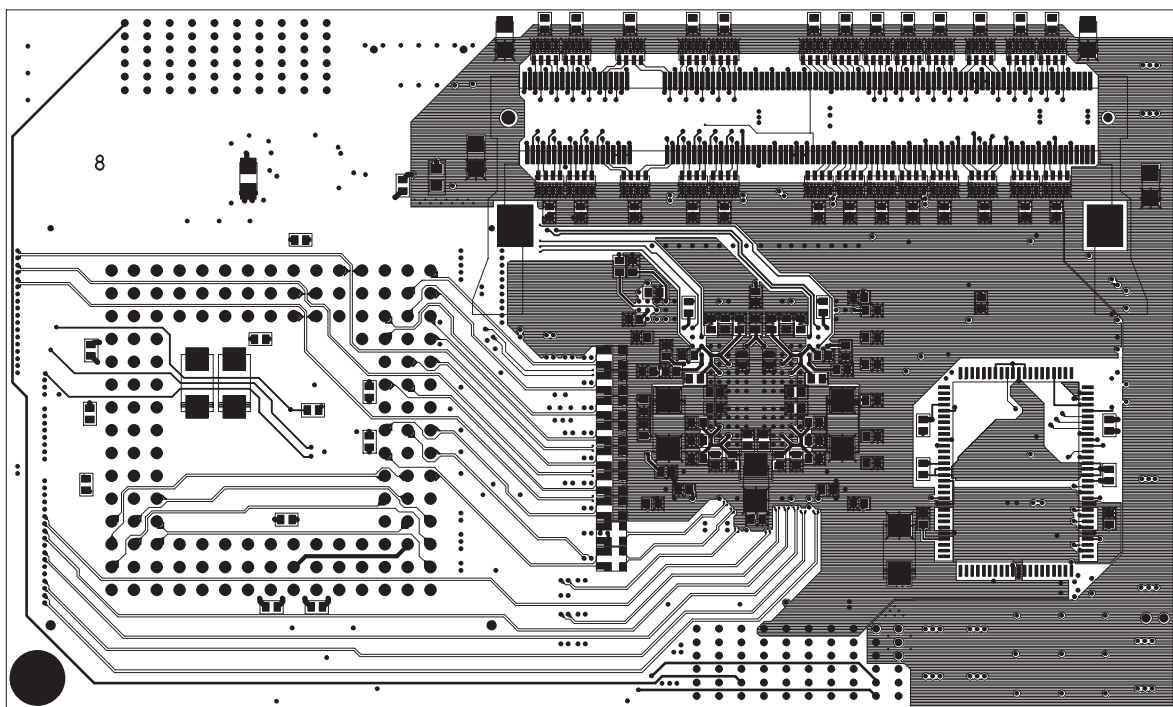


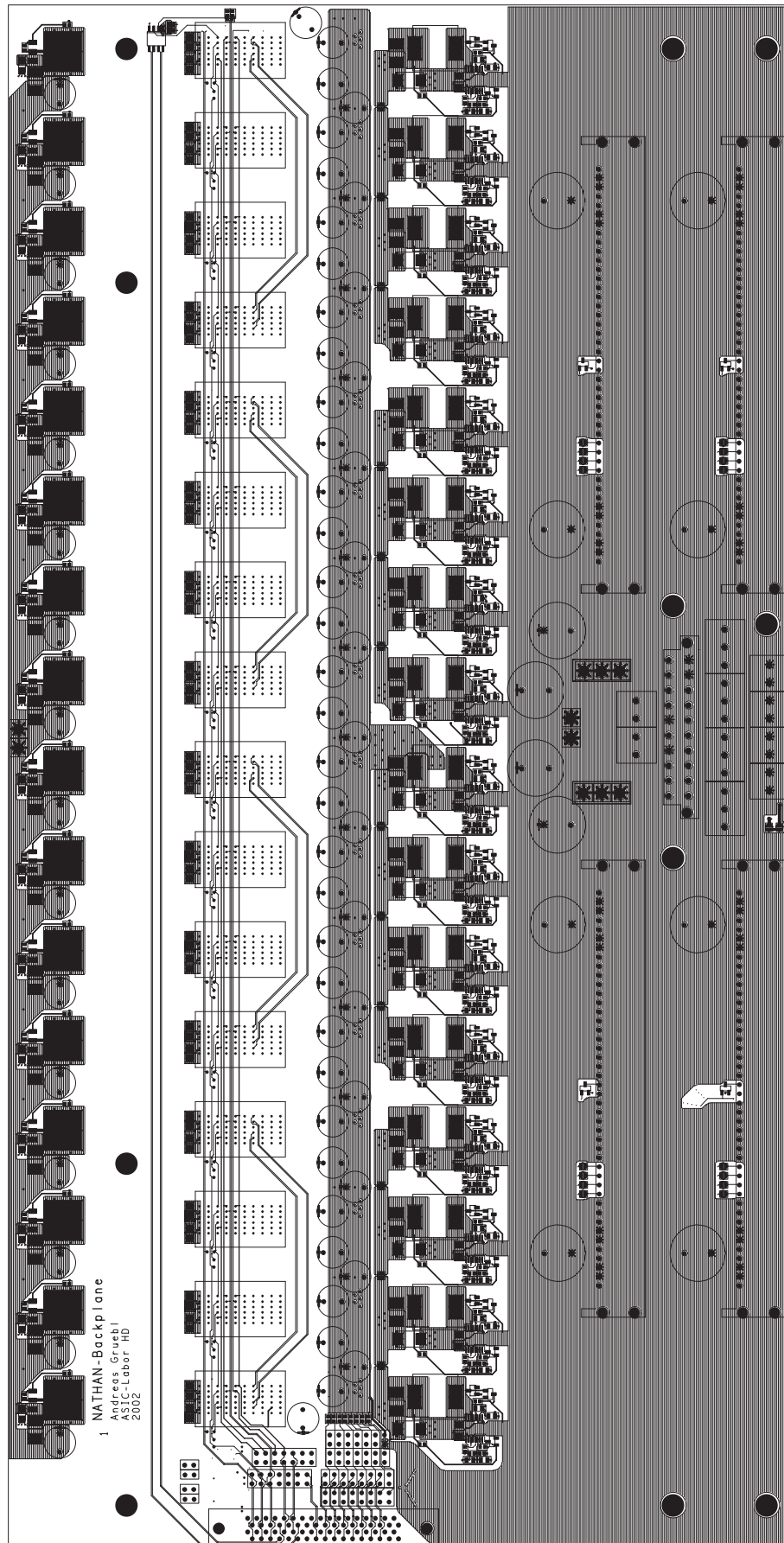
Abbildung B.7: Lage 7: Masse (links) und RAM-Leiterbahnen (rechts).



**Abbildung B.8:** Lage 8: Differentielle Leiterbahnen der ANN-Schnittstelle (links), FPGA-Blockkondensatoren (Mitte), DDR-SDRAM-Sockel (oben) und SRAM (rechts).

## **B.2 Backplane**

Diese Seite bleibt leer. Die Lagenpläne der Backplane befinden sich auf den folgenden Seiten.



**Abbildung B.9:** Lage 1: Slow-Control-Schnittstelle (unten), Spannungsregelung (rechts, links) und NATHAN-Sockel (Mitte).

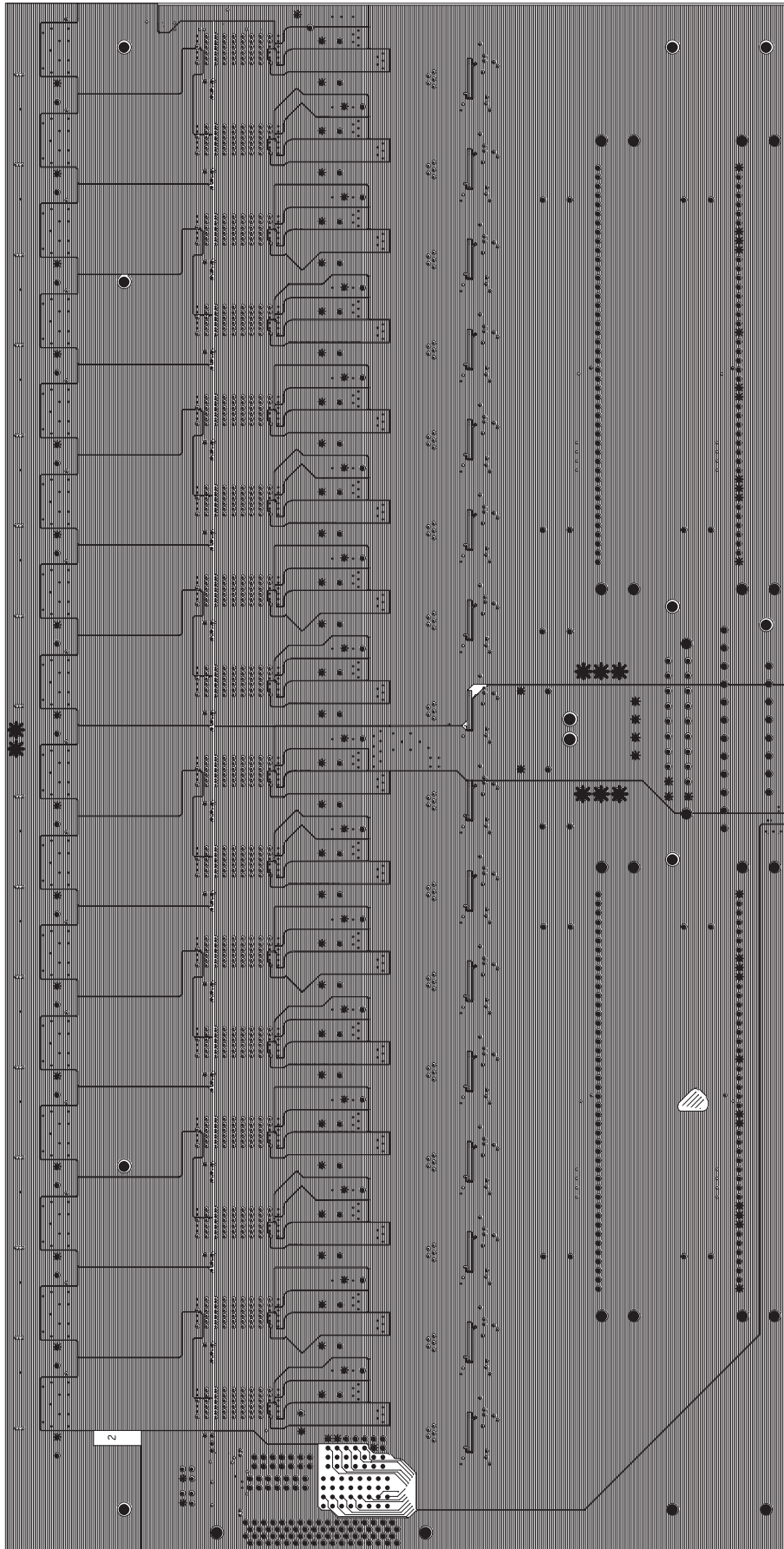


Abbildung B.10: Lage 2: Stromversorgung.

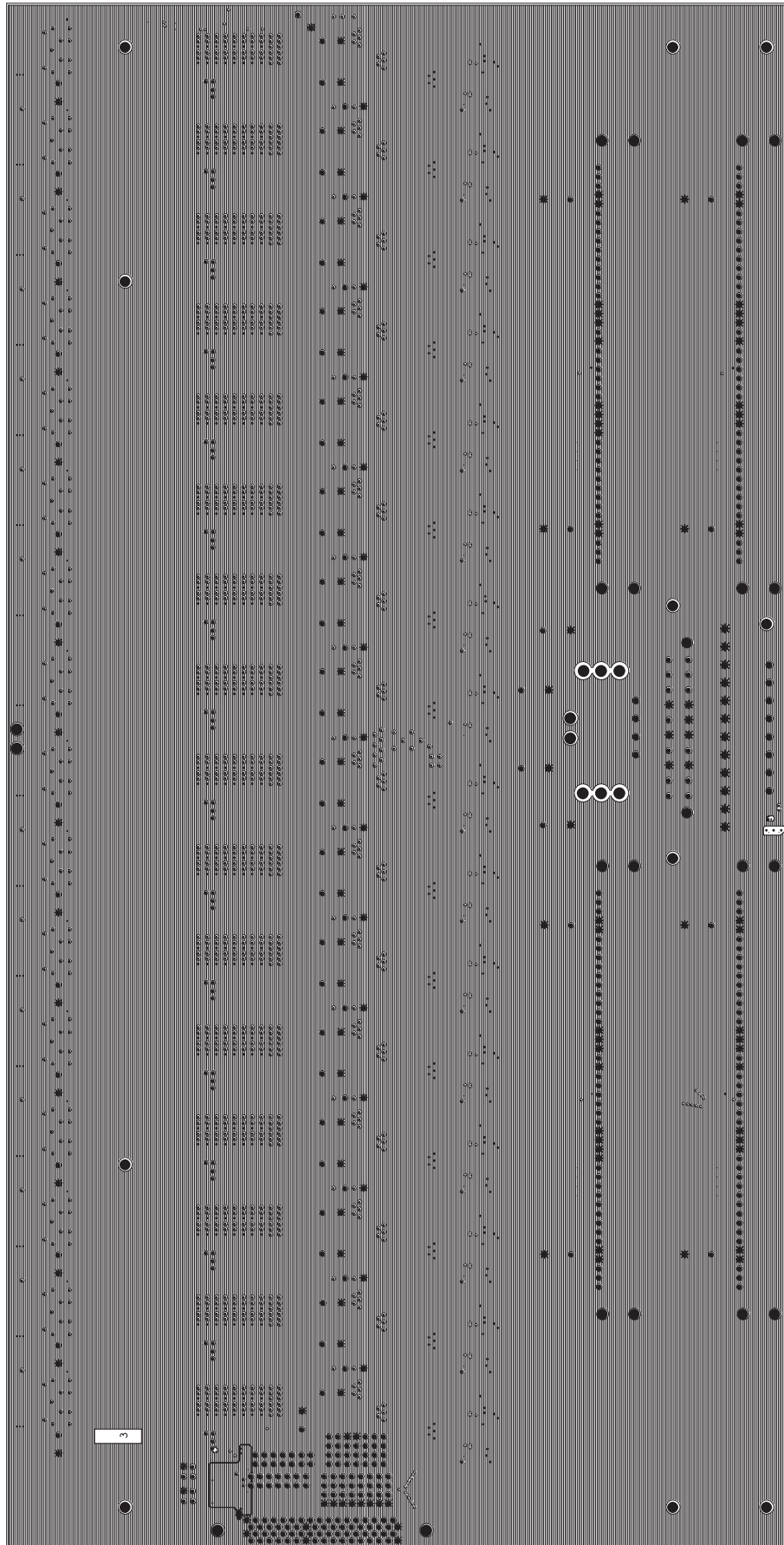


Abbildung B.11: Lage 3: Masse.



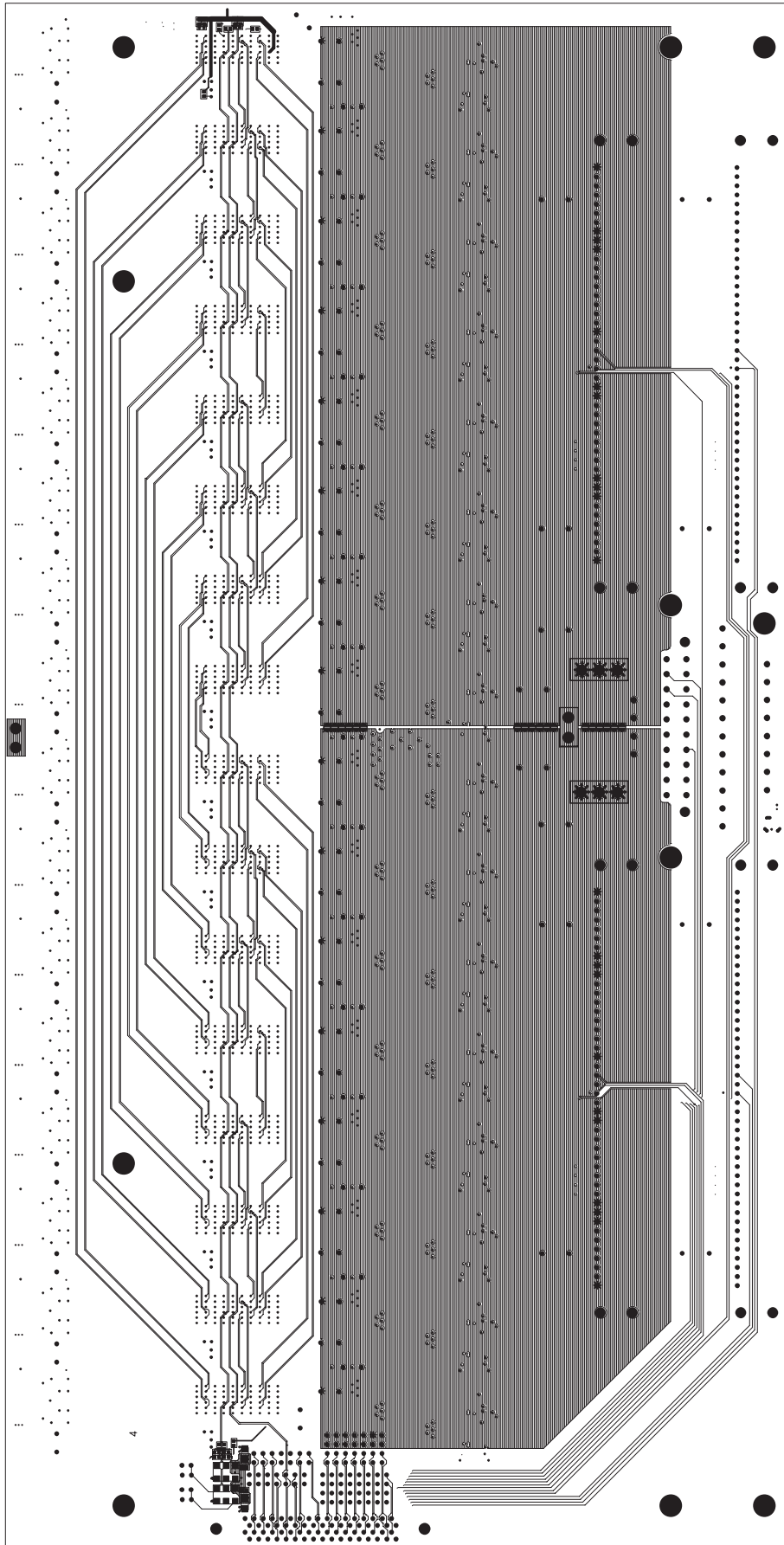


Abbildung B.12: Lage 4: MGT-Leiterbahnen (links) und 1,5 V-Stromversorgung (rechts).

# Anhang C

## Würth-Constraints

### C.1 Build-Up Microvia-Prozess (NATHAN)

Isolationsabstand Kupfer - Kupfer für Leiterbahnen und Kupferflächen	100 $\mu\text{m}$
Leiterbahnbreite	100 $\mu\text{m}$
Leiterbahn - Platinkante	500 $\mu\text{m}$
Breite der Lötstoppmaske	70 $\mu\text{m}$
Kupfer - Lötstoppmaske	100 $\mu\text{m}$

**Tabelle C.1:** Die für den Build-Up Microvia-Prozess der Firma Würth angewendeten Zwangsbedingungen.

Vias	
MicroVia Bohrung $\phi$	100 $\mu\text{m}$
MicroVia Pad $\phi$	350 $\mu\text{m}$
Abstand MicroVia - Buried Via	400 $\mu\text{m}$
DK- und Buried Via Bohrung $\phi$	300 $\mu\text{m}$
DK- und Buried Via Pad $\phi$	600 $\mu\text{m}$
Isolationsabstand Pad - Kupfer	130 $\mu\text{m}$
Unter Absprache mit Würth Elektronik	
Buried Via Bohrung $\phi$	300 $\mu\text{m}$
Buried Via Pad, Lage 1, 7 und kontaktiert $\phi$	300 $\mu\text{m}$
Buried Via Pad, nicht kontaktiert $\phi$	–
Isolationsabstand Bohrkante - Leiterbahn	150 $\mu\text{m}$
Isolationsabstand Bohrkante - Kupferfläche	200 $\mu\text{m}$

**Tabelle C.2:** Via-Constraints.

Material	Dicke	$\epsilon_r$
Kupfer Außenlagen	35 $\mu\text{m}$	–
Kupfer Innenlagen	35 $\mu\text{m}$	–
Prepreg	200 $\mu\text{m}$	4,5
FR-4	200 $\mu\text{m}$	4,5
Polyimid	60 $\mu\text{m}$	3,6
Lötstoppmaske	$\approx$ 20 $\mu\text{m}$	4,3

**Tabelle C.3:** Materialdaten.

## C.2 Standard 4-Lagen-Prozess (Backplane)

Layout Constraints	
Isolationsabstand Kupfer - Kupfer für Leiterbahnen und Kupferflächen	130 $\mu\text{m}$
Leiterbahnbreite	130 $\mu\text{m}$
Leiterbahn - Platinkante	500 $\mu\text{m}$
Breite der Lötstopmmaske	70 $\mu\text{m}$
Kupfer - Lötstopmmaske	100 $\mu\text{m}$

**Tabelle C.4:** Isolationsabstände.

Vias	
DK-Via Bohrung $\phi$	300 $\mu\text{m}$
DK-Via Pad $\phi$	600 $\mu\text{m}$
Isolationsabstand Pad - Kupfer	130 $\mu\text{m}$

**Tabelle C.5:** Via-Constraints.

Material	Dicke	$\epsilon_r$
Kupfer Außenlagen	35 $\mu\text{m}$	–
Kupfer Innenlagen	70 $\mu\text{m}$	–
Prepreg	200 $\mu\text{m}$	4,5
FR-4	930 $\mu\text{m}$	4,5
Lötstopmmaske	$\approx 20 \mu\text{m}$	4,3

**Tabelle C.6:** Materialdaten.

# **Anhang D**

## **Bestückung**

### **D.1 Bestückung von NATHAN**

Diese Seite bleibt leer. Der Bestückungsplan der Platine NATHAN befindet sich auf den folgenden Seiten.

**Bestückungsliste NATHAN**

Ref	Wert	Gehäuse	Menge	Best.-Nr.	Lieferant
C1	0,22 $\mu$ F, Y5V, 16 V	0603	153	220-7950	RS
C2	22 nF, X7R, 50 V	0603	4	264-4602	RS
C3	1 $\mu$ F, X7R, 10 V	0805	9	282-6466	RS
C4	150 $\mu$ F, Tantal, 6,3 V	CT6032_C	11	197-075	Farnell
C5	100 $\mu$ F, Tant, 6 V	CT7343_D	1	262-4276	RS
C6	100 $\mu$ F, low ESR, 4 V	CT3528_B	8	196-988	Farnell
C7	2,2 nF, X7R, 50 V	0603	1	264-4573	RS
J1	Ermet-ZD Federleiste	ERMETZD_FEMALE	2	973046	ERNI
J2	JTAG-Connector	SMT14	1	-	-
J3	SMT-Erweiterung	SMT100	2	361-6591	RS
J4	PGA144-Sockel	PGA144	1	-	-
J5	Steckbrücke 2 mm	MY_DIP2SMALL	1	842-680	RS
J6	SODIMM 200 Pin	SODIMM	1	253378	Spoerle
L1	$Z = 600 \Omega$ bei 100 MHz	0603	16	305-6508	Farnell
LED1	LED grün	1206	1	359-9784	Farnell
LED2	LED gelb	1206	1	359-9760	Farnell
LED3	LED rot	1206	1	359-9735	Farnell
P1	Array 4 $\times$ 47 $\Omega$ , 5%	1206 (CAT16)	26	241-9254	RS
R1	220 $\Omega$ , 1%	0603	5	Sortiment	
R2	4,7 k $\Omega$ , 1%	0603	3	Sortiment	
R3	nicht bestückt	0603	1	-	-
R4	16 k $\Omega$ , 1%	0603	3	357-1543	Farnell
R5	10 k $\Omega$ , 1%	0603	3	213-2418	RS
R6	3,3 k $\Omega$ , 1%	0603	1	Sortiment	
R7	nicht bestückt	0603	1	-	-
R8	100 $\Omega$ , 1%	0603	20	213-2143	RS
R9	120 $\Omega$ , 1%	0603	36	213-2159	RS
R10	51 $\Omega$ , 1%	0603	8	357-1245	Farnell
R11	27 $\Omega$ , 1%	0603	2	Sortiment	
R12	47 $\Omega$ , 1%	0603	1	Sortiment	
R13	20 k $\Omega$ , 1%	0603	2	Sortiment	
R14	0 $\Omega$ , 1%	0603	1	Sortiment	
U1	12 Bit-DAC	SSOP20	1	MAX5253	Maxim
U2	V_REF 1,25 V	SO8	1	MAX6161	Maxim
U3	Virtex II-Pro	FF672	1	XC2VP4	Insight
U4	SRAM	TQFP100	2	IDT71V2556S200PF	Arrow
U5	Temperatursensor	QSOP16	1	MAX1617	Maxim
U6	N-MOS BSN20	SOT23	2	198-4246	RS
U7	Dual-OP	$\mu$ MAX10	1	MAX4252	Maxim
U8	+2,5 V, Rocket I/O	Q5	1	LT1963EQ-2.5	SE

**Tabelle D.1:** Bestückungsliste der Platine NATHAN.

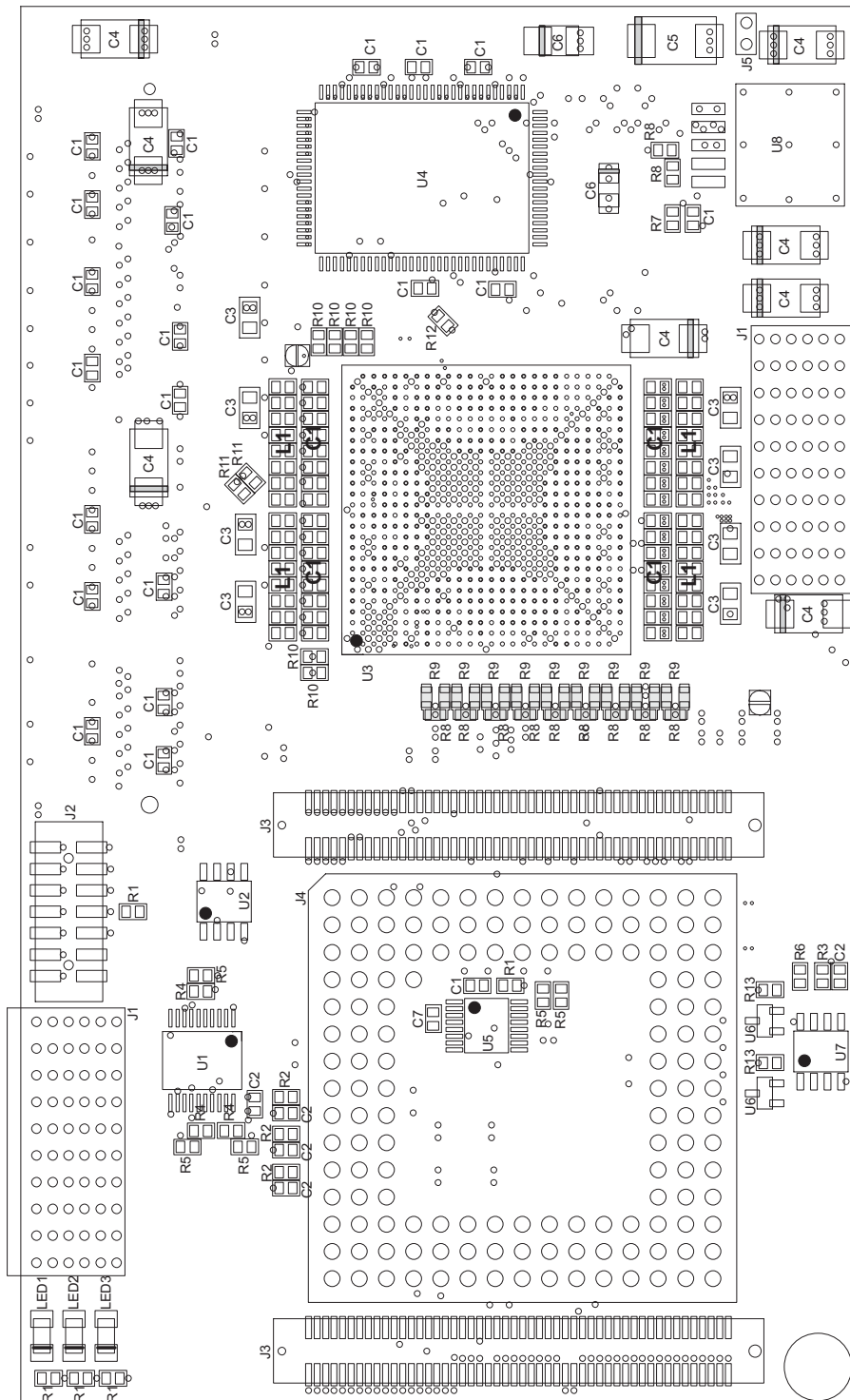


Abbildung D.1: Bestückungsplan der Platine NATHAN, Oberseite.

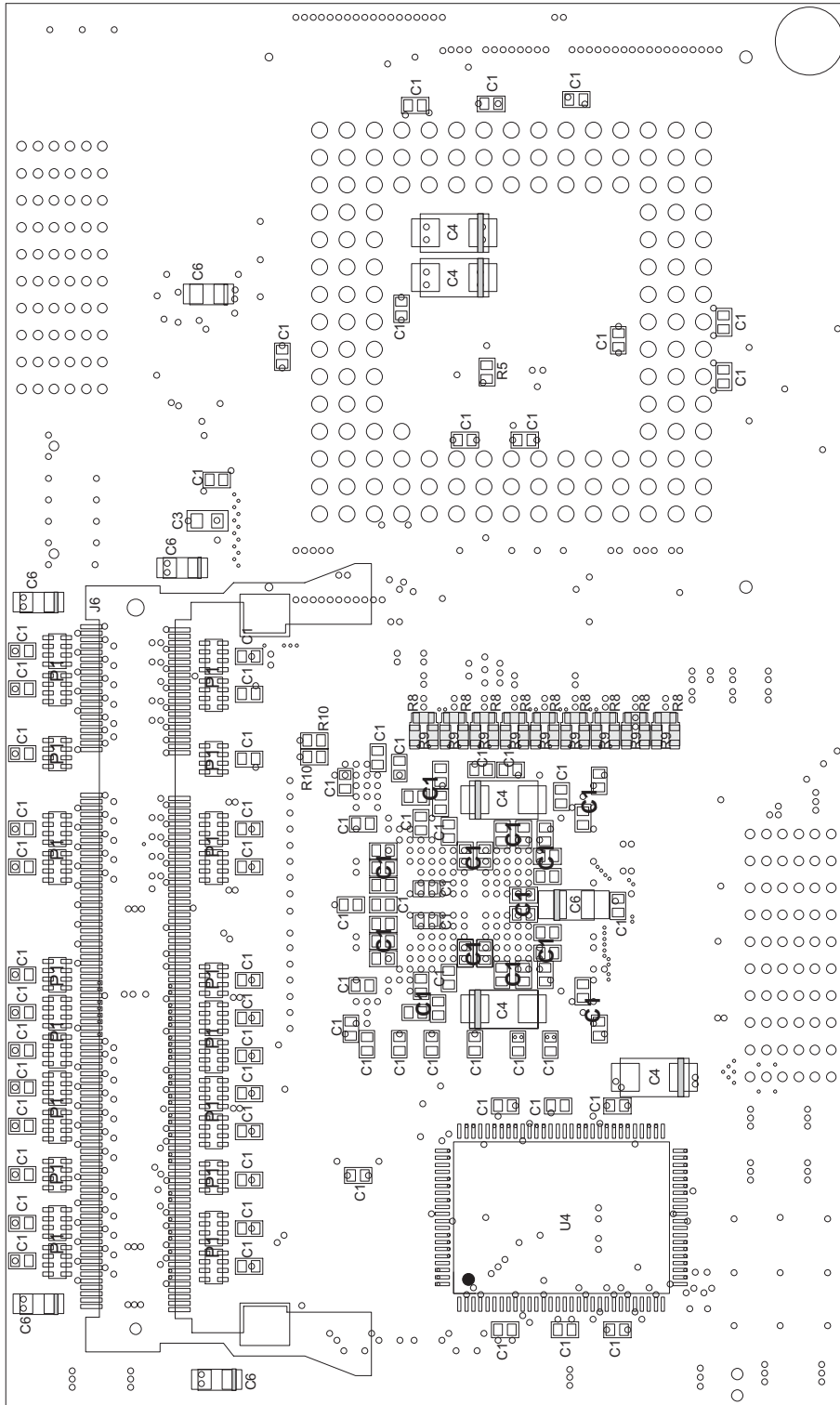


Abbildung D.2: Bestückungsplan der Platine NATHAN, Unterseite.

## **D.2 Bestückung der Backplane**

Diese Seite bleibt leer. Der Bestückungsplan der Backplane befindet sich auf den folgenden Seiten.



## Bestückungsliste Backplane

Ref	Wert	Gehäuse	Menge	Best.-Nr.	Lieferant
C1	6800 $\mu$ F, 10 V	7,5 mm/15 mm	4	315-0401	RS
C2	2200 $\mu$ F, low Z0, 6,3 V	5mm/10mm	8	768-005	Farnell
C3	1000 $\mu$ F, low Z0, 6,3 V	5mm/10mm	8	767-335	Farnell
C4	2200 $\mu$ F, 16V, ESR 0.03 $\Omega$	7,5mm/15mm	8	321-3407	Farnell
C5	0,001 $\mu$ F, COG, 50 V	0805	2 (32)	264-4321	RS
C6	33 $\mu$ F, Tantal, 6,3 V	CT2538_B	1 (16)	262-4844	RS
C7	3,3 $\mu$ F, Y5V, 16 V	0805	1 (16)	318-8863	Farnell
C8	1 $\mu$ F, X7R, 10 V	0805	1 (16)	282-6466	RS
C9	0,01 $\mu$ F, X7R, 50 V	0603	1 (16)	204-0779	RS
C10	270 $\mu$ F, low ESR, 2 V	CT7343_D	1 (16)	354-9094	Farnell
C11	100 $\mu$ F, low ESR, 4 V	CT3528_B	5 (50)	196-988	Farnell
C12	0,22 $\mu$ F, Y5V, 16 V	0603	3	220-7950	RS
C13	0,001 $\mu$ F, X7R, 50 V	0603	1	264-4551	RS
D1	Schottky, If=0,5 A	SOT23	2 (32)	301-4680	Farnell
D2	Diode	SOT23	1 (16)	743-185	Farnell
J1	SCSI 68 Pol.	SCSI68	1	854-335	Farnell
J2	Ermet-ZD Messerleiste	ERMETZD_MALE	1 (16)	973063	ERNI
J3	Kl. 5 mm Pitch, 2 $\times$	S_KLEMME	6	235-8610	RS
J4	Kl. 5 mm Pitch, 3 $\times$	S_KLEMME	4	235-8610	RS
J5	ATX-Buchse	ATX_M	1	234305	Spoerle
J6	Steckbrücke 2 mm	MY_DIP2SMALL	2 (32)	842-680	RS
J7	Steckbrücke 2,54 mm	MY_DIP2		531-942	RS
J8	Stiftl., 7Paar, 2,54 mm			531-942	RS
J9	Stiftl., 8Paar, 2,54 mm			531-942	RS
J10	Kupfer-/Silberlitze 5 V	$\varnothing$ mind. 2,5 mm	2		
J11	Kupfer-/Silberlitze 2,5 V	$\varnothing$ mind. 2,5 mm	3		
L1	1,0 $\mu$ H, 27 A	SPULE_VTT	1 (16)	396-3443	RS
R1	820 $\Omega$ , 1%	0603	2 (32)		Sortiment
R2	10 k $\Omega$ , 1%	0603	2 (32)	213-2418	RS
R3	10 $\Omega$ , 1%	0603	1 (16)		Sortiment
R4	120 k $\Omega$ , 1%	0603	1 (16)		Sortiment
R5	100 $\Omega$ , 1%	0603	5 (20)	213-2143	RS
R6	0 $\Omega$ , 5%, 1W	2512	1 (16)	325-7915	Farnell
R7	0 $\Omega$ , 1%	0603	4 (34)		Sortiment
R8	nicht bestückt	0603	2	-	-
R9	330 $\Omega$ , 1%	0603	1		Sortiment
R10	130 $\Omega$ , 1%	0603	2		Sortiment
R11	nicht bestückt	0603	2	-	-
R12	4,7 k $\Omega$ , 1%	0603	1		Sortiment
R13	nicht bestückt	0603	2	-	-
R14	47 $\Omega$ , 1%	0603	1		Sortiment
R15	82 $\Omega$ , 1%	0603	2		Sortiment
R16	nicht bestückt	0603	2	-	-
U1	Takt 100 MHz	SMD7 $\times$ 5MM	1	EG-2101CA	Epson
U2	Takt 156,25 MHz	SMD7 $\times$ 5MM	1	EG-2101CA	Epson
U3	+3,3 V, ANN	TO263	2 (16)	LM1086CS-3,3	Linear Tech
U4	+1,25 V, VTT SDRAM	QSOP16	1 (16)	MAX1809	Maxim
U5	LVDS-Transmitter	SO8	1	MAX9112	Maxim
U6	N-MOS BSN20	SOT23	4	198-426	RS
U7	1,5 V, 2,5 V Hochstrom	SIP44	4	PT8000-5V	Texas Instruments

**Tabelle D.2:** Bestückungsliste der Backplane. Die in der Spalte „Anzahl“ in Klammern angegebenen Werte entsprechen vollständiger Bestückung. Die Angabe vor den Klammern gilt für die Bestückung eines Slots.



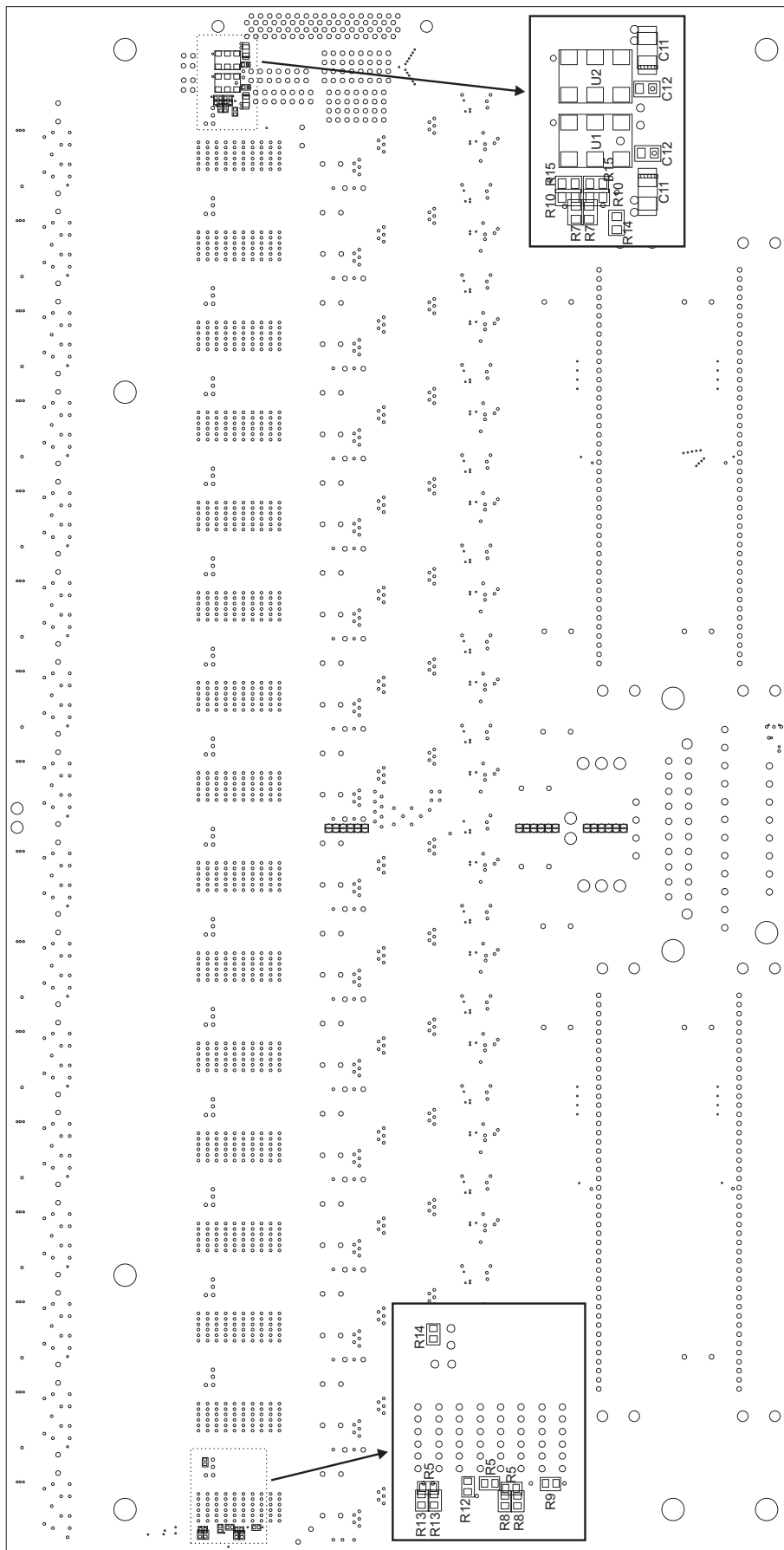


Abbildung D.4: Bestückungsplan der Backplane, Unterseite. Die Lötjumper in der Mitte dienen zur Überbrückung der 1,5 V-Planes.

## Anhang E

# Anschlussbelegung des SCSI-Steckers

Darkwing	Hoverboard	SCSI	Backplane			Nathan
VirtexE Pin	CMC Pin	Pin <sup>a</sup>	SCSI <sup>b</sup>	Bus	Signal	Virtex II-Pro Pin
AG1	4#_IO_37	44	25	16	EXT_CLK1	AB14
AE4	4#_IO_35	10	59	17	EXT_CLK1#	AC14
-	-	-	-	8	CCLK	W7
U2	4#_IO_14	40	29	8	SLOW_CLK	E13
U4	4#_IO_12	6	63	9	SLOW_CLK#	-
D17	4#_IO_10	46	23	20	SLOW_CLK_FB	-
C17	4#_IO_8	12	57	21	SLOW_CLK_FB#	-
AH6	3#_SIG_4	46	23	-	-	-
AJ5	3#_SIG_6	12	57	-	-	-
W4	4#_IO_7	36	33	0	GL_DIN	AB7
W3	4#_IO_9	2	67	1	GL_DIN#	-
Y3	4#_IO_24	42	27	12	DOUT	AC6
Y1	4#_IO_26	8	61	13	DOUT#	-
AD2	4#_IO_19	38	31	4	GL_SPARE	AD15
AC4	4#_IO_17	4	65	5	GL_SPARE#	-
Y2	4#_IO_13	37	32	2	FPGA_PROG#	D22
Y4	4#_IO_11	3	66	3	-	-
AD4	4#_IO_23	39	30	6	FPGA_INIT#	AD6
AD3	4#_IO_21	5	64	7	-	-
V3	4#_IO_20	41	28	10	FPGA_DONE	AB6
U1	4#_IO_18	7	62	11	-	-
AC3	4#_IO_28	43	26	14	TEMP_ALERT#	-
AD1	4#_IO_30	9	60	15	-	-

<sup>a</sup>Pinnummern am SCSI-Stecker, bei Bestückung des Hoverboards mit einer Buchse

<sup>b</sup>Bei Verwendung von Buchsen auf Hoverboard und Backplane werden die Signale der differentiellen Paare jeweils vertauscht.

**Tabelle E.1:** Abbildung der für die Slow-Control benötigten Signale des Virtex E auf Darkwing, auf den Virtex II-Pro auf NATHAN. Zur Vertauschung der Signale, siehe die Korrekturen in Anhang F.

# Anhang F

## Korrekturen

Folgende Korrekturen haben sich bis zum Abschluss der vorliegenden Arbeit ergeben:

Die zur Inbetriebnahme der ersten Platinen bestellten, vier FPGAs des Typs XC2VP4-6FF672 sind Engineering Samples und entstammen noch nicht der Massenproduktion. Auf Leiterplattenebene ergibt sich dadurch die Anforderung, die Versorgungsspannung der internen Logik des FPGAs (VC-CINT) auf 1,7 anstatt auf die im Datenblatt angegebenen 1,5 V zu setzen. Dies lässt sich durch Umprogrammieren des entsprechenden TI-Schaltzerteilmoduls erreichen. Einschränkungen bezüglich der FPGA-Programmierung können den Errata zu den Engineering Samples entnommen werden.

Während des Layouts der Platine NATHAN wurde die Cadence-Entwicklungsumgebung vollständig aktualisiert. Der schematische Editor des neuen Softwarepakets ist nicht abwärtskompatibel zu Concept, so dass im Layout vorgenommene Änderungen nicht mehr in den Schaltplan in Anhang A übernommen werden konnten. Die folgenden Änderungen sind im Layout vorgenommen und müssen noch im Schaltplan nachgetragen werden:

- Am FPGA sind die Signale SRAM2\_DQ0/1 gegeneinander vertauscht, ebenso die Signale SRAM2\_DQ2/3.
- An SMT-Stecker 1 sind die Signale P7\_BUS\_N8 und \_P8 gegeneinander vertauscht.
- Die Aktivierung der internen Terminierungen des HAGEN-Chips erfolgt an dessen Anschluss TERM2, *nicht* an TERM1.
- Die Anschlüsse CL# und PDL# des DACs werden mit +3.3VA\_NN verbunden (vorher leer).

Bei ersten Tests mit der Backplane ergaben sich folgende Korrekturen:

Die Ausgänge des LVDS-Transmitters auf der Backplane wurden symmetrisch vertauscht. Dies wird behoben, indem die Eingänge des LVDS-Transmitters miteinander vertauscht angeschlossen werden.

Die Pinbelegung des SCSI-Steckers (Hoverboard-Backplane) ist fehlerhaft. Durch Drehen des SCSI-Steckers auf der Backplane um 180° wird erreicht, dass lediglich die beiden Signale eines differentiellen Paares jeweils miteinander vertauscht sind. Die Kommunikation wird hierdurch nicht beeinträchtigt. Stromführende Kontakte des SCSI-Steckers (außer Masse) sind auf der Backplane nicht kontaktiert, so dass ein Kurzschluss ausgeschlossen werden kann.

# Literaturverzeichnis

- [ANS96] ANSI/TIA/EIA-644. *Electrical Characteristics of Low Voltage Differential Signaling (LVDS)*. March 1996
- [Bec01] BECKER, J.: *Ein FPGA-basiertes Testsystem für gemischt analog-digitale ASICs*, Universität Heidelberg, Diplomarbeit, 2001. – HD-KIP-01-11
- [Bou02] Bourns: *CAT/CAY 16 Series - Chip Resistor Arrays*. CAT16. August 2002. – [www.bourns.com](http://www.bourns.com)
- [Cad98] Cadence: *Concept Schematic User Guide*. Product Version 3.03. December 1998. – Lokal unter: openbook
- [DP01] DALY, W. J. ; POULTON, J. W.: *Digital Systems Engineering*. Cambridge, UK : Cambridge University Press, 2001. – ISBN 0-521-59292-5
- [EN98] ETHIRAJAN, K. ; NEMEC, J.: Termination techniques for high-speed buses. In: *EDN Design Magazine* (1998), February. – [www.e-insite.net](http://www.e-insite.net)
- [ERN01] ERNI Elektroapparate GmbH: *ERmet ZD High Speed Differential Hard Metric Connector System*. Catalog E 074505. July 2001. – [www.erni.com](http://www.erni.com)
- [HHM00] HALL, S. H. ; HALL, G. W. ; MCCALL, J. A.: *High-Speed Digital System Design*. New York, Weinheim : John Wiley & Sons, Inc., 2000
- [Hin96] HINSCH, H.: *Elektronik: Ein Werkzeug für Naturwissenschaftler*. Heidelberg : Springer-Verlag, 1996. – ISBN 3-540-61360-9
- [HSP01a] Avant! Corporation: *Star-Hspice Manual*. 2001.2. June 2001. – Lokal unter: /cad/products/avant/2001.2/docs/pdf/hspice.pdf
- [HSP01b] Cadence: *SPECCTRAQuest Hspice Interface Guide*. 2001.2. 2001. – Enthalten in „RocketIO® Design Kit for SPECCTRAQuest“ unter [www.xilinx.com/support/software/spice/spice-request.htm](http://www.xilinx.com/support/software/spice/spice-request.htm)
- [Hyp01] HYPERTRANSPORT TECHNOLOGY CONSORTIUM: *HyperTransport I/O Link Specification*. October 2001. – Revision 1.03
- [IBI99] *IBIS I/O Buffer Information, Specification ANSI/EIA-656-A*. Version 3.2, 1999. – [www.vhdl.org/pub/ibis/](http://www.vhdl.org/pub/ibis/)
- [Int00] Integrated Device Technology, Inc.: *128K x 36, 256K x 18, 3.3V Synchronous ZBT SRAMs, 2.5V I/O, Burst Counter, Pipelined Outputs*. IDT71V2556. October 2000. – [www.idt.com](http://www.idt.com)
- [Jan01] JANZEN, J.: Calculating Memory System Power for DDR SDRAM. In: *Micron Technology, Inc. - designline* 10 (2001), Nr. 2. – [www.micron.com/systemcalc](http://www.micron.com/systemcalc)

- [JED99] JEDEC/EIA SOLID STATE TECHNOLOGY ASSOCIATION: *Interface Standard for Nominal 3 V/3.3 V Supply Digital Integrated Circuits*. September 1999. – JESD8-B
- [JED02a] JEDEC/EIA SOLID STATE TECHNOLOGY ASSOCIATION: *Double Data Rate (DDR) SDRAM Specification*. May 2002. – JESD79, Release 2
- [JED02b] JEDEC/EIA SOLID STATE TECHNOLOGY ASSOCIATION: *Stub Series Terminated Logic for 2.5 V (SSTL2)*. May 2002. – JESD8-9B
- [JG93] JOHNSON, H. ; GRAHAM, M.: *High-Speed Digital Design - A Handbook of Black Magic*. Upper Saddle River, New Jersey 07458 : Prentice-Hall, Inc., 1993
- [KS00] KITANOVSKA, S. ; SCHULTZ, D.: *Bus LVDS with Virtex-E Devices*. [www.xilinx.com](http://www.xilinx.com): Xilinx, Inc, July 2000. – XAPP243
- [Lin00] Linear Technology Corporation: *1.5A, Low Noise, Fast Transient Response LDO Regulators*. LT1963. 2000. – [www.linear-tech.com](http://www.linear-tech.com)
- [lvd00] National Semiconductor Corporation: *LVDS Owner's manual*. 2.0. 2000. – [www.national.com](http://www.national.com)
- [Max96] Maxim Integrated Products: *+3V, Quad, 12-Bit Voltage-Output DAC with Serial Interface*. MAX5253. September 1996. – [www.maxim.com](http://www.maxim.com)
- [Max00] Maxim Integrated Products: *Dual LVDS Line Drivers with Ultra-Low Pulse Skew in SOT23*. MAX9112. September 2000. – [www.maxim.com](http://www.maxim.com)
- [Max01a] Maxim Integrated Products: *3A, 1MHz, DDR Memory Termination Supply*. MAX1809. August 2001. – [www.maxim.com](http://www.maxim.com)
- [Max01b] Maxim Integrated Products: *Precision, Micropower, Low-Dropout, High-Output-Current, SO-8 Voltage Reference*. MAX6161. October 2001. – [www.maxim.com](http://www.maxim.com)
- [Max01c] Maxim Integrated Products: *UCSP, Single-Supply, Low-Noise, Low-Distortion, Rail-to-Rail Op Amps*. MAX4252. August 2001. – [www.maxim.com](http://www.maxim.com)
- [Mic02a] Micron Technology, Inc.: *Double Data Rate (DDR) SDRAM*. October 2002. – [www.micron.com](http://www.micron.com)
- [Mic02b] Micron Technology, Inc.: *Small-Outline DDR SDRAM Module*. January 2002. – [www.micron.com](http://www.micron.com)
- [MP43] MCCULLOCH, W. S. ; PITTS, W. H.: A Logical Calculus of the Ideas Immanent in Neural Nets. In: *Bulletin of Mathematical Biophysics* 5 (1943), S. 115–133
- [nat92] *FAILSAFE Biasing of Differential Buses*. National Semiconductor Application Note, No. 847. 1992. – [www.national.com](http://www.national.com)
- [Nat01] National Semiconductor Corporation: *1.5A Low Dropout Positive Regulators*. LM1086. August 2001. – [www.national.com](http://www.national.com)
- [No193] NOLTING, W.: *Grundkurs Theoretische Physik*. Ulmen : Verlag Zimmermann-Neufang, 1993
- [OKSA94] OH, S. ; KUZNETSOV, D.B. ; SCHUTT-AINE, J.E.: Capacitance computations in a multilayered dielectric medium using closed-form spatial Green's functions. In: *IEEE Trans. Microwave Theory Tech.* Vol. 42 (1994), August, Nr. 8

- [on-02] *Interfacing Between LVDS and ECL*. On Semiconductor Application Note, Document AN1568/D. September 2002. – [www.onsemi.com](http://www.onsemi.com)
- [OSAMW96] OH, S. ; SCHUTT-AINE, J.E. ; MITTRA, Raj ; WANG, Bu: Computation of the equivalent capacitance of a via in a multilayered board using the closed-form Green's function. In: *IEEE Trans. Microwave Theory Tech.* Vol. 44 (1996), February, Nr. 2
- [Phi97] Philips Semiconductor: *N-channel enhancement mode vertical D-MOS Transistor*. BSN20. June 1997. – [www.semiconductors.philips.com](http://www.semiconductors.philips.com)
- [Sei89] SEIFART, M.: *Analoge Schaltungen*. Berlin : VEB Verlag Technik, 1989. – ISBN 3-341-00740-7
- [Sei02a] Seiko Epson Corporation: *High frequency PECL Oscillator*. EG-2101CA. 2002. – [www.epsondevice.com](http://www.epsondevice.com)
- [Sei02b] Seiko Epson Corporation: *Preliminary 2.5V LV-PECL SAW Oscillator*. EG-2121CA. March 2002. – [www.epsondevice.com](http://www.epsondevice.com)
- [Sen] SENSEMAKER: *A Multi-Sensory, Task-specific Adaptable Perception System*. – EU Contract No. IST-2001-34712
- [SHMS02] SCHEMMELE, J. ; HOHMANN, S. ; MEIER, K. ; SCHÜRMAN, F. *A Mixed-Mode Analog Neural Network using Current-Steering Synapses*. Kluwer Academic Publishers. November 2002
- [SHSM02] SCHÜRMAN, F. ; HOHMANN, S. ; SCHEMMELE, J. ; MEIER, K.: Towards an Artificial Neural Network Framework. In: STOICA, Adrian (Hrsg.) ; LOHN, Jason (Hrsg.) ; KATZ, Rich (Hrsg.) ; KEYMEULEN, Didier (Hrsg.) ; ZEBULUM, Ricardo S. (Hrsg.): *The 2002 NASA/DoD Conference on Evolvable Hardware*. Alexandria, Virginia : IEEE Computer Society, 15-18 Juli 2002. – ISBN 0-7695-1718-8
- [SQ 02a] Cadence: *SPECCTRAQuest Simulation and Analysis Reference*. 14.2. 2002. – Lokal unter: `/cad/products/cds/psd14.2/doc/simref/simref.pdf`
- [SQ 02b] Cadence: *SPECCTRAQuest/SigXP Online Help*. 14.2. 2002
- [SSHM02] SCHEMMELE, J. ; SCHÜRMAN, F. ; HOHMANN, S. ; MEIER, K.: An Integrated Mixed-Mode Neural Network Architecture for Megasynapse ANNs. In: *Proceedings of the 2002 International Joint Conference on Neural Networks IJCNN'02*, IEEE, May 2002, S. 2704
- [Tex01] Texas Instruments: *60 Amp, High Performance, Programmable ISR*. PT8000-5V. April 2001. – [www.ti.com/power trends](http://www.ti.com/power trends)
- [TMG02] TOUMAZOU, C. ; MOSCHYTZ, G. ; GILBERT, B.: *Trade-Offs in Analog Circuit Design - The Designer's Companion*. Dordrecht, The Netherlands : Kluwer Academic Publishers, 2002. – ISBN 1-4020-7037-3
- [TYC01] TYCO Electronics/AMP: *Single Line Model Datasheet, DIMM SOCKET - DIMM II, SO, 0.6MM PITCH, RIGHT ANGLE*. February 2001. – [www.amp.com/simulation](http://www.amp.com/simulation)
- [Vog97] VOGEL, H.: *Gerthsen Physik*. Berlin Heidelberg : Springer-Verlag, 1997
- [wav01] Wavecrest Corporation: *Understanding Jitter*. 2001. – [www.wavecrest.com](http://www.wavecrest.com)



- [wue] *Würth Elektronik*. – [www.wuerth-elektronik.de](http://www.wuerth-elektronik.de)
- [xil00] Xilinx, Inc.: *Virtex Power Estimator User Guide*. February 2000. – XAPP152
- [xil01] Xilinx, Inc.: *Virtex-II 1.5V Field-Programmable Gate Arrays*. October 2001. – DS031-1
- [Xil02a] Xilinx, Inc.: *Parallel Cable IV, Advance Product Specification*. DS097. 2002. – [www.xilinx.com](http://www.xilinx.com)
- [Xil02b] Xilinx, Inc.: *Rocket I/O Transceiver User Guide*. UG024. 2002. – [www.xilinx.com](http://www.xilinx.com)
- [xil02c] Xilinx, Inc.: *Using the Virtex Delay-Locked Loop*. July 2002. – XAPP132
- [Xil02d] Xilinx, Inc.: *Virtex-E 1.8 V Field Programmable Gate Arrays*. DS022. 2002. – [www.xilinx.com](http://www.xilinx.com)
- [Xil02e] Xilinx, Inc.: *Virtex-II Pro Platform FPGA Handbook*. UG012. 2002. – [www.xilinx.com](http://www.xilinx.com)
- [Xil02f] Xilinx, Inc.: *Virtex-II Pro Platform FPGAs: Introduction and Overview*. DS083. 2002. – [www.xilinx.com](http://www.xilinx.com)
- [xil03] Xilinx, Inc.: *DDR SDRAM DIMM Interface for Virtex-II Devices*. January 2003. – XAPP608

# Danksagung

Mein herzlicher Dank gilt allen, die zum Gelingen dieser Arbeit beigetragen haben. Insbesondere möchte ich mich bedanken bei

Herrn Prof. Dr. Karlheinz Meier für die freundliche Aufnahme in die Arbeitsgruppe und die Ermöglichung dieser Diplomarbeit.

Herrn Prof. Dr. Norbert Herrmann für die Übernahme der Zweitkorrektur.

Dr. Johannes Schemmel für die umfassende Betreuung, stets kompetente Hilfe, ein immer offenes Ohr für alle meine technischen Fragen und die Korrektur des Manuskripts.

Felix Schürmann ebenso für die umfassende Betreuung und Geduld bei allen aufgetretenen Problemen, aber vor allem für die große moralische und tatkräftige Unterstützung beim Erstellen dieser Arbeit sowie die konstruktive Korrektur des Manuskripts.

Stefan Philipp für immer neue Diskussionen über DCMs und andere FPGA-Geschichten, für das Korrekturlesen des Manuskripts sowie auch für die langen Abende gegen Ende dieser Arbeit.

Thorsten Maucher für seine enorme Hilfsbereitschaft, Gespräche über Dies und Das und das  $\text{\TeX}$ -nische Know-How gegen Ende dieser Diplomarbeit.

Andreas Breidenassel und Tillmann Schmitz für konstruktive Vorschläge und ermunternde Gespräche.

Allen Visionären für die Hilfsbereitschaft und stets angenehme und freundschaftliche Arbeitsatmosphäre und auch die Animierung, mein Fahrrad mal wieder auszupacken.

Ina Kyas für immer wieder schöne Zeiten während unseres Studiums, die enorme Hilfsbereitschaft ganz am Ende dieser Arbeit und die Korrektur des Manuskripts.

Meinen Eltern für die Unterstützungen während meines gesamten Studiums, nicht nur finanzieller Art.

Ute Weihbrecht. Danke, dass Du immer für mich da bist und für Dein Verständnis über das vergangene Jahr hinweg.

## Erklärung:

Ich versichere, dass ich diese Arbeit selbständig verfasst und keine anderen als die angegebenen Quellen und Hilfsmittel benutzt habe.

Heidelberg, den 18.02.2003

.....

(Unterschrift)