



Maurice Güttler

Konzeptoptimierung und Entwicklung einer
hochintegrierten Leiterplatte

Diplomarbeit

HD-KIP-10-68

KIRCHHOFF-INSTITUT FÜR PHYSIK

Faculty of Physics and Astronomy
University of Heidelberg

Diploma thesis

in Physics

submitted by

Maurice Güttler

born in Bad Friedrichshall

November 2010

Concept optimization and development of a highly integrated printed circuit board

This diploma thesis has been carried out by Maurice Güttler at the

KIRCHHOFF INSTITUTE FOR PHYSICS

RUPRECHT-KARLS-UNIVERSITÄT HEIDELBERG

under the supervision of

Prof. Dr. Karlheinz Meier

Konzeptoptimierung und Entwicklung einer hochintegrierten Leiterplatte

Die vorliegende Arbeit beschreibt die Entwicklung einer hochintegrierten Leiterplatte und die Verbesserung deren Konzept. Die Leiterplatte wird im fertigen Wafer-Scale-Integration System die Verbindungen zwischen den Peripheriegeräten und dem Wafer herstellen. Auf dem 43 cm auf 43 cm großen Board sind dafür über 3.000 impedanzkontrollierte, differentielle Leitungen verlegt, die 1 TB an Daten pro Sekunde übertragen. Zusätzlich wird auf der Leiterplatte der Stromfluss von fast 1.000 A in den Wafer kontrolliert. Die wichtigsten Einheiten auf der Leiterplatte sind die 48 Retikel, mit einer Fläche von ungefähr 2 cm auf 2 cm. Sie sind die Kontaktbereiche zu den HICANN-Chips auf dem Wafer. Aufgrund der hohen Leitungsdichte von den Retikeln zu den DNC-Steckern ist eine Standard Leiterplatte nicht verwendbar, sondern es ist ein 14-Lagen Board notwendig. Die Konzeptneuerungen machen den Schaltplan modularer und ermöglichen eine parallele Leiterplattenentwicklung von mehreren Personen. Nur so lassen sich die über 4500 Bauteile in endlicher Zeit auf dem Board platzieren. Die Einführung von SKILL reduzierte den Aufwand für sich wiederholende Tätigkeiten in der Layouterstellung. Es werden z. B. mehr als 3000 Verbindungen automatisiert zwischen den Signalleitungen der Retikel und den DNC-Steckern erstellt. Diese Maßnahmen führen zu einer schnelleren Entwicklung, einer geringeren Fehleranfälligkeit und einer Entlastung der Entwickler.

Concept optimization and development of a highly integrated printed circuit board

The present thesis describes the development of a highly integrated printed circuit board (PCB) and the improvement of its concept. In a finished Wafer-Scale-Integration system, the connections between the peripheral devices on the wafer are to be established by the PCB. On the 43 cm x 43 cm board, more than 3,000 impedance-controlled differential conductions have to be installed, they transport data with a quantity of 1 TB per second. Additionally a current flow of almost 1,000 A to the wafer is controlled by the PCB. The most important units on the PCB are the reticles with a surface of about 2 cm x 2 cm. These units contain the pads to the HICANN-chips on the wafer. Due to the high density of lines between the reticles and the DNC-connectors, it is not possible to use a standard PCB, but a 14-layer-board. The improvements of the concept create the circuit layout more modularly and allow a simultaneous development of the PCB by several people. In so doing, more than 4,500 devices can be placed in finite time on the board. The introduction of SKILL has reduced the complexity of recurring activities in layout generation. E. g. more than 3,000 connections are automated generated between the signal conductions of the reticles and the DNC-connectors. These methods lead to a faster development, a minor susceptibility to bugs and afford relief to the designers.

Inhaltsverzeichnis

1	Einleitung	1
1.1	Wafer-Scale-Integration-System - Überblick	2
2	Grundlagen der Leiterplatten-Produktion	6
2.1	Mehrlagen-Platine	6
2.2	Microvia-Technik	8
2.2.1	Konventionell gebohrte Vias	9
2.2.2	Produktion von Microvias	10
3	Grundlagen der Signalübertragung und Stromversorgung auf Leiterplatten	12
3.1	Theorie zur Signalübertragung	12
3.1.1	Elektrodynamik	13
3.1.2	Ersatzschaltbild	14
3.1.3	Reflexion	15
3.2	Einfache Datenleitungen	16
3.3	Differentielle Datenübertragung	17
3.4	Impedanzberechnung	18
3.4.1	Einfache Datenleitungen	19
3.4.2	Differentielle Leitungen	19
3.5	Theorie zur Stromversorgung	20
3.5.1	Berechnung für Leiterbahnen	21
3.5.2	Berechnung für Vias	21
4	Testboard für die Stromüberwachung - Powerboard	23
4.1	Schaltplan	24
4.2	Layout des Powerboards	26
4.3	Retikel-Modul	27
5	Allegro-SKILL Programmiersprache	30
5.1	Einsatz für das nightMARES-Board	30
5.2	Einführung in SKILL	31
5.3	Beispiele aus diesem Projekt	33
5.3.1	Platzierung der Retikel	33
5.3.2	Wiederverwendung von Design in anderen Retikel-Modulen	34
5.3.3	Signalleitungen mit DNC-Stecker verbinden	36
6	Systemplatine - nightMARES	40

6.1	Schaltplanentwurf für das nightMARES-Board	40
6.1.1	Gesamtübersicht über Funktionsblöcke	40
6.1.2	Hierarchisch modularer Aufbau mit Cadence	42
6.2	Aufbau der Platine	44
6.2.1	Herausführen der Retikel	45
6.2.2	Lagenaufbau	46
6.3	Impedanzberechnung	48
6.3.1	Ergebnisse für 50 Ω Leitungen	49
6.3.2	Ergebnisse für die differentiellen Signale mit 100 Ω Impedanz	50
6.4	Stromverteilung	51
6.4.1	Belastbarkeit der Kupferflächen	52
6.4.2	Belastbarkeit der Vias	53
6.4.3	Anschluss der stark belasteten Spannungen	54
6.4.4	Masseabführung	55
6.5	Floorplan des Boards	59
6.6	Probleme	64
6.6.1	Fehler beim Einfügen von Modulen	64
6.6.2	Parallele Arbeit am Projekt	65
6.6.3	Platzbedarf auf den Lagen	66
6.7	Statistik zum Board	68
7	Testaufbau	72
8	Zusammenfassung und Ausblick	74
Anhang		76
A	Versorgungsspannungen auf der Systemplatine	76
B	Würth-Constraints	77
C	Parameter für die Impedanzberechnung	79
D	Daten der Strombelastbarkeit	81
D.1	Vias	81
D.2	Leiterbahnen	82
E	Schalt- und Lagenpläne des Powerboards	85
F	SKILL-Code	91
	Literaturverzeichnis	97

1 Einleitung

Der Mensch machte sich das Feuer zunutze, um kalte Winter zu überstehen, später um Werkzeuge zu bearbeiten. Er fertigte sich Waffen zum Erlegen von Tieren und zu seiner Verteidigung. Die Medizin entwickelte sich rasant und schaffte es, Krankheiten, die früher ganze Landstriche entvölkerten, auszurotten. Heute ist der Mensch dank technischer Hilfsmittel in der Lage, fast jeden Ort der Welt zu erreichen, seien es die höchsten Gipfel im Himalaya oder die tiefsten Gräben in den Ozeanen.

Und dennoch ist die Welt noch immer voller ungelöster Rätsel. Um sie zu lösen, bemüht man vielfach die Physik, insbesondere die Teilchenphysik. Deren Ziel ist es, den Aufbau der Teilchen und ihre gegenseitige Wechselwirkung zu erklären. Wir wollen immer genauer ergründen,

„... was die Welt im Innersten zusammenhält...“¹

Zu Beginn der Erforschung dieser Zusammenhänge wurden langsame Alpha-Teilchen aus einer radioaktiven Quelle auf eine Goldfolie geschossen². Das genügte, um die elektrischen und räumlichen Eigenschaften der Atome umfassend zu untersuchen. Doch will man tiefer in die Materie eindringen, wird immer mehr Energie benötigt und somit wächst auch die Größe des Versuchsaufbaus. Im März 2010 hat die 1954 gegründete Forschungseinrichtung CERN über mehrere Ausbauschritte neue Maßstäbe gesetzt. Mit dem LHC³ werden zur Zeit Proton-Proton-Kollisionen mit einer Schwerpunktsenergie von 7 TeV durchgeführt. Am Ende sollen Teilchen wie z.B. das Higgs-Boson und das b-Quark erforscht werden, um das Standardmodell der Physik zu untermauern.

Ein anderer Bereich, der noch viele Fragen aufwirft, ist das menschliche Gehirn und seine Arbeitsweise. Durch Untersuchungen an Tiergehirnen kann man die chemischen und physikalischen Reaktionen in den Neuronen⁴ und Synapsen⁵ sehr gut beschreiben. Grund dafür ist u.a. die gute Zugänglichkeit; selbst mit einem einfachen Mikroskop lässt sich eine Zelle präzise beobachten. Von außen lassen sich auf die Zelle Reize einbringen, die auch mit Elektroden messbar sind. Mathematisch lässt sich das Verhalten eines Neurons mit den Differentialgleichungen von Hodgkin und Huxley [21] aus dem Jahre 1952 beschreiben. Man erkannte, dass sich Vorgänge wie Mustererkennung oder Lernen nicht mit einzelnen Neuronen erklären lassen, sondern dass ein Netzwerk aus Neuronen und Synapsen zusammenspielt. Im Vergleich zur Teilchenphysik sind diese kleinsten „Teilchen“, die Neuronen, schon bekannt und hier geht es um den Verbund vieler Neuronen.

¹Goethe, Faust I

²Rutherford-Experiment - s. Demtröder Experimentalphysik IV

³Large Hadron Collider

⁴Nervenzelle, die zuständig für die Verarbeitung und Weiterleitung von Signalen ist.

⁵Kontaktstelle zwischen Neuron und weiterer Zelle, z. B. Neuron, Sinnes- oder Muskelzelle

1 Einleitung

Die Beobachtung von vielen Zellen gleichzeitig stößt an ihre Grenzen. Der Abstand zwischen einzelnen Neuronen im Gehirn beträgt nur wenige 100 μm . Das bringt u.a. folgende Probleme mit sich:

Erstens ist das Positionieren von Elektroden, die nicht viel größer sein dürfen als ein Neuron, sehr schwierig, zweitens ist der Pfad, den der Reiz nimmt, für In-vivo Messungen nicht eindeutig. Nervenzellen gehen bis zu 100.000 Verbindungen mit anderen Zellen ein.

Das heutige Vorgehen beim Versuch große Netzwerke darzustellen, geht weg von In-vivo und In-vitro Experimenten hin zu Computersimulationen. Der Vorteil dieser Simulation besteht im einfachen Aufsetzen von Netzwerken, die sich beliebig oft reproduzieren lassen. Computer wurden schon häufig zur Lösung von Differentialgleichungen verwendet, wie z. B. zur Vorhersage von Planetenbewegungen. Doch schon bei der Wahl des Neuronenmodells gibt es Probleme, da z. B. das Hodgkin-Huxley-Modell sehr aufwändig ist und die Berechnungen sehr lange dauern. Außerdem sind Computer für die serielle Verarbeitung von Daten ausgelegt. In neuronalen Netzen arbeiten jedoch alle Neuronen parallel und beeinflussen sich ständig untereinander.

Eine Lösung für dieses Problem will das von der EU geförderte Projekt FACETS⁶ bieten. Dazu werden Neuronen durch analoge elektronische Schaltungen auf Siliziumchips emuliert. Das Verhalten dieser Schaltungen entspricht dem zu Grunde gelegten biologischen Modell. Durch diesen Ansatz werden die genannten Probleme der parallelen Berechnung und der Beeinflussung untereinander derart gelöst, dass jedes Neuron und jede Verbindung physikalisch vorhanden ist.

Die ersten Erfahrungen wurden mit der FACETS Stage 1 Hardware gesammelt. Das Herzstück dieser Hardware ist der sogenannte Spikey-Chip, er enthält 384 leaky Integrate-and-Fire Neuronen und 98.304 Synapsen, dabei stehen jedem Neuron 256 Synapsen zur Verfügung. Im Vergleich dazu besitzt jedes Neuron im menschlichen Gehirn im Mittel 1.000 Verbindungen zu anderen Neuronen. Die Netze auf einem Spikey laufen bis zu 100.000-mal schneller als in biologischer Zeit. Auch wenn das Neuron auf dem Chip analog arbeitet, findet die Kommunikation nach außen hin digital statt. So können die Neuronen über eine Backplane miteinander *Spikes*⁷ austauschen. Theoretisch wäre so ein Netzwerk mit 6.144 Neuronen und 1.572.864 synaptischen Verbindungen⁸ untereinander möglich. Die Bandbreite auf der Backplane ist hier jedoch der begrenzende Faktor. In vielen Experimenten wäre eine hohe Vernetzungsdichte wünschenswert, was somit zu einem Problem wird.

1.1 Wafer-Scale-Integration-System - Überblick

Um deutlich höhere Neuronen-, Synapsen- und Verbindungsdichten zu erreichen, wurde ein völlig neuer Ansatz nötig.

⁶Fast Analog Computing with Emergent Transient States

⁷In der Biologie werden Informationen pulsorientiert zwischen Neuronen ausgetauscht. Auch wenn die Daten digital ausgetauscht werden, nennt man diese Pakete Spikes

⁸1 Neuron ist über 256 Synapsentreiber ansprechbar, d.h. die Anzahl möglicher Verbindungen ist $16 * 384 * 256$

1.1 Wafer-Scale-Integration-System - Überblick

Im Wafer-Scale-Integration-System werden die Silizium-Chips nicht aus dem Wafer herausgetrennt und nachträglich über eine Backplane wie im Stage 1 System verbunden, sondern der Wafer wird als Ganzes verwendet. Dafür mussten verschiedene Komponenten neu entwickelt werden.

In Abbildung 1.1 sind von oben nach unten folgende erkennbar:

1. **FPGA**⁹/**DNC**¹⁰-Systeme - zur Kommunikation mit den HICANN-Chips
2. **Topframe** - Rahmen für Platine und Befestigung des Wafer-Bracket
3. **Systemplatine** - genannt *nichtMARES*¹¹
4. **FR4-Schablone** für die Positionierung der Elastomerverbinder¹²
5. **Wafer** - enthält die HICANNs¹³ und die Post-Processing Strukturen¹⁴
6. **Wafer-Bracket** - Aufnahmeform und Kühlung für den Wafer

Damit ein solcher Aufbau reibungslos funktioniert, müssen seine einzelnen Teile schon im Vorfeld getestet werden.

In einer Diplomarbeit wurde die Justage-Einheit aus Topframe und Wafer-Bracket entwickelt und die Elastomerverbinder auf ihre Eigenschaften der Strombelastbarkeit untersucht[33].

Das System aus FPGA- und DNC-Boards wurde von der TU Dresden entwickelt. Es konnte erfolgreich eine Verbindung zwischen zwei FPGA-Systemen mit DNCs hergestellt werden. Die Kommunikation zwischen FPGA und HICANN über einen DNC[20] funktioniert.

Die HICANNs mit den Adaptive Exponential Integrate-and-Fire Neuronen wurden in Betrieb genommen und erste Tests mit den Neuronen durchgeführt[16].

Zur Fertigstellung des Systems fehlen noch die Systemplatine und der Wafer.

Um noch mehr Erfahrungen mit dem HICANN zu sammeln, wurde entschieden, zuerst einen Short-Loop-Wafer zu produzieren. Dieser ist konzipiert, alle Funktionen der Systemplatine wie Stromüberwachung und Signaltransport zu testen. Er enthält jedoch keine aktiven Elemente, sondern stellt nur die Verbindungen zwischen den Pads der Systemplatine her.

Bei diesem Aufbau ist zum ersten Mal erkennbar, inwieweit Elastomerverbinder Einfluss auf die Signalqualität haben.

⁹Field Programmable Gate Array

¹⁰Digital Network Chip - für weitere Informationen siehe [15], [14] und [13]

¹¹die Abkürzung **MARES** steht für: **M**onitoring an **A**mount of **R**eceived Voltages in Addition to an **E**normous **S**ignal Count

¹²Im Abbildung 1.1 ist die Schablone direkt unter der Leiterplatte und nicht zu sehen.

¹³High Input Count Analog Neural Network

¹⁴Diese verbinden die HICANNs direkt auf dem Wafer und stellen die Pads zu den Elastomerverbindern bereit.

1 Einleitung

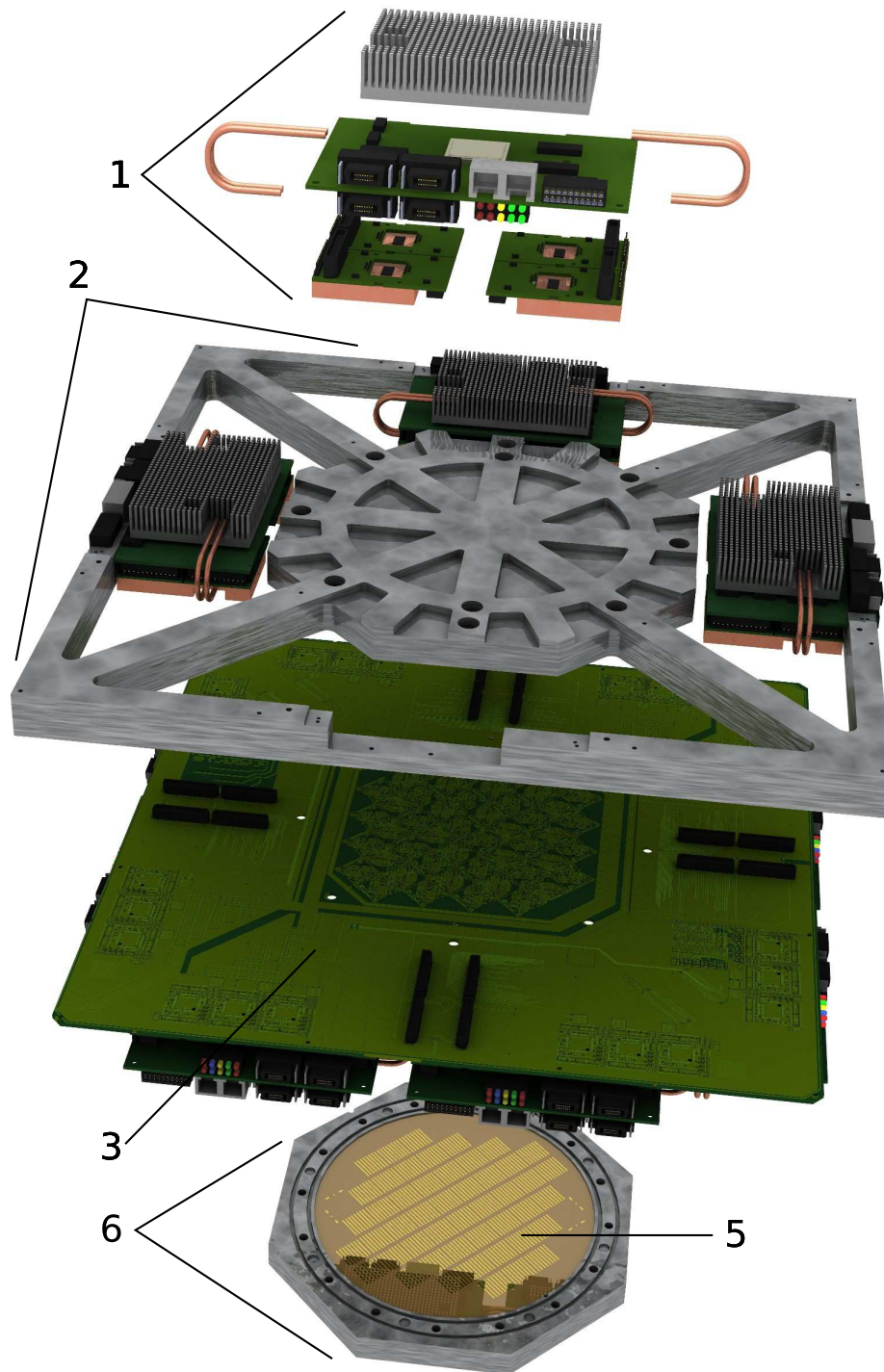


Abbildung 1.1: Wafer-Scale-Integration-System mit seinen einzelnen Komponenten. Erklärung der Zahlen siehe Auflistung

1.1 Wafer-Scale-Integration-System - Überblick

Die vorliegende Diplomarbeit beschreibt die Entwicklung der Systemplatine, die alle Verbindungen zwischen den DNC-Boards und dem Wafer ermöglicht und die Stromüberwachung für alle Retikel¹⁵ übernimmt¹⁶.

Ein weiteres Augenmerk soll auf die Automatisierbarkeit der Systemplatine beim Layouten¹⁷ gelegt werden. Es ist nachvollziehbar, dass über 3.000 differentielle Leitungen nicht in angemessener Zeit von Hand verlegt werden können. Hinzu kommt noch die notwendige Genauigkeit, die die Pads auf der Boardunterseite zu den Elastomeren und zum Wafer haben müssen. Für diese Zwecke wird zum ersten Mal in der Electronic Vision(s)-Forschungsgruppe beim Entwurf einer Leiterplatte die Programmiersprache *SKILL* von Cadence eingesetzt. Diese ist für automatisierbare Aufgaben entwickelt worden und soll dem Anwender unnötige Arbeit abnehmen (s. Kap. 5).

Damit die Entwicklung des Boards nicht zu lange dauert, muss es möglich sein, dass mehrere Personen gleichzeitig an dem Projekt arbeiten können. Das ist ein Novum für die Leiterplattenentwicklung in dieser Arbeitsgruppe. Der Projektaufbau musste modular an die neuen Anforderungen angepasst und in kleinem Rahmen getestet werden, bevor er an dem großen Board *nightMARES* eingesetzt werden kann.

Hierfür hat sich die Stromüberwachungsplatine, genannt Powerboard, angeboten. Die Testplatine enthält alle Schaltungen, die später auf dem Systemboard vorhanden sind, sowie ein Retikel-Modul, an dem ein Konzept für die Stromversorgung entwickelt werden kann (Zum Powerboard s.a. Kap. 4).

Bei dem Systemboard werden die Techniken für ein größeres Projekt verwendet, wobei als Folge auch die Komplexität enorm ansteigt und neue Problemstellungen mit sich bringt (s. Kap. 6).

Das Ziel dieser Arbeit ist es, den Prozess der Leiterplattenentwicklung zu optimieren und eine hochintegrierten Leiterplatte für das Wafer-Scale-Integration System zu entwerfen.

¹⁵Ein Retikel sind acht HICANNs auf dem Wafer, die produktionsbedingt in einem Schritt hergestellt werden. Die eingenommene Fläche auf dem Wafer steht jedem Retikel auch auf der Systemplatine zu

¹⁶Wenn nicht anders angegeben, bezieht sich die Bezeichnung Retikel auf die entsprechende Einheit auf der Systemplatine.

¹⁷Layouten bedeutet, den Bauteilen und Leitungen ihren Platz auf der Platine virtuell zu zuweisen

2 Grundlagen der Leiterplatten-Produktion

Die Entwicklung einer Leiterplatte erfordert Kenntnisse in vielen Bereichen. Der folgende Text soll den allgemeinen Ablauf bei der Produktion einer Platine und ihrer Komponenten aufzeigen. Ein Grundverständnis war notwendig bei der Planung der Systemplatine für das Wafer-Scale-Integration System. Alles, was in der Vorbereitung mit dem ausgewählten Leiterplattenhersteller, der Firma Würth Elektronik, abgeklärt werden konnte, bereitete später beim Design des Boards keine zeitraubenden Probleme.

Es kann nur ein kleiner Einblick in die Produktion gegeben werden, für weitere Informationen s. Firma Würth Elektronik Website¹ oder „High Performance Printed Circuit Boards“ von Charles Harper[19].

2.1 Mehrlagen-Platine

Seit den ersten Versuchen mit der Zwei-Lagen-Leiterplatte hat sich vieles geändert. Heute können Platinen unter bestimmten Einschränkungen mit bis zu 52 Lagen produziert werden². In Abbildung 2.1 ist der allgemeine Aufbau einer sechs Lagen Platine dargestellt. Es lassen sich bei Mehr-Lagen-Platinen alle Komponenten variieren. So kann sowohl die Kupferdicke unterschiedliche Werte auf verschiedenen Lagen einnehmen oder in einer Lage wird Kupfer durch ein anderes Material ersetzt, wie z.B. Aluminium. Die entsprechende Materialauswahl richtet sich immer nach den Anforderungen an die Leiterplatte. Das Prepreg zwischen den Kupferlagen ist für die Isolation zuständig, dabei hat es auch einen entscheidenden Einfluss auf die Signalübertragung. Der Standard ist FR4, ein Glasfaser-Epoxyd-Harz. Das Verhältnis zwischen Glasfasergewebe und Harz bestimmt die Dicke und die Dielektrizitätszahl des Dielektrikums. Außerdem können weitere Materialien wie Polyamid, Teflon oder Keramik zum Einsatz kommen. Diese sind zwar teurer, können aber bei höheren Temperaturen betrieben werden oder haben eine geringere Dielektrizitätszahl.

Eine mehrlagige Leiterplatte wird immer von innen nach außen im sequentiellen Lagenaufbau-Verfahren hergestellt. In Abbildung 2.2 werden die Prozessschritte für eine vierlagige Leiterplatte schematisch dargestellt. Zuerst wird auf einen Kern aus FR4, der auf beiden Seiten vollflächig mit Kupfer bedeckt ist, das Leiterbahnbild aufgebracht. Abbildung 2.3 zeigt den Prozess für den Aufbau einer Leiterbahn. Dabei entstehen keine rechteckigen, sondern trapezförmige Leiterbahnen, weil beim Abätzen des Kupfers

¹siehe Leiterplatten-Abteilung auf <http://www.we-online.de>

²siehe <http://jp.fujitsu.com/group/fict/en/services/high-layer.html>

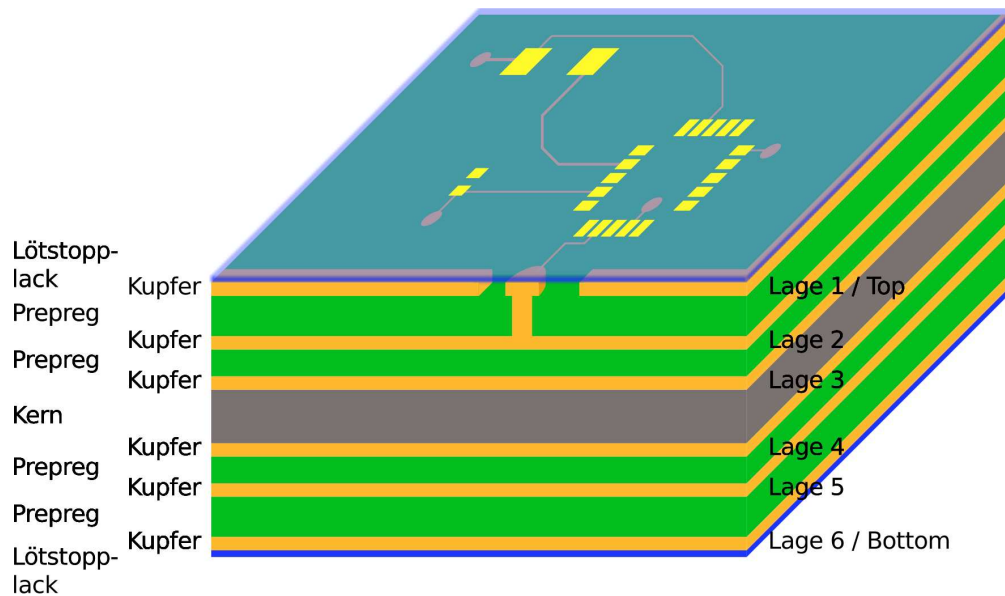


Abbildung 2.1: Aufbau einer 6-Lagen Platine

immer Ätzmittel unter den Fotolack fließt. Diese Besonderheit spielt bei der Impedanzberechnung im Unterkapitel 3.4 eine Rolle. Sind Ober- und Unterseite des Kerns mit dem Leiterbahnbild erstellt, werden von beiden Seiten die Prepreg-Platten³ aufgepresst. Diese Platten haben eine Kupferschicht für das nächste Leiterbahnbild. Bei diesem Schritt muss ein bestimmtes Druck- und Temperaturprofil durchfahren werden, damit die Platten anschließend fest verbunden bleiben. Beim Design der Leiterplatte muss darauf geachtet werden, dass die Kupferverteilung über die Platine konstant ist. Freiflächen sind mit Kupfer zu füllen. Die Maßnahme ist notwendig, damit bei größeren Leiterplatten die Druckverteilung an allen Punkten konstant ist. Die Firma Würth Elektronik hat dafür ein automatisches Programm zur Verfügung, das Freiflächen mit einem Karomuster aus Kupfer bedeckt.

Die Herstellung einer Leiterplatte mit drei Verpressungen gehört mittlerweile zum Standard. Werden mehr Lagen gefordert und somit mehr Verpressungen durchgeführt, kann es passieren, dass die inneren Lagen spröde und Leiterbahnen dadurch zerstört werden. Wenn die Lage auf den FR4-Kern aufgebracht und das Leiterbahnbild geätzt ist, können Microvias oder Buried Vias eingebracht werden. Dieser Schritt wird im nächsten Unterkapitel beschrieben. Für jede weitere Lagen wird der gleiche Prozess nochmals durchlaufen. Sind alle Lagen erstellt, werden die Bohrungen durch die komplette Platine vorgenommen. Diese werden erst nach kompletter Fertigstellung der Leiterplatte vorgenommen, da nur so ein gleichmäßig durchgängiges Loch garantiert werden kann. Bei separater Bohrung der einzelnen Lagen würde außerdem nie eine absolute Reproduzierbarkeit der Bohrlöcher erreicht werden. Mit einem Lötstopplack werden die Ober- und Unterseite

³Eine Firma die solche Platten herstellt ist Isola, auf ihrer Homepage sind ausführlich Informationen zu den Produkten(<http://www.isola.de>).

2 Grundlagen der Leiterplatten-Produktion

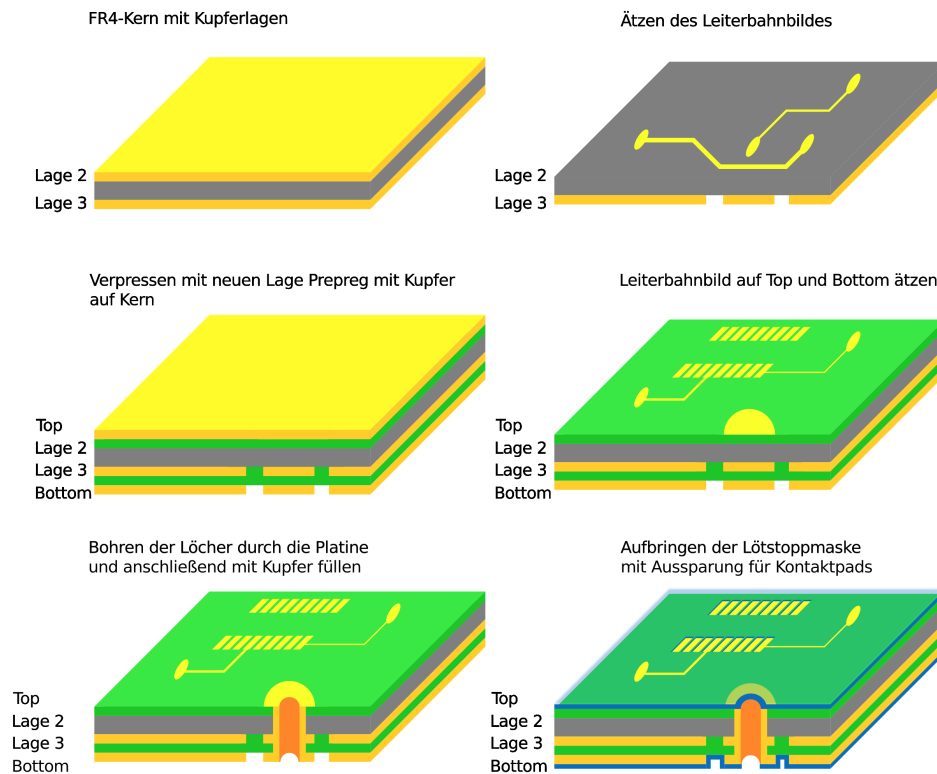


Abbildung 2.2: Prozessschritte für eine mehrlagige Platine

zum Schluss versiegelt, als Schutz der Leitungen vor mechanischen und elektrischen Einflüssen. Der Lack wird nur an jenen Stellen nicht ausgehärtet, wo später Bauteile, Kabel oder Messspitzen Kontakt mit dem Kupfer benötigen.

2.2 Microvia-Technik

Für den immer wieder notwendigen Lagenwechsel einer Leitung werden Vias verwendet. Dadurch kann eine Leitung nicht nur in horizontaler Ebene, sondern auch in vertikaler Richtung verlegt werden. Es gibt mittlerweile viele Arten von Vias für unterschiedlichste Anforderungen. Ein Via beschreibt ein Loch zwischen zwei oder mehreren Lagen, das mit verschiedenen Methoden eine elektrische Verbindung zwischen den Lagen herstellt. Diese Verbindung kann durch galvanisches Auftragen von Kupfer oder Einpressen von Kupferhülsen/-stiften geschehen⁴.

⁴Als Material muss nicht unbedingt Kupfer benutzt werden, es können z.B. auch Alustifte verwendet werden.

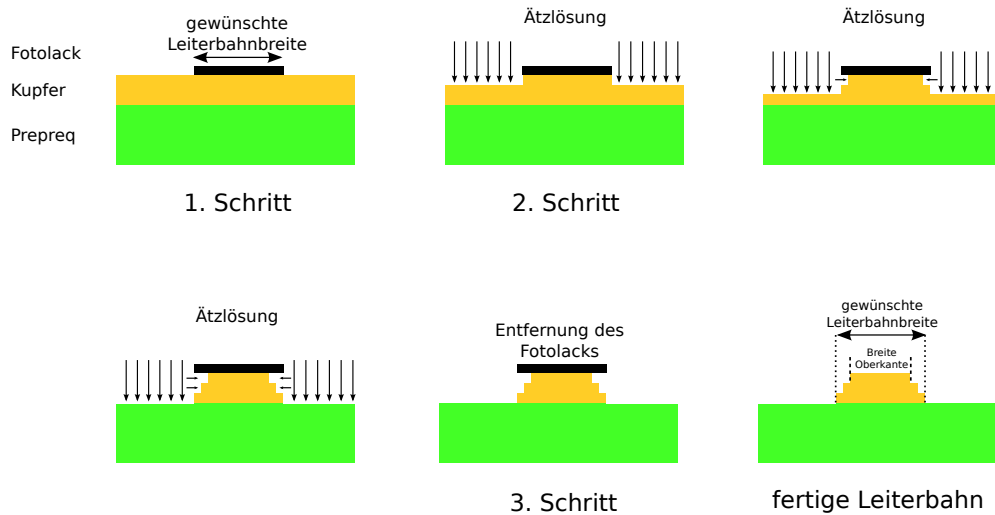


Abbildung 2.3: Produktion einer Leiterbahn

2.2.1 Konventionell gebohrte Vias

Um eine Verbindung zwischen mehreren Lagen herzustellen, bieten sich konventionell gebohrte Vias als einfachste Methode an. Nach Fertigstellung der Leiterplatte wird mit einem mechanischen Bohrer ein Loch durch die gesamte Leiterplatte gebohrt. Die Lagen werden anschließend leitfähig verbunden. Die Firma Würth Elektronik produziert auf diese Weise Vias runter bis zu einem Durchmesser von $300\ \mu\text{m}$ ⁵. Abbildung 2.4 zeigt ein 3D-Modell eines Buried Vias⁶, welches auf der Systemplatine benutzt wird. Es hat einen Bohrdurchmesser von $400\ \mu\text{m}$ und einen Restring⁷ von $150\ \mu\text{m}$.

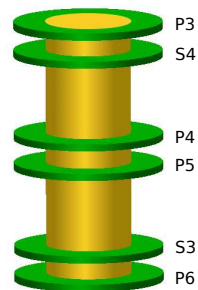


Abbildung 2.4: 3D-Modell eines Buried-Vias

⁵siehe http://www.wedirekt.de/index.php/specs#c_pcb_technology

⁶*Buried Vias* sind Vias in einer Leiterplatte, die keine Pads auf der Ober- bzw. Unterseite haben. Im Deutschen heißen sie *vergrabenes Via*, doch hat sich auch hier der Begriff durchgesetzt *Buried Via*

⁷Der Restring der überstehende Bereich eines Pads nach dem Bohren.

2.2.2 Produktion von Microvias

Als Microvia werden Löcher mit einem Durchmesser kleiner als 300 μm bezeichnet. Zur Herstellung werden keine klassischen Bohrer verwendet, sondern UV- und CO_2 -Laser. Der UV-Laser wird zum Entfernen des Kupfers und der CO_2 -Laser für das Prepreg verwendet. Beim Brennen der Löcher durch das Prepreg wird das Material an der Innenwand kurzzeitig flüssig und erkaltet sofort wieder. Die Wand des Prepregs wird dadurch gleichmäßig glatt. Dies ermöglicht später ein besseres Absetzen des Kupfers. Microvias gehen immer nur von einer Lage zur nächsten und nicht gleich durch die gesamte Platine. Abbildung 2.5 zeigt die Prozessschritte für ein Microvia. Für den Laser wäre es kein Problem, tiefere Löcher in die Leiterplatte einzubringen, doch das anschließende Verfüllen der Löcher ist für heutige Industrieanlagen bei zu tiefen Bohrungen schwierig. Für Vias gibt es deshalb vom Leiterplattenhersteller ein vorgegebenes Aspect-Ratio, innerhalb dessen ein Funktionieren des Vias garantiert wird. Dieses Aspect-Ratio ist das Verhältnis von Bohrdurchmesser zu Leiterplattendicke, bei der Firma Würth Elektronik z.B. 1 : 0,8⁸. Für das Routing der Leitungen von den Retikeln müssen Microvias gestapelt werden, d.h. Microvias können an der gleichen Position mehrere Lagen verbinden. Dafür ist es nötig, dass jedes Microvia komplett mit Kupfer gefüllt wird (s. Abb. 2.6). Das bedingt wiederum den Strahldurchmesser des Lasers, der den maximalen Durchmesser von 150 μm verwenden muss. Bei kleinerem Durchmesser wäre nicht garantiert, dass das Kupfer sich bis zum Boden des Loches absetzt.

Für unser Projekt haben Microvias zwei entscheidende Vorteile gegenüber gebohrten Vias. Zum einen sind nicht alle Lagen bei der Verwendung von Microvias betroffen, Microvias sind nur auf den Lagen zwischen Anfangs- und Endlage zu sehen. Diese Eigenschaft wird beim Verlegen der Leitungen von den Retikeln nach außen hin genutzt (s. Abschnitt 6.2.1).

Zum anderen werden Stichleitungen, auch *Stubs* genannt, in den Signalleitungen vermieden, was unter anderem Einfluss auf die Signalqualität hat (s. Abschnitt 3.1.3).

⁸siehe "HDI / Microvia Design Rules" auf www.we-online.de/micorvia

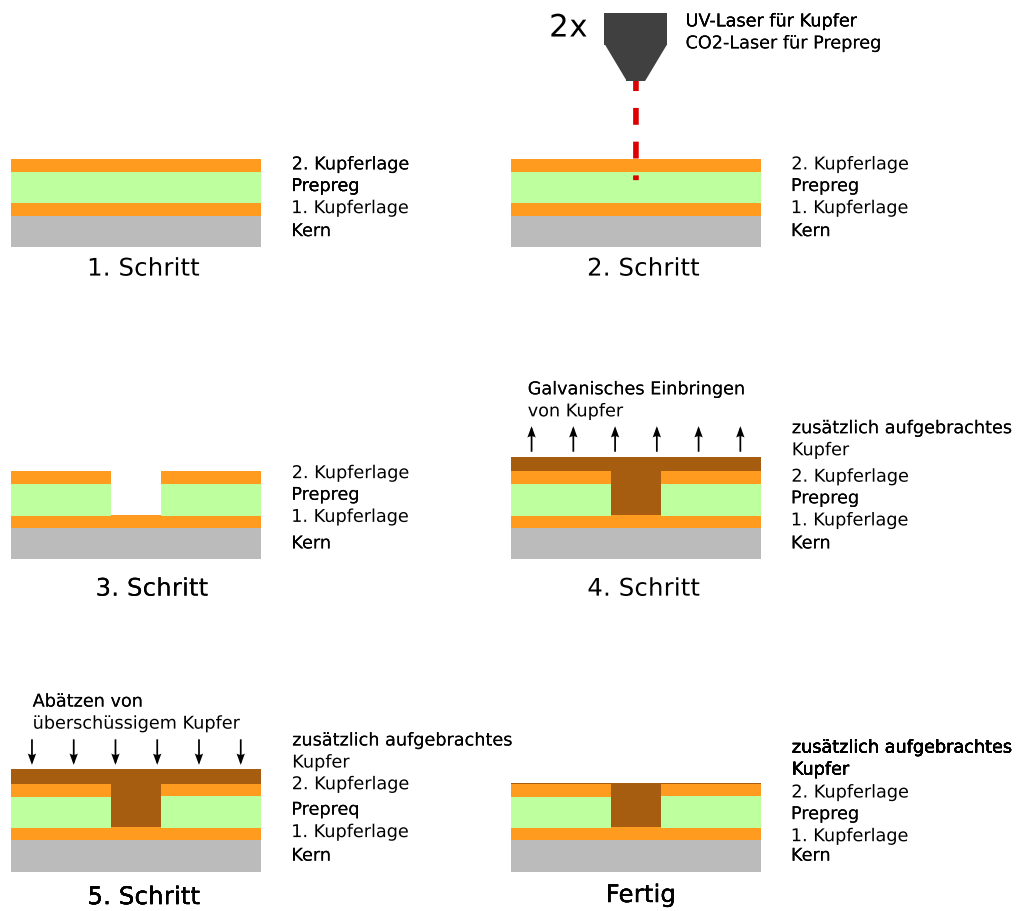
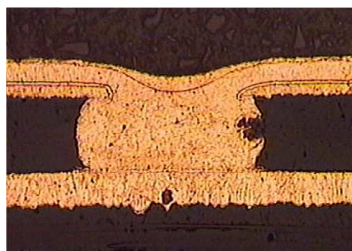
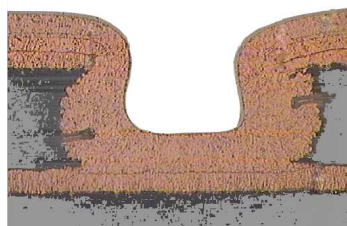


Abbildung 2.5: Produktionsschritte für ein gefülltes Microvia



(a) Kupfergefülltes Microvia



(b) Querschnitt eines einfachen Microvias

Abbildung 2.6: Unterschiedliche Verfüllung von Microvias mit Kupfer (Mit Genehmigung der Firma Würth Elektronik)

3 Grundlagen der Signalübertragung und Stromversorgung auf Leiterplatten

In diesem Kapitel werden die Grundlagen für die Signalübertragung und Stromverteilung auf einer Leiterplatte behandelt. Auf diesen aufbauend kann später unter Einbeziehung äußerer Bedingungen und Anforderungen entschieden werden, welche Maßnahmen getroffen werden müssen, um eine funktionierende Leiterplatte zu erhalten. Die Übertragung von hochfrequenten Signalen ist in besonderem Maße von der unmittelbaren Umgebung, wie z.B. Dielektrikum, Abstand zum Referenzpotential und weiteren Faktoren beeinflusst. Schließlich wird die Stromversorgung, bei der wichtige Komponenten zur Dimensionierung wie Leiterbahnbreite/-dicke und Viabelastung angesprochen werden, behandelt.

3.1 Theorie zur Signalübertragung

Die Form der Signalübertragung lässt sich in zwei Bereiche unterteilen:

- analoge Signale, die kontinuierlich in einem definierten Wertebereich verlaufen, z. B. ein Audiosignal von einem Mikrofon.
- digitale Signale, die nur zwei Zustände, annehmen können.

Damit das digitale Signal sich nicht in einem undefinierten Zustand befindet, gibt ein Taktsignal vor, zu welchen Zeitpunkten das Signal ausgewertet werden soll. Wie bei analogen wird bei digitalen Signalen nur ein analoger Spannungspegel übertragen.

Daraus ergibt sich, dass in beiden Fällen das analoge Verhalten des Signals beim Empfänger darüber entscheidend, ob dieser die Information auslesen kann.

Die Anstiegszeit¹ t_r hat für das Signal hierbei eine entscheidende Bedeutung. Mit der Gleichung 3.1 wird die Geschwindigkeit v_p , mit der sich ein Signal ausbreitet in einem Board ausgerechnet.

$$v_p = \frac{c}{\sqrt{\epsilon_r}} \tag{3.1}$$

v_p : Geschwindigkeit des Signals [m/s]

c : Lichtgeschwindigkeit

ϵ_r : Dielektrizitätszahl des Materials

¹Als Anstiegszeit wird die Dauer zwischen 10% und 90% des Signalpegels definiert, entsprechendes gilt für die Abfallzeit.

Mit der Leitungslänge l wird nun die Signalverzögerung t_d berechnet.

$$t_d = \frac{l}{v_p} \quad (3.2)$$

$$= \frac{l * \sqrt{\epsilon_r}}{c} \quad (3.3)$$

Ist nun $t_r < 4*t_d$, dann müssen die Signalleitungen als Wellenleiter betrachtet werden und Effekt wie Reflexion und Übersprechen treten in Erscheinung². Somit lässt sich ebenso die maximale Strecke berechnen, auf der Leitungen nicht als Wellenleiter betrachtet werden müssen. Beim nightMARES-Board ist es z. B. die Strecke des Ext-Clock-Signals von der Terminierung auf der Oberseite zur Unterseite des Boards, wo die Pads für die Verbindung zum Wafer sind.

3.1.1 Elektrodynamik

Elektromagnetische Wellen, die durch die allgemeinen Maxwell-Gleichungen beschrieben werden, breiten sich in Leiterbahnen aus und werden durch die sie umgebenden Materialeigenschaften beeinflusst.

$$\nabla \mathbf{D} = \rho \quad (3.4)$$

$$\nabla \times \mathbf{E} = -\dot{\mathbf{B}} \quad (3.5)$$

$$\nabla \times \mathbf{H} = \mathbf{j} + \dot{\mathbf{D}} \quad (3.6)$$

$$\nabla \mathbf{B} = 0 \quad (3.7)$$

\mathbf{E} : elektrische Feldvektor

\mathbf{H} : magnetischer Feldvektor

\mathbf{D} : elektrische Flussdichte

\mathbf{H} : magnetische Flussdichte

ρ : freie Ladungsdichte

\mathbf{j} : Stromdichte

Es fehlen noch die Eigenschaften der Umgebung. Dazu besteht eine Verbindung zwischen Feldvektoren und Flussdichten.

$$\mathbf{B} = \mu \mathbf{H} \quad (3.8)$$

$$\mathbf{D} = \epsilon \mathbf{E} \quad (3.9)$$

$$\mathbf{j} = \sigma \mathbf{E} \quad (3.10)$$

μ : Permeabilität

ϵ : Dielektrizitätskonstante

σ : elektrische Leitfähigkeit

²Ausführlich beschrieben in [22]

3 Grundlagen der Signalübertragung und Stromversorgung auf Leiterplatten

Mit Hilfe der Kontinuitätsgleichung, der Lorentzgleichung, der Einführung des skalaren Potentials ϕ und des Vektorpotentials \mathbf{A} ergibt sich die bekannte Poisson-Gleichung.³

$$\square \mathbf{A} = -\mu \mathbf{j} \quad (3.11)$$

$$\square \phi = -\frac{\rho}{\epsilon} \quad (3.12)$$

$$\square \equiv \Delta - \frac{1}{c^2} \frac{\partial^2}{\partial t^2} \quad \text{d'Alembert-Operator}$$

$$\Delta = \frac{\partial^2}{\partial x^2} \quad \text{Laplace-Operator}$$

Aus ihr lässt sich die statische Poisson-Gleichung erstellen, unter der Annahme, dass nur räumliche Gebiete kleiner als die Wellenlänge des Signals untersucht werden. Wie gut diese Näherung zutrifft, zeigt [18].

$$\Delta \mathbf{A} = -\mu \mathbf{j}$$

$$\Delta \phi = -\frac{\rho}{\epsilon}$$

Ab hier wird nur noch das mögliche weitere Vorgehen beschrieben, da die Gleichungen bei einem komplexen Leiterplattenaufbau nicht mehr lösbar werden. In den nächsten Abschnitten soll auf die Aspekte eingegangen werden, die zu einer Beeinträchtigung der Signalqualität führen können.

3.1.2 Ersatzschaltbild

Das Ersatzschaltbild für ein infinitesimales Leitungselement veranschaulicht die Funktionsweise eines Signalleiters. Es zeigt alle Merkmale, die ein Leiterbahnstück besitzt. Der

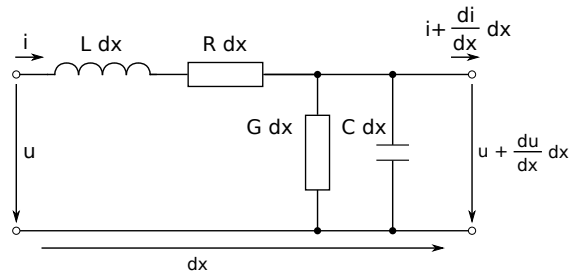


Abbildung 3.1: Ersatzschaltbild für ein infinitesimales Leiterbahnstück

Widerstand G ist der nicht idealen Isolation zwischen Leiter und Masse geschuldet. Das gleiche gilt für das Leiterbahnelement selbst, Kupfer ist kein idealer Leiter und besitzt einen intrinsischen Widerstand R . Das magnetische Feld wird durch die Induktivität L und das elektrische Feld durch die Kapazität C repräsentiert.⁴ Die Werte für R , G , L und

³Ausführlich beschrieben in "Grundkurs Theoretische Physik" von Nolting, s. [27]

⁴Alle Werte R , G , L und C sind als Einheit pro Länge zu verstehen.

C lassen sich über die Maxwell-Gleichungen mit der Greensfunktion ermitteln. Das ist, wie im vorherigen Abschnitt beschrieben, bei komplexen Aufbauten nicht mehr möglich und wird nur für die numerische Lösung herangezogen. Zur Simulation von Signalleitungen auf einem Board werden Programme wie z.B. SPECCTRAQuest/SipXp verwendet. Die Programme zerlegen die Leiterbahn in viele kleine Einzelstücke und bestimmen dann die einzelnen Werte.

Eine andere Vorgehensweise ist das Aufstellen von Differentialgleichungen für Spannung und Strom. Die Gleichungen lassen sich mit dem Ersatzschaltbild problemlos aufstellen. Die kompletten Rechnungen können in [17] nachgelesen werden. Wichtig ist das Ergebnis der Leitungsimpedanz Z_0 für eine Leiterbahn.

$$Z_0 = \sqrt{\frac{R + i\omega L}{G + i\omega C}} \quad (3.13)$$

Sie spielt für die folgende Betrachtung eine wesentliche Rolle.

3.1.3 Reflexion

Reflexion tritt immer dann auf, wenn sich die Umgebung einer Welle ändert. Ein Beispiel dafür wäre aus der theoretischen Physik die elektromagnetische Welle an einer Potentialbarriere. Bei der Signalausbreitung in Leitungen ist es genauso, nur ändert sich hier nicht das Potential, sondern die Leitungsimpedanz. An dieser Stelle entsteht zusätzlich eine zurücklaufende Welle, die mit einem weiteren einlaufenden Signal interferieren kann. Das kann dazu führen, dass die Signalform so stark verändert wird, dass der Empfänger nichts erkennen kann. Ein extremes Beispiel wäre eine Leitung ohne Terminierung oder mit der Masse kurzgeschlossen, dann würde das Signal komplett reflektiert.

Beim Platinenlayout führen Vias zu Impedanzsprüngen in der Leitung. Ihre Geometrie und Einbettung in eine nicht gleichmäßige Umgebung machen es sehr schwer, sie an die Leitungsimpedanz anzupassen. Gebohrte Vias, die nicht komplett mit Kupfer verfüllt sind, haben erschwerend einen Luftzylinder in der Mitte. Wenn das Signal nicht zwischen Top- und Bottomlage wechselt, gibt es außerdem Bereiche, die eine Abzweigung vom Signalpfad bewirken und ein offenes Ende haben. In Abbildung 3.2 ist dieser Fall

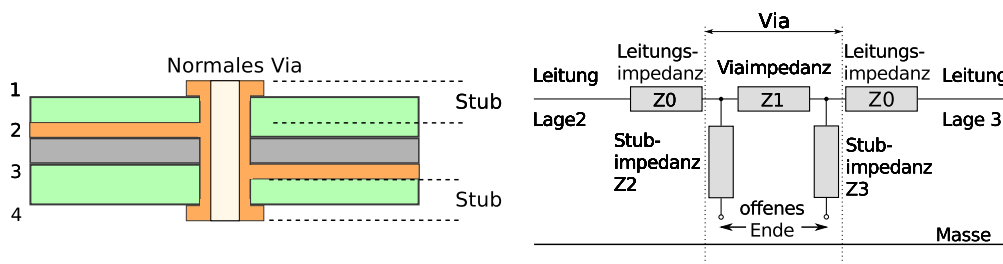


Abbildung 3.2: Querschnitt eines gebohrten Vias mit Ersatzschaltbild

schematisch dargestellt. Man erkennt deutlich die Stichleitungen, auch Stubs genannt, die nicht terminiert sind und zu Reflexionen führen. Im Ersatzschaltbild sind alle Impe-

3 Grundlagen der Signalübertragung und Stromversorgung auf Leiterplatten

danken der Signalleitung eingetragen. An jeder Stelle, an der eine Impedanz zur nächsten wechselt und ein Sprung in den Werten ist, entsteht Reflexion.

Diese Störquellen lassen sich nur schwer abstellen, deshalb ist die allgemeine Vorgehensweise Vias so wenige wie möglich in Signalleitungen zu platzieren. Durch den Einsatz neuerer Viatypen lässt sich die Anzahl an Stichleitungen durch Vias verringern bzw. ganz vermeiden. Als Beispiel der Lagenwechsel von Lage 2 nach 3 aus Bild 3.2, durch den Einsatz eines Buried Vias (s. Abbildung 3.3a) sind die zwei Stichleitungen nicht mehr vorhanden. Experimentelle Untersuchungen haben die Auswirkungen von gebohrten

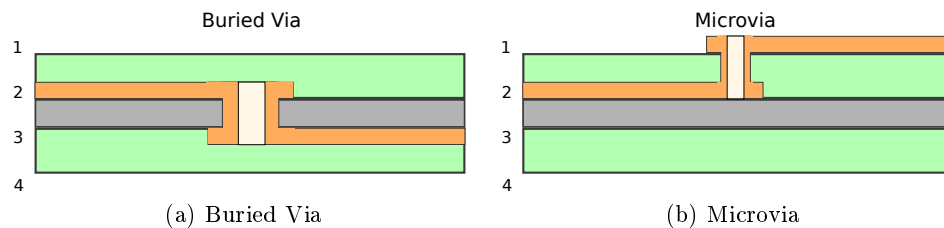


Abbildung 3.3: Verschiedene Viatypen verursachen keine Stichleitungen beim Lagenwechsel

Vias und Microvias untersucht. Die Firma Agilent hat gezeigt, dass das Eye-Diagramm für hohe Datenübertragungen sauberer und offener bei Microvia-Verwendung ist (s. [1]).

Neben der Reflexion gibt es noch weitere Störquellen für elektrische Signale, wie z. B. das Übersprechen von einer Leitung auf eine andere, durch kapazitive oder induktive Kopplung. Leider kann an dieser Stelle nicht ins Detail gegangen werden und es muss auf weitere Literatur verwiesen werden wie [22].

Der Einfluss durch Übersprechen lässt sich durch Vergrößern des Störabstandes minimieren. Der Störabstand ist definiert, als der Abstand zwischen zwei Leitungen für verschiedene Signale. Als praktisch hat sich die 3-W-Daumenregel erwiesen, die besagt, dass der Abstand zwischen verschiedenen Signalen das dreifache der Leiterbahnbreite betragen soll. Experimentelle Untersuchungen haben das als hinreichende Design-Regel bestätigt (s. [24]).

3.2 Einfache Datenleitungen

Die einfachste Übertragungsart zwischen einem Sender und einem Empfänger ist eine einzelne Leiterbahn. Der Sender legt einfach einen Spannungswert auf die Leitung. Damit der Empfänger den selben Wert liest, müssen beide die Spannung zum selben Referenzpotential auswerten. In den meisten Schaltungen ist das das Massepotential.

Wie am Anfang des Kapitels beschrieben, ist für kurze Strecken und langsame Signale die Leitung unkritisch. Bei schnellen Signalen gilt dieses jedoch nicht, hier muss die Leitung genauer betrachtet werden. Es gibt verschiedene Arten von Leitungstypen. In Abbildung 3.4 sind die beiden gebräuchlichsten Typen abgebildet. Die Microstrip-Leitung liegt auf einer Außenlagen (Top oder Bottom) und besitzt nur eine Referenzlage. Auf der anderen

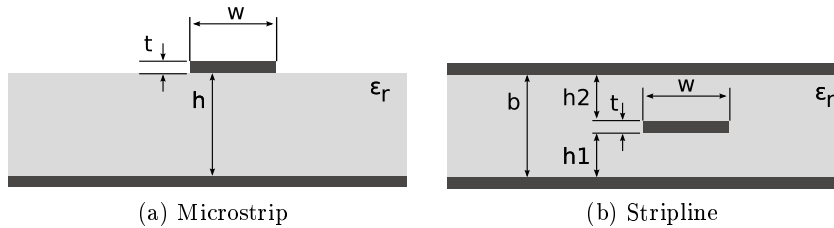


Abbildung 3.4: Unterschiedliche Leitungstypen auf einem Board

Seite wird die Stripline auf einer Innenlage zwischen zwei Referenzlagen verlegt. Die Referenzlagen sorgen für eine gleichbleibende Umgebung für die Signale, sodass für beide Fälle sich die Impedanz berechnen (s. Abschnitt 3.4.1) lässt. Des Weiteren sorgen die Referenzlagen für ein Ablenken der Feldlinien der Signale. Je näher die Leiterbahnen den Referenzlagen kommen, desto mehr werden die Feldlinien auf die Kupferlagen umgelenkt. Dieses Umlenken verringert das Übersprechen der Signale auf andere Leitungen.

3.3 Differentielle Datenübertragung

Bei der differentiellen Datenübertragung werden zwei Leitungen für ein Datenbit benutzt. Der Empfänger bildet die Differenz aus beiden Spannungen ΔV und entscheidet, ob es ein HIGH- oder LOW-Zustand ist. Diese Art der Übertragung ist robuster gegen Störeinflüsse von außen, da immer beide Leitungen gleich betroffen⁵ sind und die Differenz nicht verändert wird. Das gilt für elektromagnetische Wellen, die von außen auf die Leiterplatte wirken und ebenso für vorhandenes Übersprechen durch benachbarte Leitungen auf der Leiterplatte. Die HIGH- und LOW-Zustände des Signals sind nur durch die Spannungsdifferenz festgelegt und unabhängig vom Masseanschluss der Schaltung. Dabei gibt es zwei unterschiedliche Übertragungsmöglichkeiten: Werden auf beiden Leitungen Signale mit gleicher Amplitude, Polarität und Phase betrieben, so gilt für die Leitungen jeweils die Impedanz Z_g ihrer *geraden Mode*⁶ und für die Impedanz des Paares die *Gleichtakt-Impedanz*⁷. Technisch kommt meistens die gegenphasige Übertragung zur Anwendung. Es gilt die Impedanz Z_u der ungeraden Mode⁸ für die einzelnen Leitungen, die Impedanz zwischen ihnen heißt entsprechend *differentielle Impedanz*⁹. Damit die Impedanz der einzelnen Leitungen und zwischen ihnen gewahrt bleibt, werden die Leitungen in der Microstrip- oder Stripline-Art verlegt (s. Abb. 3.5). Auf die Berechnung der Leitungsimpedanz wird im Abschnitt 3.4 eingegangen. In der Industrie hat sich LVDS¹⁰ als Übertragungsstandard für die differentielle Datenübertragung durchgesetzt. Der Halbleiterhersteller National Semiconductor war maßgeblich bei der Entwicklung beteiligt und

⁵Gilt nur für nahe beieinander liegende Leitungen, liegen sie weit auseinander können sie wieder als einzelne Leitungen betrachtet werden.

⁶engl.: even mode impedance

⁷engl.: common mode impedance

⁸engl.: odd mode impedance

⁹engl.: differential impedance

¹⁰Low-Voltage Differential Signaling, unter TIA/EIA-644 definiert, s. [6]

3 Grundlagen der Signalübertragung und Stromversorgung auf Leiterplatten

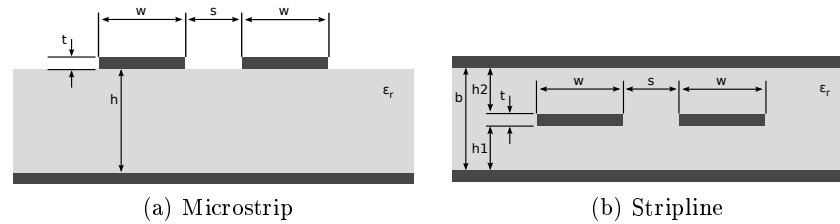


Abbildung 3.5: Unterschiedliche Arten von Leitungstypen, (a) auf einer Außenlage mit nur einer Referenzlage, (b) auf einer Innenlage mit zwei Referenzlagen

hat den Standard im Dokument „LVDS Owner’s manual“ [28] ausführlich erklärt. Die Ab-

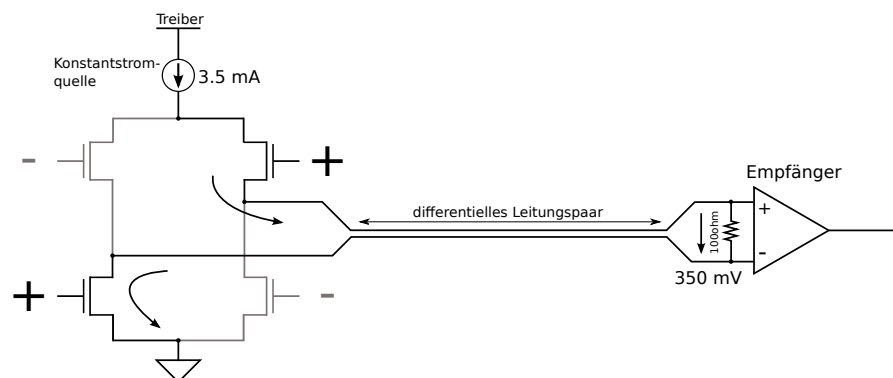


Abbildung 3.6: LVDS Sender und Empfänger

Abbildung 3.6 zeigt den schematischen Übertragungsweg vom Sender bis zum Empfänger. Dabei wird nicht mehr die Spannung am Sender generiert, sondern es fließt ständig ein konstanter Strom von 3,5 mA. Dieser Strom erzeugt am Terminierungswiderstand einen Spannungsabfall, der vom Empfänger gemessen wird. Durch Wechsel der Stromrichtung wird die gleiche Amplitude, aber mit gegensätzlicher Polarität, erzeugt. Anders als bei einfachen Datenleitungen entstehen keine Spannungsspitzen, da keine hohen Ströme mit Transistoren geschaltet werden müssen. Der Strompfad vom Sender zum Empfänger und zurück ist fast der selbe, wodurch die Induktivität sehr gering gehalten wird; die Felder lösen sich größtenteils gegenseitig auf. Die Erzeugung von EMI ¹¹ mit anderen Datenleitungen wird stark vermindert.

3.4 Impedanzberechnung

Die Impedanzberechnung von Leiterbahnen lässt sich nur mit Hilfe der Maxwell-Gleichungen durchführen. Die Formeln in den folgenden Unterkapiteln sind nicht sehr genau und beschreiben vereinfacht den Aufbau einer Leiterbahn. Dennoch lässt sich die gegenseitige Abhängigkeit von Impedanz und Parametern hinreichend darstellen.

¹¹ElektroMagnetische Interferenz

Die Ungenauigkeit der Formel liegt daran, dass einige Parameter nicht berücksichtigt werden. So wird der Leiterbahnquerschnitt als rechteckig angesehen und die reale Trapezform vernachlässigt. Daneben gibt es Lagenaufbauten, die nicht symmetrisch sind, sodass z.B. die Abstände einer Stripline zu den beiden Kupferlagen unterschiedlich sind. Ein asymmetrischer Aufbau hat Einfluss auf die Feldlinien des Signals, die Umgebung erscheint anders, wenn die Leitungen nahe bei einer Referenzlage liegen als in der Mitte zwischen den Referenzlagen. Bei Microstrip-Leitungen ist noch eine Lötstopmmaske über den Leitungen, die die Impedanz beeinflusst und in die vereinfachten Formeln nicht einbezogen wurde.

Die Impedanzberechnung wird heutzutage mit Hilfe eines Computers durchgeführt. So genannte *Field Solver* lösen die Maxwell-Gleichungen numerisch unter Berücksichtigung aller Randbedingungen der Leiterbahnkonfiguration wie z. B. der Trapezform. Für das nightMARES-Board wurde das Programm Speedstack von Polar Instruments¹² eingesetzt. Mit diesem wurde der komplette Lagenaufbau konstruiert. Anschließend wurden mit dem Programm *Si9000*¹³ die Leiterbahnparameter ermittelt, um die gewünschte Impedanz zu erhalten

In den folgenden Abschnitten sind die Formeln für die beiden Leitungsarten Microstrip und Stripline jeweils für einfache Datenleitungen und differentielle Datenleitungen dargestellt. Zum tieferen Verständnis bieten sich die Application Note "Transmission Line Rapiddesigner Operation and Applications Guide" [25] von National Semiconductor und der Artikel "PCB Impedance Control: Formulas and Resources"[8] von Douglas Brooks an. Hier sollen nur die allgemeinen Zusammenhänge zwischen Impedanz und den Variablen aufgezeigt werden.

3.4.1 Einfache Datenleitungen

$$Z_0 = \frac{60}{\sqrt{0.475 * \epsilon_r + 0.67}} * \ln \frac{4 * h}{0.67 * (0.8 * w + t)} \quad (\text{Microstrip Impedanz})$$

$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} * \ln \frac{4 * (h1 + h2 + t)}{0.67 * \pi * (0.8w + t)} \quad (\text{Stripline Impedanz})$$

Die folgenden, einfachen Gesetzmäßigkeiten gelten für beide Leiterbahntypen.

- Wächst die Dielektrizitätskonstante ϵ_r , sinkt die Impedanz
- Mit größerem Abstand zu der/den Kupferlage(n) wächst die Impedanz an
- Werden die Leiterbahnbreite bzw. -dicke größer, sinkt die Impedanz

3.4.2 Differentielle Leitungen

Problematisch für die Berechnung der differentiellen Impedanz ist die Wechselwirkung der elektromagnetischen Felder in den Leitungen untereinander. Es ist offensichtlich,

¹²siehe <http://www.polarinstruments.com/de/>

¹³ebenfalls von Polar Instruments

3 Grundlagen der Signalübertragung und Stromversorgung auf Leiterplatten

dass die charakteristischen Impedanzen der einzelnen Leitungen wieder in einfache Datenleitungen übergehen, wenn die Leitungen weiter auseinander gebracht werden. Die Kopplung hängt außerdem von den Abständen zu den umliegenden Referenzlagen ab. Liegen die Kupferlagen näher an den Leitungen, gehen weniger elektrische Feldlinien von einer Leitung zur anderen, sie werden zu den Kupferlagen abgelenkt. Die Werte in den Formeln sind von empirischen Daten abgeleitet und können bis zu 10% vom gewünschten Impedanzwert abweichen[25].

$$Z_{diff} \cong 2 * Z_0 * (1 - 0.48 * e^{-0.96 * \frac{s}{b}}) \quad (\text{Diff. Imp. von Microstrip-Leitungen})$$

$$Z_{diff} \cong 2 * Z_0 * (1 - 0.374 * e^{-2.9 * \frac{s}{b}}) \quad (\text{Diff. Impedanz von Striplines})$$

Zur Darstellung der Zusammenhänge bei differentiellen Datenleitungen gelten im Grunde die gleichen Regeln wie für einfache Datenleitungen, zusätzlich kommt hinzu:

- Je weiter die Leitungen voneinander separiert werden, desto kleiner wird die Impedanz

3.5 Theorie zur Stromversorgung

Eine Leiterplatte ist nicht nur für den Signaltransport zuständig, sondern auch für die Versorgung elektronischer Bauteile mit Strom. Die Stromversorgung hat andere Anforderungen an die Leitungen oder, wenn größer, Flächen als für die Signalübertragung. Einige Punkte wären der Spannungsabfall zwischen bestimmten Punkten auf der Leiterplatte, die Erwärmung der Leiterbahn durch Verlustwärme oder die Restwelligkeit der Versorgungsspannung. Alle benutzten Bauteile werden mit Gleichspannung betrieben. Deshalb findet die Umwandlung von Wechselspannung aus dem Hausstromnetz in Gleichspannung außerhalb der Platine in Netzteilen statt und auf der Platine werden nur Gleichspannungen verteilt. Die Gleichspannung vereinfacht das spätere Layouten der Leiterplatte, da der Rückstrom dem Pfad mit dem geringsten Widerstand folgt. Das ist auch deshalb von Bedeutung, um die Einflussmöglichkeiten für Störungen auf die Versorgungsspannung so gering wie möglich zu halten.

Jede Leiterbahn hat ihren charakteristischen Widerstand. Allgemein gilt für den Widerstand:

$$R = \rho * \frac{l}{A} \quad (3.14)$$

R : Widerstand in Ω

ρ : spez. Widerstand von Kupfer $0,0178\Omega \text{ mm}^2/\text{m}$

l : Länge des Leiters in mm

A : Querschnitt des Leiters in mm^2

Der Widerstand ist somit nur durch die geometrische Struktur des Leiters bestimmt. Mit einem Wert für den Widerstand können der Spannungsabfall und die Verlustleistung

ausgerechnet werden.

$$U = R * I \quad (3.15)$$

$$U = \rho * \frac{l}{A} * I \quad (3.16)$$

Für die Verlustleistung gilt bei Verwendung von Gleichung (3.15) :

$$P = U * I \quad (3.17)$$

$$= R * I^2 \quad (3.18)$$

$$= \rho * \frac{l}{A} * I^2 \quad (3.19)$$

3.5.1 Berechnung für Leiterbahnen

Bei der Impedanzberechnung wird zwar die Trapezform der Leitungen beachtet, doch spielt sie eine vernachlässigbare Rolle für den Stromtransport. Im vorliegenden Fall handelt es sich eigentlich eher um Kupferflächen als um Leiterbahnen. Die Breite der Kupferflächen sind im mm-Bereich. Die Unterschiede zwischen Unterkante und Oberkante betragen maximal 20 μm ¹⁴. Deshalb kann ein quadratischer Querschnitt angenommen werden, wobei die Höhe durch die Lagendicke vorgegeben ist.

$$R = \rho * \frac{l}{b * h} \quad (3.20)$$

3.5.2 Berechnung für Vias

Die Strombelastung berechnet sich ähnlich wie für Leiterbahnen, nur wird die spezielle Geometrie der Vias eingebracht. Die für das Powerboard und nightMARES-Board verwendeten Vias haben den Vorteil, komplett mit Kupfer aufgefüllt zu sein und können deshalb als Zylinder betrachtet werden. In Abbildung 2.4 befinden sich auf jeder Lage Landungspads, die bei der Berechnung wegen ihrer geringen Höhe im Vergleich zur Gesamthöhe des Vias, ebenfalls vernachlässigt werden können

Der Querschnitt ist eine Kreisfläche und die Länge entspricht der Bohrtiefe.

$$A = \pi * r^2 \quad (3.21)$$

$$R = \rho * \frac{h}{\pi * r^2} \quad (3.22)$$

Zum Vergleich mit normalen Vias, die auf der Innenwand nur dünn mit Kupfer beschichtet sind¹⁵. Die Dicke dieser Beschichtung beträgt ca. 20 μm , der Querschnitt ist

¹⁴siehe Tabelle im Anhang zu Fertigungstoleranzen B

¹⁵Dieser Viatyp wird als Plated Via bezeichnet.

3 Grundlagen der Signalübertragung und Stromversorgung auf Leiterplatten

nur noch ein Kreisring.

$$A = \pi * (r^2 - (r - 20\mu\text{m})^2) \quad (3.23)$$

$$= \pi * (r^2 - r^2 + 2 * r * 20\mu\text{m} - 400\mu\text{m}^2) \quad (3.24)$$

$$= \pi * (2 * r * 20\mu\text{m} - 400\mu\text{m}^2) \quad (3.25)$$

$$R = \rho * \frac{l}{\pi * (2 * r * 20\mu\text{m} - 400\mu\text{m}^2)} \quad (3.26)$$

Betrachtet man nur die Beziehung zwischen Widerstand R und Bohrradius r, stellt man fest:

$$\begin{aligned} R_{\text{plated Via}} &\propto \frac{1}{r} \\ R_{\text{gefülltes Via}} &\propto \frac{1}{r^2} = \underbrace{\frac{1}{r}}_{\propto R_{\text{plated Via}}} * \frac{1}{r} \end{aligned}$$

Bei gleichem Radius ist der Widerstand um den Faktor $\frac{1}{r}$ kleiner, das bringt einen geringeren Spannungsabfall und eine geringere Verlustleistung mit sich. Das gefüllte Via kann somit größere Belastungen aushalten als ein Plated Via, auch weil die größere Menge Kupfer eine bessere Wärmeleitfähigkeit aufweist. Die Verlustleistung, die als Wärme auftritt, kann schneller abtransportiert werden.

4 Testboard für die Stromüberwachung - Powerboard

Das Powerboard ist eine Testplatine für die Stromüberwachung, wie sie später auch auf der Systemplatine nightMARES zu finden ist. Es ermöglicht das Stromversorgungskonzept zu entwickeln und zu testen. Deshalb ist auf der Platine die gleiche Bedingung an den Platz für Bauteile angesetzt worden. Hier erkennt man sofort, ob der Platz ausreicht und wo es zu Engstellen kommt.

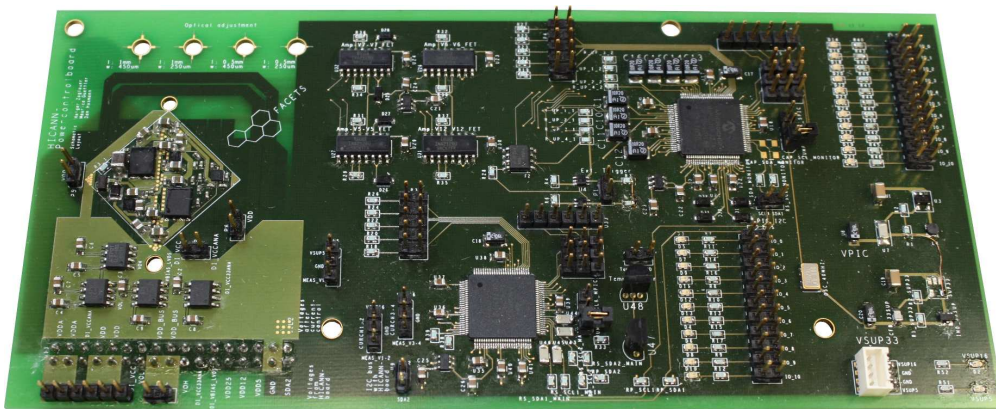


Abbildung 4.1: Vollbestücktes Powerboard

Die Platine bietet den idealen Ausgangspunkt für die Programmierung der Mikrocontroller. Auf diesem Board sind sie noch gut erreichbar und haben Status-LEDs für Debugging-Zwecke. Beim späteren Board ist dies nicht mehr so einfach möglich.

Mit allen 12 Spannungen können sämtliche Testszenarien durchgeführt werden. Besonders das schnelle Erkennen von erhöhtem Stromverbrauch und das sofortige Abschalten sollen überprüft werden.

Es besteht die Möglichkeit das Board in den Retikel-Emulator einzubinden und die Stromüberwachung zu übernehmen. Der Retikel-Emulator ist ein Aufbau aus mehreren Komponenten (siehe Bild 4.2). Er kann ein komplettes Retikel mit acht HICANN-Chips emulieren und enthält die gleiche Kommunikationsstruktur nach außen wie im großen System, bestehend aus DNC-Chip und FPGA-Board. Dabei können das Powerboard und der FPGA-Chip über eine I2C-Schnittstelle¹ Daten austauschen.

¹I2C ist ein serieller Datenbus. Entwickelt wurde er von Philips Semiconductor (heute NXP). s. [29]

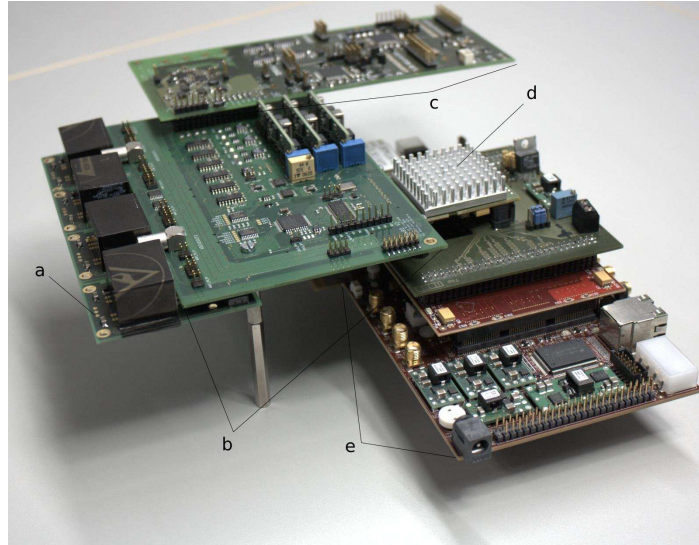


Abbildung 4.2: Retikel-Emulatoraufbau (a) HICANN-Modul, (b) demonstrator board, (c) Powerboard, (d) DNC-Board, (e) FPGA Prototyp-Board

4.1 Schaltplan

Der Schaltplan wurde zusammen mit Holger Zoglauer entworfen. Die Idee war FETs² für die Stromüberwachung einzusetzen. Im Prinzip geschieht dies, wie bei der Strommessung, mit Hilfe eines Shunt-Widerstandes. Dazu wird einmalig der Durchgangswiderstand des Transistors im leitenden Zustand ermittelt. Für die Strommessung wird dann der Spannungsabfall über die Drain-Source-Strecke des FETs gemessen und daraus der Strom berechnet. Um den Spannungsabfall herauszufinden, wird die Spannung vor und nach dem FET ermittelt, und daraus die Differenz gebildet. Das Aufnehmen von zwei Spannungswerten bewirkt, dass Einflüsse und Störungen, die auf beide wirken, durch die Differenzbildung verschwinden. Dies ist ähnlich den differentiellen Signalen, die auch sehr robust gegen Einflüsse sind (siehe Kapitel 3.3).

Ein Retikel hat die Fläche von ca. 2 auf 2 cm², dementsprechend klein mussten die Transistoren zur Kontrolle von 12 Spannungen sein. Im Anhang ist eine Tabelle mit den Daten zu jeder einzelnen Spannung (siehe A). Die Suche nach FETs für die weniger belasteten Spannungen (unter 1 A) war nicht so schwierig, wie für die beiden mit einem jeweiligen Maximalstrom von 8 A. Die FETs, die am besten zu unseren Anforderungen an minimalen Flächenverbrauch bei hoher Strombelastbarkeit passen, sind von der Firma Vishay. Die Auswahl fiel auf:

- Si7234DP[31] für die starkbelasteten Spannungen (VDDA+VDDPLLL, VDD+VDDOUT, VDDBUS)
- Si5903DC[30] für die Spannungen über 5 V (VDD5 und VDD12)

²Feldeffekttransistor

- SiA912DJ[32] für die restl. Spannungen

Auf dem Weg von der Stromversorgung zu den Retikeln fangen die Leitungen Störungen auf, was sich in einem schwankenden Spannungspegel widerspiegelt. Die Schwankungen sollen natürlich nicht das Retikel erreichen, und deshalb werden nach den FETs Stützkondensatoren platziert. Ein Kondensator mit kleiner Kapazität filtert die kleinen und hochfrequenten Störungen heraus, ein größerer ist für die größeren Spannungsschwankungen zuständig³. Auf dem Retikel erhält jede Spannung einen Kondensator mit 100 nF und 47 µF, wobei VDD+VDDOUT, VOH und VOL zusätzlich für jeden Elastomer-Kontakt noch einen 100 nF Kondensator bekommen. Es müssen insgesamt 12mal 47 µF und 33mal 100 nF Kondensatoren auf die Retikel-Fläche platziert werden. Damit diese noch drauf passen, werden auch hier kleinere Bauformen gefordert. Die 100 nF Kondensatoren sind im 0402-Format⁴. Bei den 47 µF werden 0805-Kondensatoren⁵ verwendet. VDD12 braucht eine höhere Spannungsfestigkeit und muss daher in der Gehäuseform 1210⁶ verwendet werden, in der er Spannungsspitzen bis 16 V aushält.

Die Spannungen auf dem Retikel werden direkt von einem Mikrocontroller mittels Analog-Digital-Wandlern⁷ in digitale Werte umgewandelt. Aufgrund der hohen Anzahl zu messender Spannungen muss der Mikrocontroller entsprechend viele ADC-Kanäle besitzen. Die Wahl fiel auf den dsPIC33FJ128GP710 von Microchip[26]. Dieser ist einer der wenigen Mikrocontroller, der zwei ADC-Module und 32 Messeingänge besitzt. Theoretisch wären für die Überwachung von zwei Retikeln 48 Eingänge nötig. Durch die Annahme, dass die Retikel nebeneinander liegen, können die Spannungen vor den FETs als gleich angesehen werden, und es sind nur noch 36 Eingänge nötig. Zusätzlich werden vier Differenzverstärker eingesetzt, die paarweise 16 Spannung vergleichen, jeweils acht gleiche Spannungen von jedem Retikel. Da die vier Vor-FET-Spannungen doppelt an den Verstärkern genutzt werden, fallen nicht 8 Spannungen sondern nur 4 weg. Doch mit diesen Maßnahmen gelingt es, die Anzahl der benötigten ADC-Pins auf 32, genauso viele wie der PIC hat, zu verringern.

Vorgesehen ist noch ein Master-PIC, der im großen System die einzelnen PICs steuern soll. Auf dem Powerboard hat er nur den Second-PIC zu betreuen. Desweiteren ist er zuständig den Gesamtstrom des ganzen Wafer-Systems zu beobachten. Es sind für die schwächer belasteten Spannungen⁸ direkt auf der Leiterplatte Stromsensoren vorgesehen. Die höheren Ströme können über externe Sensoren mit dem Master-Pic verbunden werden.

Im Anhang sind die detaillierten Schaltpläne angefügt (siehe E). Sie zeigen, wie alle Bauteile miteinander verbunden sind. Es sollte darauf hingewiesen werden, dass schon in diesem Projekt die Möglichkeiten einer hierarchischen und modularen Struktur getestet

³Der große Kondensator kann mehr Energie speichern und längere Schwankungen abfangen. Doch er arbeitet träger als ein kleiner Kondensator, der schneller seine gespeicherte Energie abgeben kann.

⁴0402-Format Länge: 1 mm, Breite: 0,5 mm

⁵0805-Format Länge: 2 mm, Breite: 1,2 mm

⁶1210-Format Länge: 3,2 mm, Breite: 2,5 mm

⁷engl.: analog-digital-converter, kurz ADC

⁸DI_VCCANA+PLL, DI_VCC, VDD25, VDD5, VDD12, DI_VCCA33ANA, VOH, VOL und DI_VBIAS_LVDS

wurden. Die Retikel-Schaltung ist in ein eigenständiges Projekt verpackt, womit die Möglichkeit besteht, dass Layout für diese Schaltung getrennt vom Powerboard zu entwickeln und später ins Board einzufügen. Für die Systemplatine wurde dieses Vorgehen exzessiv genutzt (siehe Abschnitt 6.1.2).

4.2 Layout des Powerboards

Aufgrund des Retikel-Aufbaus war es nötig ein 6-Lagen Board zu verwenden, um die Spannungen in das Retikel und aus diesem wieder heraus zubekommen. In Abbildung 4.3 ist der Lagenaufbau abgebildet. Das Retikel sollte dem für die nightMARES-Leiterplatte

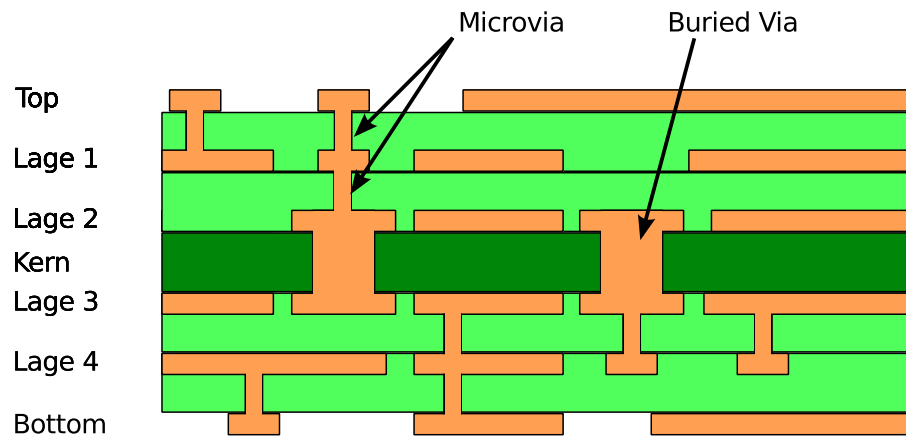


Abbildung 4.3: Lagenaufbau des Powerboards mit Buried Vias durch den Kern und Microvias auf den äußeren Lagen

so nahe wie möglich kommen, deswegen werden Microvias verwendet. Im nächsten Abschnitt „Retikel-Modul“, mehr dazu.

Abbildung 4.4 zeigt die logische Aufteilung des Boards. Auf der linken Seite beginnt es mit dem Retikel, dann geht es über zu den Differenzverstärkern und dem Second-PIC und unter diesem befindet sich der Master-PIC. In unteren rechten Ecke sind noch der Anschluss für die externe Stromversorgung. Dazu sind zwei Schaltregler aufgebracht, um die Versorgungsspannung für den PIC ($V_{PIC} = 3,6 \text{ V}$) und den Oszillator ($V_{Osz} = 3,3 \text{ V}$) zu generieren. Der Schaltregler für den Oszillator ist später entfernt und durch eine Schottky-Diode ersetzt worden. Die Diode hat einen Spannungsabfall von $0,3 \text{ V}$ und dieser reicht, um von der V_{PIC} -Spannung auf die gewünschten $3,3 \text{ V}$ zu gelangen. Dies spart auf dem nightMARES-Board Platz, da weniger Bauteile platziert werden müssen.

Auf dem nightMARES-Board müssen alle Messleitungen auf einer Lage herausgeführt werden, da alle anderen Lagen schon belegt sind. Es ist auch nicht möglich die Leitungen in beliebiger Richtung vom Retikel weg zu führen. Sie müssen die gleiche Richtung wie der Strom, nur gegenläufig, nehmen. Diese Vorgaben sind auch auf dem Powerboard umgesetzt, nur sind die Leitungen um 180° gedreht.

Über die Messleitungen muss kein nennenswerte Strom fließen, sie werden die meiste Zeit

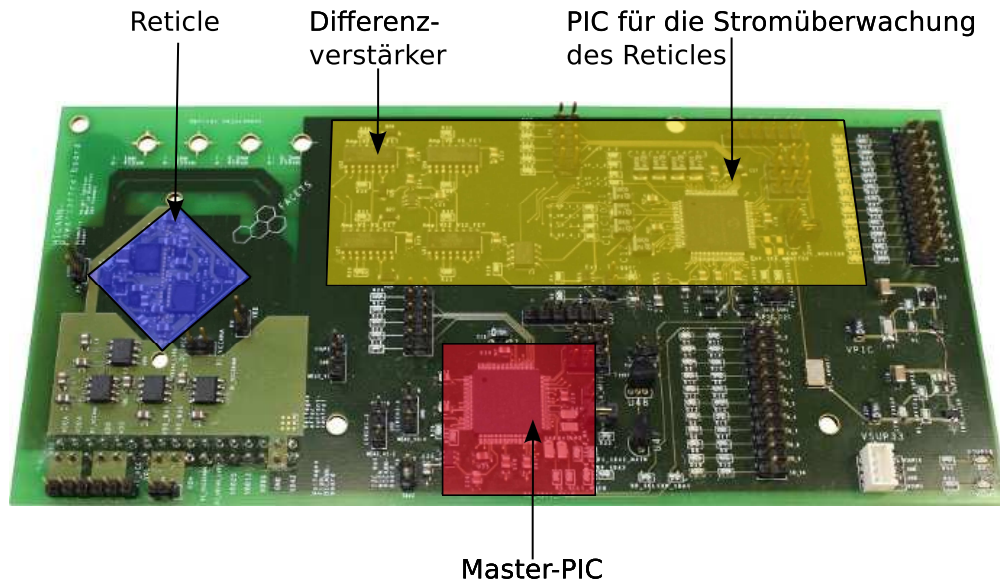


Abbildung 4.4: Powerboard mit Markierung der Funktionsblöcke

statisch auf einen Spannungspegel liegen. Deshalb können wir die Leitungsbreite auf den kleinsten Wert $100\ \mu\text{m}$ setzen. Da keine große Beeinflussung der Leitungen untereinander zu erwarten ist, können sie runter auf $100\ \mu\text{m}$ Air-Gap⁹ zusammengeschoben werden.

Alle Signale auf der Platine haben eine so kleine Frequenz, dass keine Impedanzkontrollierten Leitungen nötig sind. Die höchste vorkommende Frequenz ist der 40 MHz Takt des Oszillators. Wichtiger ist eine saubere Leitungsverlegung, es werden höchstens 45° -Knicke und nur kurze Signalstrecken verwendet.

Unabhängig von der elektrischen Schaltung gibt es Testmuster für die optische Justage. Im großen System wird die Ausrichtung des nightMARES-Board zum Wafer über ein optisches System eingestellt. Dazu werden über Bohrlöcher Bond-Drähte¹⁰ gespannt, die mit einem Muster auf dem Wafer in Deckung gebracht werden. Auf dem Powerboard sind unterschiedliche Padgeometrien für das Anbringen der Drähte vorgesehen (siehe Bild 4.5).

4.3 Retikel-Modul

Als das Layout des Retikels entwickelt wurde, standen die endgültigen Maße noch nicht fest. Deshalb sind die Seitenlängen auf 20 mm festgelegt, denn die richtigen Maße konnten nur größer sein. Im Gegensatz zum nightMARES-Board gibt es keine Masseflächen. Das liegt daran, dass die Ströme von einem Pfostenstecker kommen und dort wieder hin-

⁹Air-Gap ist die Distanz zwischen den Kanten der Leitungen. Der Abstand zwischen nebeneinander liegenden Leitungen ist zum Beispiel Air-Gap + halbe Breite der Leitung 1 und Leitung 2.

¹⁰Bonden wird der Prozess des Verbindens eines Chips mit einer Leiterplatte genannt. Dünne Drähte dienen als Verbindungsstück.

4 Testboard für die Stromüberwachung - Powerboard



Abbildung 4.5: Testlöcher mit unterschiedlichen Kontaktpads zum Anbringen von Bondrähren

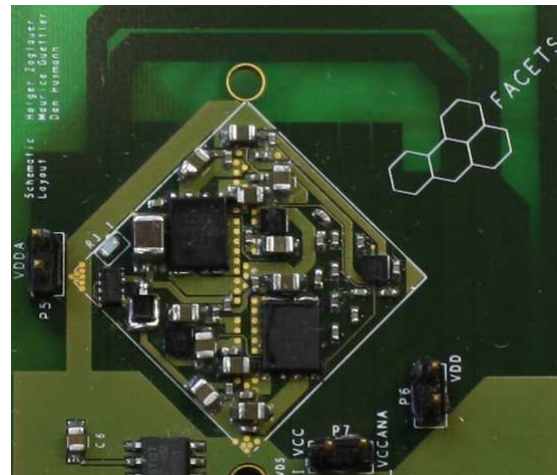


Abbildung 4.6: Nahaufnahme des Retikels auf dem Powerboard

geführt werden. Im großen System gehen sie nach den FETs in den Wafer und kommen nur noch über drei Massenetze zurück.

Die Kupferlagen unterhalb von Top sollen so wenig durch Microvias zerstückelt werden wie möglich. Die Microvias sind auf der Diagonalen des Retikels angeordnet (siehe hellen Punkte auf der vertikalen Diagonalen des Retikels in Bild 4.6). Dadurch geht nur eine kleine Fläche für Signalleitungen und Kupferflächen verloren. Würde man die Vias immer an den Pins der FETs platzieren, wäre auf den unteren Lagen kein Durchkommen mit Signalen mehr möglich. Ein Hochführen der Spannungen von den inneren Lagen zu den FETs und ein Erreichen der Lagen unterhalb der Kerne muss deshalb auf diesem Viastreifen stattfinden. Damit das Board die gleichen Microvias verwenden kann, wie das nightMARES-Board, wurde es auch bei der Firma Würth Elektronik produziert. Denn die Microvias müssen gestapelt und dafür komplett mit Kupfer aufgefüllt werden.

Die Microvias halten nach Berechnungen (siehe Tabelle D.1) problemlos 1 A pro Via aus. Dort wo noch genügend Platz ist, werden natürlich mehr Microvias verwendet, um die Belastungen zu verringern.

In den Lagenbildern im Anhang ist erkennbar, dass es einige Bauteile gibt an die keine Leitungen gelegt sind und in die keine Vias eingebracht sind. Das sind alle zusätzlichen Stützkondensatoren mit 100 nF, die direkt auf einen Pad der Elastomerverbinder auf dem

großen Board gehen sollen. Hier ließen sie sich leider nicht anbinden, da sonst weitere Leitungen auf dem Retikel erforderlich wären. In diesem Zustand ist für jede Spannung ein 100 nF und ein 47 μ F Stützkondensator angeschlossen. Doch die restlichen Kondensatoren zeigen recht deutlich wie eng es auf dem Retikel ist und wo noch Platz war sie zu platzieren.

Für eine optimale Bauteile-Temperatur sind die beiden 8 A Ströme in getrennten Gehäusen untergebracht. Ihre Stromzuführungen sind so kurz wie möglich gehalten. Vias führen von den inneren Lagen den Strom direkt nach oben, wo der FET mit einer kurzen Kupferfläche angeschlossen wird. Nach dem FET geht es sofort auf die Vias und nach unten. Bei den schwach belasteten Spannungen können längere Leitungen auf Top verlegt werden, da kein großer Spannungsabfall entsteht.

In den Ecken des Retikels wird sich später der Masseanschluss befinden (in der linken und unteren Ecke in Bild 4.6 zu erkennen). An diesen Positionen wird im Wafer-Scale-Integration-System der Top-Frame aufliegen. Diese Anschlüsse haben weiter den Zweck die Abwärme, die in der Platine entsteht, abzuführen. Dazu müssen die Stempel im Top-Frame einen guten Kontakt mit den Pads haben, d.h. die Höhendifferenzen über die Platine dürfen nicht zu groß sein. Dass die Schwankungen innerhalb der von uns benötigten Toleranzen liegen, wurde von Herrn Keller (Firma Würth) bestätigt.

Dieses Retikel ist der ideale Startpunkt für die Weiterentwicklung am nightMARES-Board. Die Platzierung der Transistoren auf den Retikeln kann für alle gleich sein. Was fehlt ist die Verteilung der Spannungen an die einzelnen Pads für den Wafer. Dies kann jedoch nur im großen System gemacht werden, da die zusätzlichen Signale und der unterschiedliche Lagenaufbau berücksichtigt werden müssen.

5 Allegro-SKILL Programmiersprache

SKILL ist eine Lisp-ähnliche Erweiterungssprache des Cadence Programmpakets.

Es gehört zu der Gruppe der Hochsprachen und ist daher menschenlesbar. Es bringt sehr viele integrierte Funktionen mit. SKILL erlaubt es die Entwicklungsumgebung den eigenen Wünschen anzupassen, und direkt in den Schaltplanentwurf und das Layout einzugreifen. Viele Aufgaben, die schwierig sind oder eine hohe Wiederholungsrate besitzen, lassen sich durch den Einsatz von SKILL vereinfachen.

Darum hat SKILL auch eine bedeutende Rolle in der Automation der elektronischen Schaltungsentwicklung eingenommen.

In der Arbeitsgruppe hat sich bisher die Verwendung von SKILL im Bereich der Platinenentwicklung nicht gelohnt. Die Einstiegshürden im allgemeinen Umgang mit Allegro sind groß. Es dauert einige Zeit, wie beim Einstieg in andere Programmiersprachen wie C++ oder Python, bis komplexere Probleme gelöst werden können. Dafür bringt Allegro viele nützliche Dokumente mit. Unter [12] sind alle Standardbefehle und unter [11] sind alle Befehle für Allegro beschrieben.

Allegro hat auch einen Makro-Rekorder an Bord. Dieser nimmt die Aktionen und Eingabe des Benutzers auf und wiederholt sie später wieder. Der Vorteil dieses Vorgehens ist eine geringe Einarbeitungsphase und einfache Handhabung. Doch steckt in den Skripten keine eigene Logik, die auf Veränderungen eingehen könnte. Der Anwender kann nichts daran ändern, er kann das Skript anpassen aber z.B. keine Abfragen einbauen.

Anders ist es bei SKILL. Hier können Bedingungen zum Ausführen von Befehlen gestellt werden. Das SKILL-Programm kann wenn es ordentlich geschrieben ist, auf Probleme entsprechend reagieren ohne das dafür, der erneute Eingriff des Benutzers erforderlich ist.

Allegro speichert alle Informationen von Objekten (Leitungen, Kupferflächen, Vias usw.), Boarddaten und Constraints in einer Datenbank. Mit SKILL kann auf alle Einträge zugegriffen, neue hinzugefügt oder vorhandene gelöscht werden. Im Layout lässt sich sehr differenziert nach bestimmten Komponenten suchen. Es ist möglich bei der Suche verschiedene Eigenschaften miteinander zu kombinieren, z.B alle Vias die auf einem Netz liegen ohne die entsprechenden Leitungen und Kupferflächen.

5.1 Einsatz für das nightMARES-Board

Die Vorteile die SKILL für die Automation beim Boardlayout mitbringt, sollte für die Arbeit am nightMARES-Board genutzt werden. Die zentrale Anforderung an die Skripte war, dass einmal geleistet Arbeit nicht unnötig häufig wiederholt wird. Zusätzlich müssen die Skripte die Komponenten exakt platzieren und reproduzierbar ablaufen, so dass nur noch sehr wenige Eingriffe seitens der Benutzers nötig sind. Viele Aufgaben, die mit

SKILL gelöst werden, sind erst während dem Design der Leiterplatte aufgekommen. Dabei konnte man immer wieder auf schon geschriebene Funktionen zurückgreifen. Somit ließen sich komplexe Probleme in kleinere aufspalten und getrennt lösen.

Das Wunschziel war ein Skript, welches in einem leeren Layout die komplette Platine zusammensetzt. Für die Platzierung der Module hat, das auch sehr gut geklappt. Doch die Verbindung zwischen Modulen herzustellen, hat sich als schwieriger herausgestellt, als erwartet. In der folgenden Liste sind einige Aufgaben gelistet, die mit SKILL gelöst wurden.

- Platzierung der Retikel (siehe 5.3.1)
- Bohrlöcher für Befestigung mit Rahmen einfügen
- Schablone des Topframes zeichnen
- Module der Mikrocontroller-Schaltung platzieren
- Bestimmte Designdaten von einem Retikel-Modul in ein anderes Retikel-Modul übernehmen (siehe 5.3.2)
- Im Kreuzungsbereich der Retikel-Leitungen mit den Leitungen des Steckers die Verbindung herstellen (siehe 5.3.3)
- Leitungslängen extrahieren (siehe 6.7)
- Stecker für die DNC-Boards entsprechend zu den Retikel legen
- Constraints für alle Datenleitungen festlegen (Definition von differentiellen Leitungen, Leitungsbreiten und -abständen)
- Clock/Areareadout-Modul einfügen

Dies ist nur ein Auszug der Funktionen, es fehlen natürlich die unzähligen Basisfunktionen.

5.2 Einführung in SKILL

Dieser Abschnitt will nur einen Einblick in die allgemeine Programmstruktur geben. Für einen Einstieg ins Programmieren sei nochmals auf die Dokumente [12] und [11] verwiesen. Auf der Sourcelink Homepage¹ von Cadence sind gut geschriebene Beispielpprogramme vorhanden.

```

1 ; draws a line from startpoint startpt to endpoint endpt /
   on layer sel_layer
2 ; optional the line can be assigned to a specific net
3 defun( addline ( startpt endpt sel_layer lwidth /
   @optional ( sel_net nil ) ) )

```

¹<http://support.cadence.com>

```

4     let( ( path sel_layer )
5         path = axlPathStart( list( startpt ) )
6         axlPathLine(path, lwidth, endpt )
7         sel_etch = strcat("ETCH/" sel_layer)
8         axlDBCreatePath(path, sel_etch, sel_net)
9     )
10 )

```

Listing 5.1: Funktion zum Verlegen einer Leiterbahn

An dem Codebeispiel 5.1 werden einige Merkmale von SKILL hervorgehoben. Die Funktion macht nichts anderes als ein Leiterbahn von einem Punkt zu einem anderen zu verlegen. Es ist ersichtlich, dass diese Funktion einem das Leben sehr vereinfacht. Denn mit SKILL alleine müssten mindestens drei Funktionen, deren Namen schwer zu merken sind, aufgerufen werden. Es ist sinnvoll am Anfang sich ein Repertoire aus solchen Basisfunktionen zu schreiben.

Zu beachten ist, dass SKILL auf die Groß- und Kleinschreibung achtet. Es macht einen Unterschied, ob "DeFuN" oder "defun" aufgerufen wird.

Am Beginn in Zeile 1 und 2 stehen Kommentare, diese beginnen mit einem Semikolon oder wenn es über mehrere Zeile gehen soll mit "/*" und Enden mit "*/". Danach beginnt mit *defun* eine neue Funktion mit dem Namen *addline*.

In der Klammer werden die Argumente für einen Funktionsaufruf deklariert. Dabei gibt es verschiedene Möglichkeiten, *startpt endpt sel_layer lwidth* sind unbedingt nötig ansonsten kann die Funktion nicht durchlaufen. Danach kommt der Bereich mit die optionalen Variablen, dieser wird mit *@optional* eingeleitet. Sie werden nicht dringend gebraucht, da sie einen Standardwert zugewiesen bekommen. Hier wird der Leitung entweder ein Netz zugewiesen oder es hat keinen Netznamen. Dabei steht *nil* für eine Liste mit keinen Elementen.

Mit der *let*-Funktion in Zeile 4 lassen sich lokale Variablen definieren. Die Variablen *path* und *sel_layer* sind nur innerhalb der Funktion und für darin aufgerufenen Funktionen sichtbar. Würde diese Zeile fehlen, wären die Variablen nach dem Programmende immernoch vorhanden. SKILL hat keine automatische Speicherbereinigung², es ist dem Programmierer selbst überlassen den Speicher freizugeben. Bei unsauberer Programmierung birgt dies die Gefahr, dass falsche Werte übernommen werden und einen nicht nachvollziehbaren Programmablauf nach sich ziehen.

In der nächsten Zeile wird der Startpunkt für einen Pfad angelegt "*axlPathStart*" und in der Variablen *path* gespeichert. Das besondere hierbei ist, dass *path* vorher nicht explizit verwendet wurde. Ähnlich wie in der Programmiersprache Python können Variablen ohne Typeninitialisierung verwendet werden.

Der Befehl in Zeile 6 fügt dem Pfad den Endpunkt hinzu. Diese SKILL-eigenen Befehle sind in [11] beschrieben und deshalb wird hier nicht weiter darauf eingegangen.

Danach werden zwei Strings miteinander verknüpft und in *sel_etch* abgelegt.

Der letzte Befehl in dieser Funktion erstellt nun die Leiterbahn auf unserem Board, in

²im engl. garbage collection

dem der Funktion Pfad, Lage (im Sinne von Platinenlage) und Netz übergeben wird. Zwei Anmerkungen zur Verwendung von dieser Funktion. Die erste bezieht sich auf den Wunsch eine Leiterbahn zu verlegen Allegro erkennt durch die Angabe der Lage, z.B. "Etch/Top", dass es sich um eine Leiterbahn auf der Oberseite des Boards handelt. Würde man stattdessen "Board Geometry/Silkscreen Top" eintragen, wäre der Pfad im Positionsdruck sichtbar. Zweitens geben Funktionen einen Wert zurück, entsprechend ob sie erfolgreich waren oder ein Fehler auftrat. Obwohl in dieser Funktion *addline* kein *return*-Befehl, wie in anderen Programmiersprachen üblich, gibt sie einen Wert zurück. Nämlich den Rückgabewert von *axlDBCreatePath*. Es wird immer der letzte Wert zurückgegeben, den der letzte Befehl oder Zuweisung in der Funktion ausgibt.

5.3 Beispiele aus diesem Projekt

Im folgenden werden drei Aufgaben aus dem Projekt vorgestellt und wie sie mit SKILL gelöst wurden. Das Programmieren hat zum Teil mehrere Tage gedauert, doch danach hat es einem die Arbeit am Board enorm erleichtert. Gerade wenn wie im ersten Beispiel, noch an den Retikel-Modulen gearbeitet wird, es zwischendurch aber nötig ist einen vorläufigen Aufbau zu erhalten, ist dies mit SKILL kein Problem. Im Laufe des Layouts der Systemplatine ist über 100-mal die Retikel-Wafermap³ aufgebaut worden.

Die folgenden Beispiele zeigen keinen Code, da dies keinen Verständniserfolg bringen würde. Vielmehr soll die Entwicklung und der Ablauf der Lösungen aufgezeigt werden. Der Code zu den Beispielen lässt sich von herunterladen.

5.3.1 Platzierung der Retikel

Das Board enthält insgesamt 48 Retikel-Module, die unabhängig voneinander bearbeitet werden können. Die Position der einzelnen Module ist durch die Lage des Wafers festgelegt. Mit dem Skript soll es möglich sein, dass nur ein Teil der Module eingefügt wird, ohne das Skript zu ändern. Die Idee ist Programmcode und Informationen der Retikel voneinander zu trennen. Im Anhang unter F.1 ist der Code zu finden. Dazu gibt es eine Textdatei, die alle Informationen die fürs Platzieren der Retikel nötig sind enthält (s. F.2). Das Programm liest über eine weitere Funktion die Daten aus der Datei ein und bringt sie in die richtige Struktur. Danach werden die globalen Werte wie Verschiebung des Wafer-Ursprungs, Abstand zwischen den Retikel und Anzahl der enthaltenen Retikel-Informationen abgespeichert. Nun wird jedes Modul entsprechend seinen Vorgaben platziert.

Jeder Entwickler kann seine eigene Textdatei besitzen, um nur den Teil den er bearbeitet, einzufügen. Die Retikel-Strukturen auf dem Board können, wie in Abbildung 5.2 dargestellt, stückweise aufgebaut werden. Vorteil ist das schnelle Erkennen von Engstellen zwischen Retikel, wenn es nicht möglich ist innerhalb der Retikel-Grenzen zu bleiben. Dabei muss die Entwicklung nicht wie in Abbildung 5.2 hintereinander geschehen. Ver-

³Die Wafermap ist der Lageplan der Chips auf dem Wafer. Diesen Plan erhielten wir von unserem Chip-Fertiger UMC. In Abschnitt 6.5 sind weitere Informationen dazu.

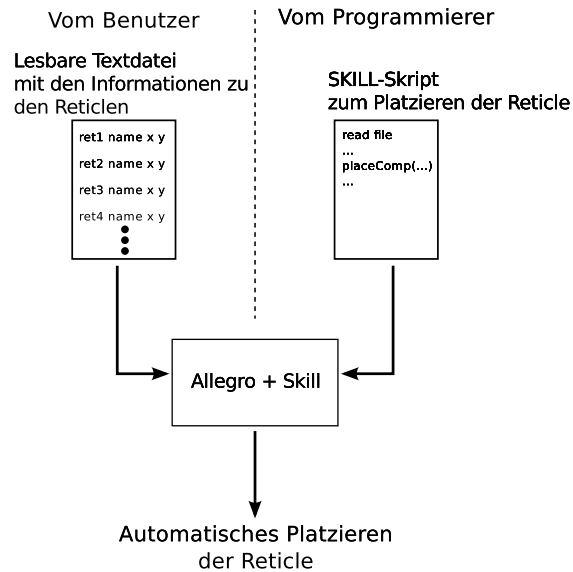


Abbildung 5.1: Getrennte Abläufe beim Board designen

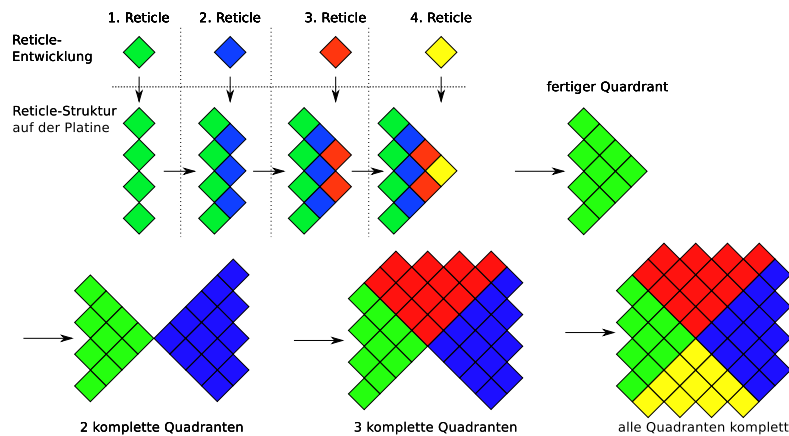


Abbildung 5.2: Entwicklung der Retikel-Struktur auf dem Board

schiedene Layouter können zum Beispiel unterschiedliche Quadranten bearbeiten und am Ende wird alles zusammengesetzt.

5.3.2 Wiederverwendung von Design in anderen Retikel-Modulen

Bei der Entwicklung der Retikel-Module fiel schnell auf, dass fertige Module eine gute Vorlage für Retikel im selben und im gegenüber liegenden Quadranten sind. Es ist möglich zwei Fenster von Allegro zu öffnen und das Design nachzuzeichnen, doch bringt es im Endeffekt nur eine kleine Zeitersparnis. Viel sinnvoller wäre ein automatisches Abspeichern der Design-Daten von bestimmten Lagen und Einspielen dieser Daten in einem

anderen Modul. Hier kommt SKILL ins Spiel. Das Problem wurde in zwei Bereiche gegliedert, einmal in das Extrahieren der Daten und einmal in das Reproduzieren des Designs aus den Daten. Die einzelnen Objekttypen sind:

- Leitungen für Signale und Stromversorgung
- Kupferflächen
- Vias

Zu jedem Objekt kommen verschiedene Eigenschaften hinzu. Da wären

- Netzzugehörigkeit
- Kupferlage
- Start- und Endpunkt für Leitungssegmente
- Leiterbahnbreite
- alle Segmente des Randes bei Kupferflächen
- Position für Vias

Es werden immer alle Lagen von Bottom bis Power6⁴ abgespeichert. Das erleichtert das Auswerten der Vias-Informationen. So kann man alle Vias anzeigen, die auf den Lagen von Bottom bis Power6 vorhanden sind, und muss nur alle Buried Vias ausschließen und den Designnamen des Vias herausfinden. Ansonsten wäre viel mehr Logik beim Auslesen nötig gewesen. Denn das Pad eines Vias auf einer Lage sagt noch nichts darüber aus, ob es eine Lage tiefer oder höher geht. Die Leiterbahnen werden für jede Lage getrennt abgespeichert. Diese müssen in ihre jeweiligen Segmente aufgeteilt und einzeln behandelt werden. Das Sichern der Kupferflächen ist einiges schwieriger, denn diese müssen nicht zwingend rechteckig sein. Desweiteren gibt es einen Unterschied zwischen den Grenzen der Kupferfläche und der tatsächlichen Ausfüllung der Fläche. In Abbildung 5.3 ist ein Beispiel aus dem Layout der Systemplatine. An einigen Stellen sorgen Vias, die auf einem anderen Netz liegen, für Einkerbungen in der Kupferfläche. Die Freisparungen werden automatisch von Allegro eingebracht und der Designer muss sich darum nicht mehr kümmern. Doch kann es passieren, wenn das Design aus den Daten aufgebaut wird, dass er die Freisparungen nicht übernimmt und DRC-Fehler⁵ entstehen. Zu diesem Zweck wird nicht die Grenze der Fläche gespeichert, sondern der Bereich den das Kupfer ausfüllt.

Beim Einlesen des Designs wird jedes Element so erzeugt, wie es ein Mensch auch machen würde. Jedes Leitungssegment wird einzeln mit der `addline`-Funktion von oben (s. 5.1) erzeugt. So verhält es sich auch bei den Kupferflächen und Vias. Da zu jedem

⁴siehe Abbildung 6.5

⁵**Design Rule Check** ist eine Funktion von Allegro, die das Layout auf Verletzungen von den Einstellungen wie Abstände usw überprüft.

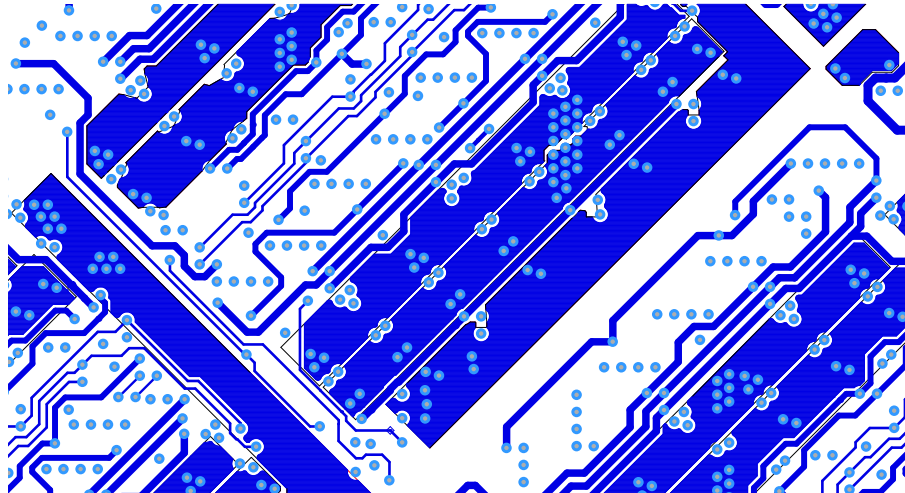


Abbildung 5.3: Ausfüllung von Kupferflächen, Grenzen sind dicken schwarzen Linie und der schraffierte Bereiche sind die ausgefüllten Flächen

Element auch die Netzzugehörigkeit gespeichert ist, kann nichts auf einem falschen Netz liegen. Bei jeder Erzeugung wird der Netzname mitgegeben.

Dieses Vorgehen spart dem Designer Stunden von Arbeitszeit. Manchmal muss noch etwas angepasst werden. Doch sind viele der unteren Lagen, auf denen keine Signale rausgeführt werden müssen, identisch. Abbildung 5.4 zeigt die Lage S1 der inneren Retikel, es ist zu erkennen, dass viele Designs wiederverwendet wurden.

5.3.3 Signalleitungen mit DNC-Stecker verbinden

Ein einzelner DNC-Stecker hat 33 differentielle Pärchen (66 Leitungen) und 5 einfache Datenleitungen. Das macht 71 Verbindungen pro Stecker. Auf der Platine sind 32 Stecker auf der Unterseite und 16 Stück auf der Oberseite. In der Summe sind 3408 Verbindungen zwischen Steckern und Retikeln herzustellen. Das Rausführen der Leitungen von den Retikeln in Richtung der Stecker geschieht schon in den Modulen. Um die Arbeit gering zu halten, wurden die Stecker schon mit einem Leiterbahnen im Symbol erstellt. Die Idee war, die Leitungen vom Stecker und die vom Retikel kreuzen sich im rechten Winkel auf verschiedenen Lagen und können mit einem Via verbunden werden. Das Via kann dann von einem Skript automatisch platziert werden. Das entworfene Skript arbeitet nur auf einem räumliche vorgegebenen Bereich. Die ist nötig, damit immer nur ein Segment einer Leitung ausgewählt wird und man schräge Leitungen nicht auswählt. Das Problem besteht darin, dass man nicht für alle Leitungen Geradengleichungen aufstellen kann. Für eine der Geraden gibt es bei einem x-Wert viele y-Werte. Somit kann man keine Gleichungen gleichsetzen und den Schnittpunkt berechnen, was aussagen würde, ob sie sich überhaupt schneiden. Denn Schnittpunkt kann man aber auf andere Weise erhalten. Ist die Gerade bekannt, die für einen x-Wert mehrere y-Werte hat, so ist der x-Wert die eine Komponente des Schnittpunkts. Der y-Wert der anderen Geraden ist der y-Wert des

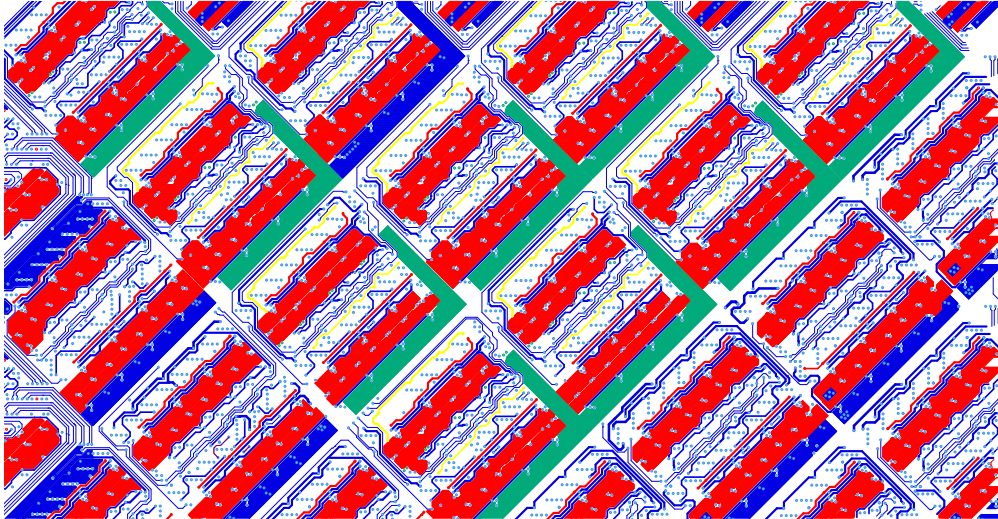


Abbildung 5.4: Sich wiederholendes Design bei verschiedenen Retikel

Schnittpunkts.

Eine weitere Schwierigkeit für das Funktionieren des Skripts sind unsauber verlegte Leitungen. Die waagerechte Leitung muss für den Start- und Endpunkt den selben y-Wert haben. Entsprechendes gilt für den x-Wert der Vertikalen. Wenn man in Allegro die Leitungen verschiebt, kann es passieren, dass sich die Werte um $0.1 \mu\text{m}$ unterscheiden. Physikalisch bewirkt es nicht viel, die Leitungen werden mit dem Via verbunden, doch meint Allegro es würde keine Verbindung bestehen und signalisiert dies über eine Fehlermeldung.

Bei differentiellen Leitungen kommt zusätzlich ein Platzproblem beim Platzieren eines Vias hinzu. Die Leitungen haben einen Abstand d_{Leitung} von $280 \mu\text{m}$ (für Kupferlagen S1 und S2, s. Abb. 6.5) oder $290 \mu\text{m}$ (für S3 und S4). Ein Microvia hat einen Durchmesser d_{mv} von $300 \mu\text{m}$.

$280 \mu\text{m}$	Abstand Leitungen
$-150 \mu\text{m}$	halber Durchmesser Microvia
$-40 \mu\text{m}$	halbe Leiterbahnbreite
$= 90 \mu\text{m}$	Restabstand zwischen Via und Leitung

Dieser Abstand von $90 \mu\text{m}$ unterschreitet den Mindestabstand. Deswegen muss das Microvia mindestens $10 \mu\text{m}$ weiter von der anderen Leitung entfernt platziert werden. Doch sitzt das Via nicht mehr auf der Leitung vom Retikel und es muss ein neues Stück Leiterbahn verlegt. Da die Leitungen vom Retikel aus vier verschiedenen Richtungen kommen können und die Leiterbahn entweder die obere oder die untere bzw. linke oder rechte sein kann, ergeben sich acht unterschiedliche Fälle für dieses Stück Leitung. Abbildung 5.5 zeigt vier unterschiedliche Varianten. Für alle Fälle muss es im Skript eine Bedingung

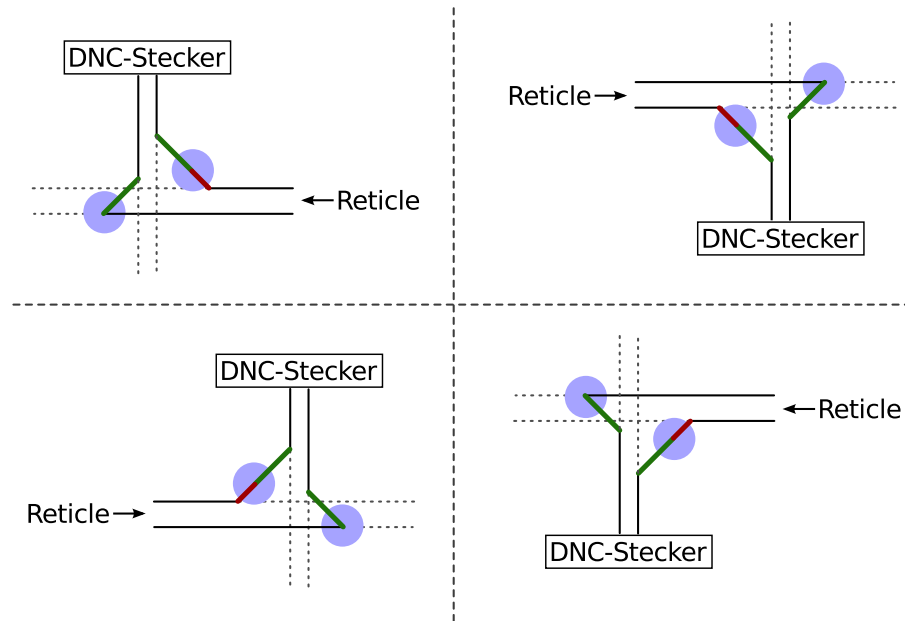


Abbildung 5.5: Vier Varianten der Steckeranbindung, bei jedem müssen die neuen Leitungen (dickeren Striche) in unterschiedliche Richtungen verlegt werden (gestrichelte Linie sind zu löschende Leitungsenden)

geben, die enthält, wie die Leitungen zu verlegen ist.

In Abbildung 5.6 sind die waagerechten Leitungen, die die vom Retikel kommen, und die vertikalen die Steckerleitungen. Es ist erkennbar, dass der Leitungsabstand auf Bottom kein mittiges Platzieren auf den Leitungen zu lässt. Deshalb müssen die Vias auseinander geschoben werden. Dies führt dazu, dass neue Leitungen zum Anschluss an die vorhandenen senkrechten Leitungen nötig werden. Ebenso wie für die Retikel-Leitungen gibt es für den Anschluss der Steckerleitungen verschiedene Bedingungen zu beachten.

Ist alles miteinander verbunden, dann müssen noch die überstehenden Leitungsende gelöscht werden. Hier ist es wichtig, dass die Verbindungen hundertprozentig von Allegro erkannt werden und dort wo die Vias platziert werden, die Leitungen die vorher ein Segment waren, in zwei Segmente aufgeteilt werden. Sonst löscht man nicht nur das überstehende Ende, sondern auch noch die komplette Leitung ins Retikel.

Das Skript reicht für den Großteil der Anwendungen aus. Doch gibt es einige Punkte, die noch hinzugefügt werden sollten.

- Erkennung vom richtigen Segment, wenn mehrere im ausgewählten Bereich sind
- Bei schrägen Leitungen den Schnittpunkt berechnen können
- Test ob Leitungen richtig verbunden und erkannt wurden
- Rückgabe eines Statusberichts, zum Beispiel wie viele Leitungen (nicht) verbunden wurden

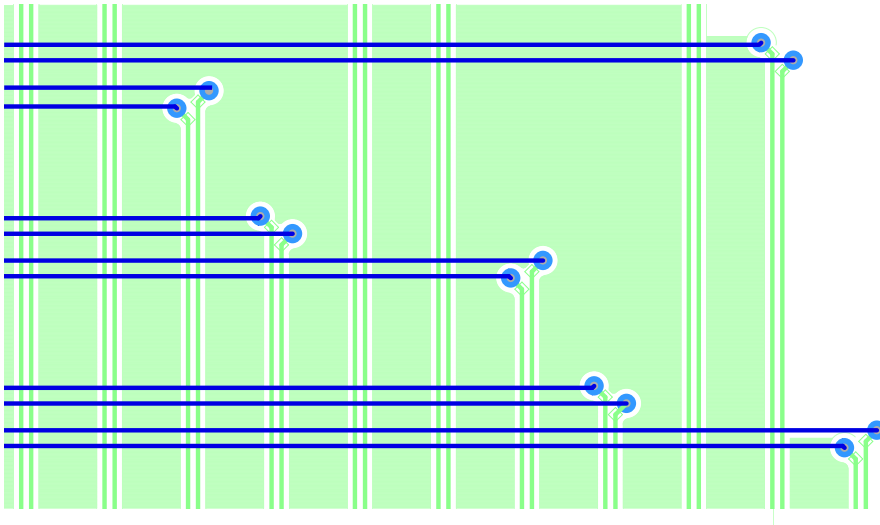


Abbildung 5.6: Layoutausschnitt vom Kreuzungsbereich, horizontalen Leitungen liegen auf S1, die senkrechten auf Bottom

Aufgrund der Zeit fehlt bei vielen der geschriebenen Funktionen eine ausführliche Dokumentation. Es sind zwar rudimentäre Kommentare vorhanden. Für jemanden der etwas verbessern will, ist es schwierig die vielen Zeilen Quellcode zu verstehen.

6 Systemplatine - nightMARES

Das nightMARES-Board ist eine komplexe, hochintegrierte Leiterplatte, die an alle Grenzen des Realisierbaren geht. Jeder Bereich ist Neuland, sei es die Stromverteilung von knapp tausend Ampere oder die Übertragung von einem TB an Daten pro Sekunde. Die Herstellung der Leiterplatte selbst stellt eine besondere Herausforderung an die produzierende Firma Würth Elektronik. Es wurden viele Überlegungen und Ideen im Vorfeld angestellt, von denen etliche auch wieder verworfen wurden, bevor die erste Leitung gelegt wurde. Im Folgenden kann daher nur auf die Ergebnisse und die speziellen Schwierigkeiten eingegangen werden. Vieles bedingt sich gegenseitig; wird ein Teil verändert, hat das Auswirkungen auf eine andere Komponente.

Bevor mit dem Entwurf des Schaltplans begonnen wurde, gab es schon ein SolidWorks-Modell¹ des gesamten Wafer-Scale-Integration Systems. Dadurch sind die Geometrie, Steckerpositionen und Befestigungslöcher für die Leiterplatte schon vorgegeben. Das Board ist deshalb 430 mm lang und 430 mm breit. Die Firma Würth Elektronik verwendet eine Panelgröße² von 458 mm auf 606 mm. Für ein Board wird somit ein ganzes Panel benötigt.

6.1 Schaltplanentwurf für das nightMARES-Board

Ein Schaltplan hat die Aufgabe, die elektronische Schaltung in logischer und verständlicher Form zu repräsentieren. Die Leiterplatte nightMARES besitzt über 4500 Bauteile wie Widerstände, Kondensatoren, Transistoren, ICs uvm. Ein strukturiertes Vorgehen ist zwingend erforderlich, um nicht den Überblick zu verlieren. Gerade weil sich vieles auf dem Board wiederholt, musste eine Methode gefunden werden, die garantiert, dass Veränderungen von allen Gruppen übernommen werden.

6.1.1 Gesamtübersicht über Funktionsblöcke

Hilfreich für den Schaltungsentwurf ist ein Plan, welcher unterschiedliche Gruppen auf der Leiterplatte zusammenfasst. In Abbildung 6.1 sind alle logischen Blöcke des nightMARES-Boards dargestellt. Wie man sieht, lässt sich die Entwicklung des Schaltplans in sieben Teile gliedern. Die Komplexität kommt durch die hohe Leitungsdichte und Wiederholrate der Gruppen zustande. Nur für die differentiellen Verbindungen zwischen Retikeln und DNC-Steckern werden 3072 Leitungen benötigt. Die Gruppe Powerboard

¹SolidWorks ist ein CAD-Programm speziell für die Konstruktion von mechanischen Teilen.

²Ein Panel ist eine Produktionseinheit in der Fertigungsanlage. Normalerweise werden mehrere Boards auf einem Panel hergestellt und am Ende voneinander getrennt.

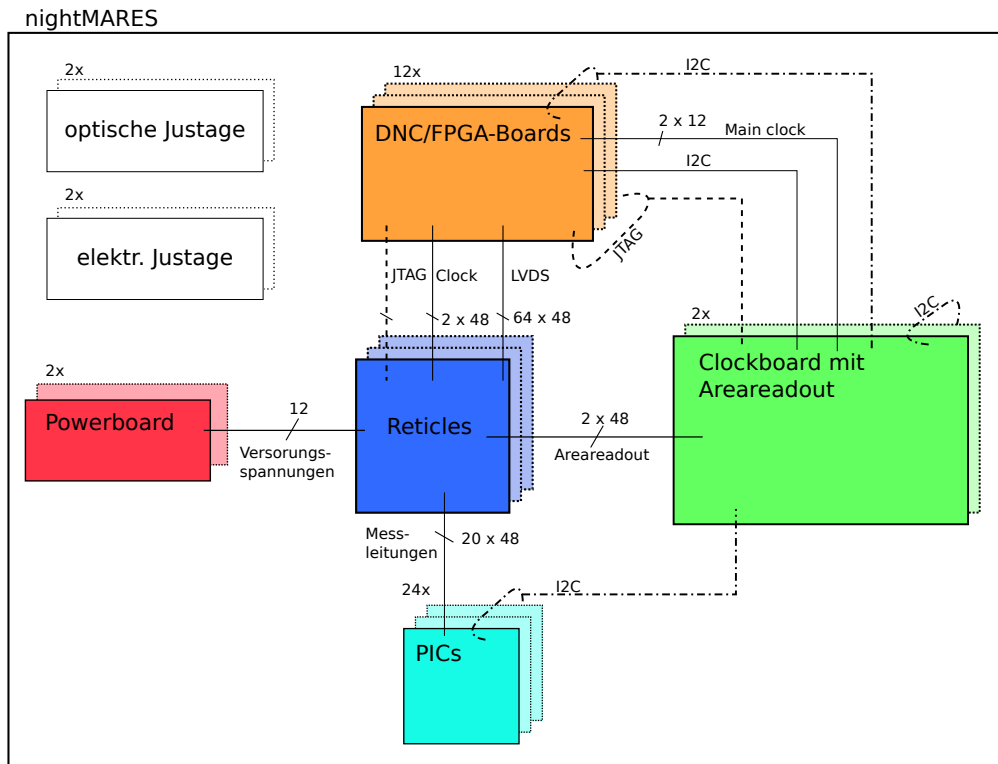


Abbildung 6.1: Blockdiagramm mit den Funktionseinheiten des nightMARES-Board

hat nichts mit dem Powerboard aus Kapitel 4 gemein. Dieser Block enthält die Stecker für den Anschluss des Powerboards, welches für die Erzeugung der Versorgungsspannungen³ zuständig ist. Ebenso ist mit DNC/FPGA-Boards nur die Steckverbindung zwischen den Boards gemein. Sie sind deshalb extra, weil ihre Position schon durch das virtuelle Modell feststeht und sie keinen direkten Einfluss auf die Entwicklung des gesamten Boards haben. Gleiches gilt für den "Clockboard mit Areareadout"-Block. Die Blöcke "optische Justage" und "elektrische Justage" nehmen eine besondere Rolle ein. Sie sind völlig unabhängig von allen anderen und somit prädestiniert für eine getrennte Entwicklung. Die PICs sind nur über die Messleitungen mit den Retikeln und über I2C mit dem Clockboard verbunden. Da die endgültige Position der PICs noch nicht feststeht und die Leitungen zu den Retikeln die Entwicklung des Layouts der Schaltung nicht beeinflussen, kann die Schaltung separat entworfen werden.

Das bedeutet für die Layoutentwicklung, dass keiner der Blöcke zwingend gleichzeitig mit einem anderem entworfen werden muss. Es ist vorteilhaft, wenn die Leiterplatte aus fertigen Layout-Blöcken aufgebaut wird, so dass am Ende nur kurze Leitungen zwischen den Komponenten verlegt werden müssen.

³Ausnahme sind die Spannungen VDDA+VDDPLL und VDD+VDDOUT. Diese werden von externen Netzteilen erzeugt.

6.1.2 Hierarchisch modularer Aufbau mit Cadence

Den Ansatz, große Projekte in kleinere Blöcke zu zerlegen und auf der untersten Ebene mit der Entwicklung anzufangen, nennt man Bottom-Up Strategie. In Cadence lässt sich diese Vorgehensweise sehr elegant bewerkstelligen. Es werden ohne großen Aufwand neue Projekte erstellt, die den entsprechenden Schaltplan enthalten. Diese Bausteine werden wie normale elektronische Bauteile im Schaltplan eine Stufe höher eingesetzt. So entsteht eine Baumstruktur mit beliebiger Tiefe und Breite.

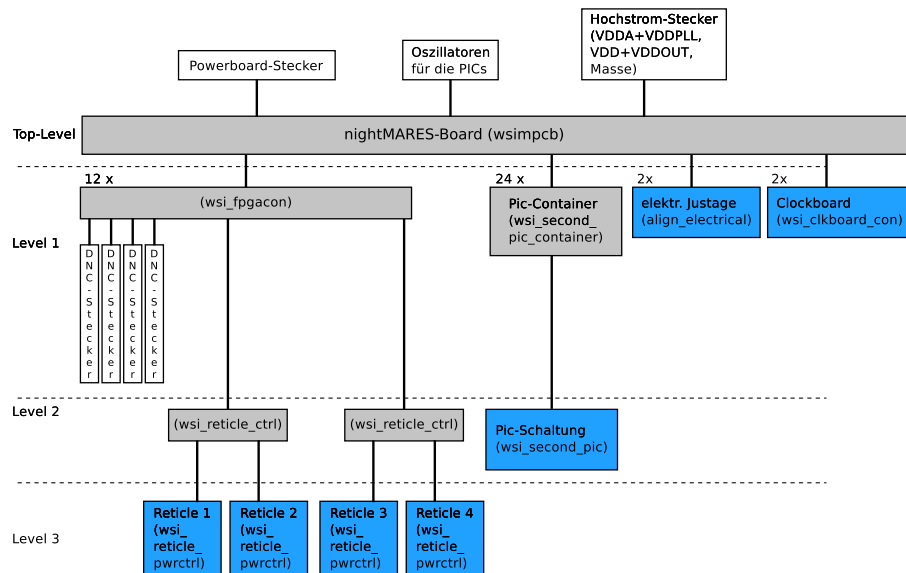


Abbildung 6.2: Hierarchische Struktur des Schaltplans für das nightMARES-Board. Graue Blöcke sind eingefügt logische Projekte. Blaue Blöcke haben zusätzlich ein eigenes Layout.

In Abbildung 6.2 ist die Struktur des nightMARES-Boards dargestellt. Alle grauen und blauen Blöcke sind eigenständige Projekte, weiße Boxen sind Bauteile. Die DNC-Stecker sind von den Retikeln abgetrennt; um den Überblick zu behalten, sind sie in derselben Untergruppe. Somit ist sichergestellt, dass es eine eindeutige Zusammengehörigkeit zwischen DNC-Stecker und Retikel gibt. Retikel und DNC-Stecker, die in einer gleichen Gruppe sind, gehören auch im Layout zusammen.

Die PICs haben einen eigenen Zweig vom wsimpcb-Projekt abgehend erhalten und sind nicht in der Gruppe mit den Retikeln untergebracht. Das hat sich deshalb als sinnvoll erwiesen, weil nun die Retikel zu PIC Zuweisung unabhängig von der DNC zu Retikel Zugehörigkeit ist.

Die Blöcke lassen sich wie normale Bauteile beliebig oft in das Design einfügen. Der wsi_fpgacon Zweig ist z. B. 12-mal im wsimpcb Projekt enthalten. Wird nachträglich im wsi_fpgacon Projekt etwas verändert, sei es das Hinzufügen oder Löschen von Bauteilen, übernimmt jeder Zweig im wsimpcb-Design diese Veränderung, da er von demselben Projekt abstammt. Dadurch wird der Verwaltungsaufwand drastisch reduziert, weil eine

Veränderung nicht 12-mal, sondern nur einmal durchgeführt werden muss. Diese Maßnahme entlastet den Benutzer von unnötiger Arbeit und senkt als Folge die Fehleranfälligkeit.

Bis hierher wurde der große Schaltplan in kleinere Teile aufgeteilt, das Layout jedoch im Top-Level Design erstellt. Als entscheidender neuer Ansatz kommt hinzu, dass in den Unterprojekten das Layout getrennt vom Top-Level Design fertig gestellt wird. Im Folgenden wird auf den prinzipiellen Ablauf eingegangen, für die genaueren Einstellungen und Vorkehrungen muss auf die Dokumentation von Cadence verwiesen werden. Das ist zum einen "Allegro PCB Design Flows"[10] Kap. 2 sowie eine sehr gute Anleitung "Allegro Design Entry HDL Reuse Tutorial"[9].

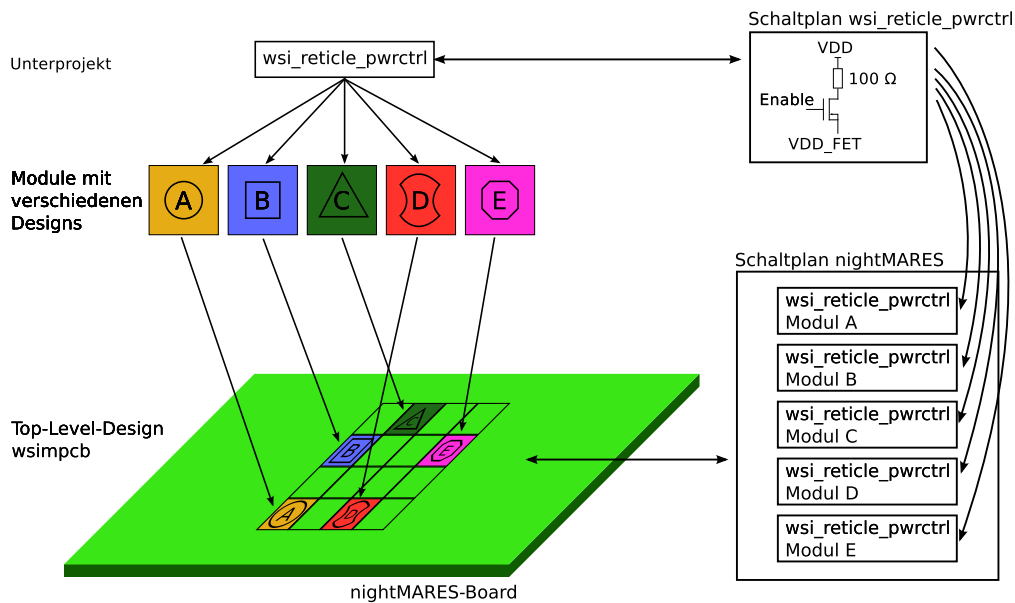


Abbildung 6.3: Beispiel für Design Reuse am Retikel

Alle blauen Blöcke in Abbildung 6.2 sind als Module mit eigenem Layout definiert. Am Beispiel des Retikel-Blockes wird das allgemeine Vorgehen beschrieben. Die Abbildung 6.3 verdeutlicht die Verknüpfungen zwischen den Schaltplänen und Design-Daten des wsi_reticle_pwrctrl Unterprojekts mit dem nightMARES Projekt.

Der Schaltplan für alle Retikel-Module auf dem nightMARES-Board ist identisch, da sich an den verwendeten Bauteilen nichts ändert. Als nächsten Schritt teilt man dem Unterprojekt wsi_reticle_pwrctrl mit, dass es als Modul in anderen Designs verwendet wird. Dazu erhält es einen Modulnamen, der sinnvollerweise mit dem Projektnamen identisch ist. Dann können Layout-Dateien mit dem Schaltplan synchronisiert⁴ werden. In der Abbildung 6.3 entspricht das dem Erstellen der Module A, B, C, D und E. Die

⁴Der Synchronisierungsvorgang überträgt die Designdaten aus dem Schaltplan in eine Layoutdatei. Anhand dieser Datei erkennt Allegro, welche Bauteile wie miteinander verbunden sind.

Layouts werden anschließend in einem spezifischen Dateiformat für Module abgespeichert.

Im `wsimpcb`-Schaltplan wird den Blöcken von `wsi_reticle_pwrctrl` per Attribut mitgeteilt, welche Layoutdatei des Moduls verwendet werden soll. Danach können die Module im Top-Level Layout eingefügt werden.

Statt fünf unterschiedlicher Module kann auch nur ein einziges Design 5-mal im Top-Level Layout platziert werden. Diese Methode wird z. B. bei PIC-Schaltungen auf dem nightMARES-Board angewendet. Die Fläche für das Modul ist immer dieselbe, nur Position und Ausrichtung ändern sich. Die gleiche Schaltung wiederholt sich 24-mal auf dem Board, es muss aber nur eine entworfen werden. Das bedeutet eine zusätzliche Entlastung für den Entwickler, er kann sich uneingeschränkt auf ein Layout konzentrieren und hat die Sicherheit, dass alle PIC-Schaltungen übereinstimmen.

Die Anwendung der "Design Reuse"-Methode war essentiell wichtig für die Entwicklung der nightMARES-Leiterplatte. Durch die Verknüpfung mit SKILL kamen weitere Freiheitsgrade bei der Leiterplattenentwicklung hinzu. So lässt sich das Layout schrittweise in einem leeren Top-Level Design aufbauen. Wenn ein Problem auftritt, wird das entsprechende Modul geändert und der Vorgang wiederholt.

Der entscheidende Aspekt des nightMARES-Boards ist die Parallelisierbarkeit in der Entwicklung. Normalerweise kann nur ein Entwickler zu einer Zeit am Board Design arbeiten. Mit den skizzierten Methoden ist es zum ersten Mal möglich, dass mehrere Personen gleichzeitig verschiedene Bereiche bearbeiten.

So konnten Holger Zoglauer und Jochen Rösch den Teil der Stromüberwachung mit den PICs fertig stellen, während gleichzeitig Dan Husmann de Oliveira und Maurice Güttler die Retikel-Module bearbeiteten. Es wurden zweimal zwei Retikel-Quadranten unabhängig voneinander aufgebaut und überprüft. Nach Fertigstellung aller Module der Retikel, der PIC-Schaltungen, der elektrischen Justage und der Clockboards wurden sie im Top-Level Layout (`wsimpcb`) vereinigt.

Ohne all diese Maßnahmen wäre es nicht möglich gewesen, das nightMARES-Board in diesem Zeitraum fertig zu stellen. Das Layout des Boards dauerte bei hochparalleler Arbeit insgesamt vier Monate. Eine einzelne Person würde für diese Arbeit Entwicklungszeit von 16 Monaten benötigen. Die Herstellung der Platine dauert zusätzlich noch weitere zwei Monate. Das würde für die Herstellung eines Boards eine Entwicklungszeit von 1,5 Jahren bedeuten. Um das Wafer-Scale-Integration System in Betrieb zu nehmen, ist eine so lange Zeitspanne nicht akzeptabel.

Die Einführung der modularen und parallelen Entwicklung an der nightMARES Leiterplatte war daher zwingend erforderlich, um nicht die Arbeit der Forschungsgruppe zu beeinträchtigen.

6.2 Aufbau der Platine

Für den Aufbau einer Platine musste ein Konzept entworfen werden, das festlegt, welche Signale auf welchen Lagen verlegt werden müssen. Es war klar, dass eine Standard-

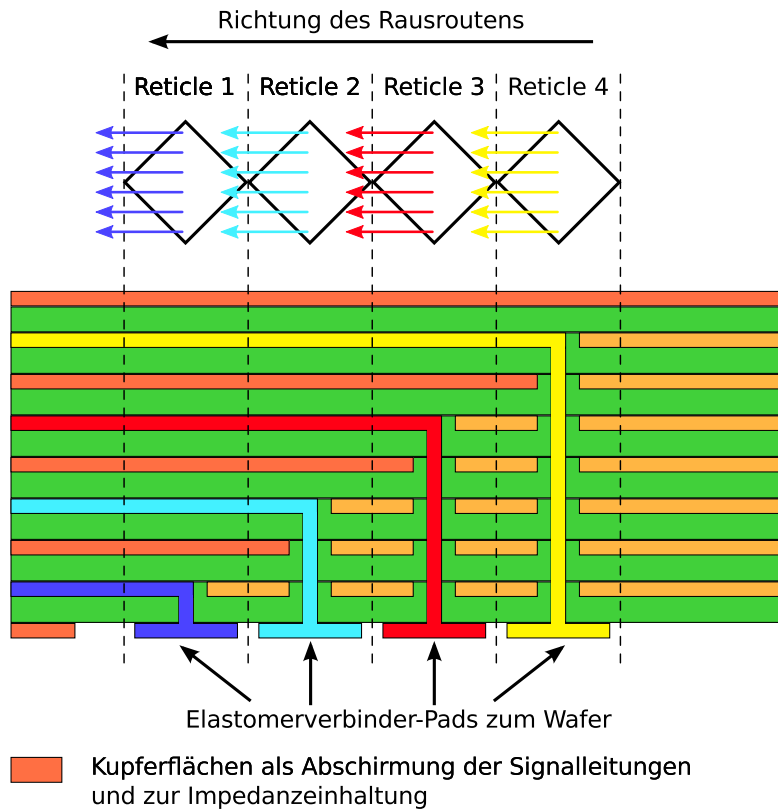


Abbildung 6.4: Schematische Skizze warum Microvias und so viele Lagen benötigt werden

Leiterplatte diesen Ansprüchen nicht genügen kann. Ein enormer Fan-Out von der Mitte des Boards hin zu den außen liegenden DNC-Steckern und 12 Versorgungsspannungen, die von außen an den Wafer gebracht werden müssen, erfordern ein hochkomplexes Multilayer-Board.

6.2.1 Herausführen der Retikel

Ein Retikel hat insgesamt 66 differentielle Signale und 5 einfache Datenleitungen. Um die Fläche, die für das Routen zur Verfügung steht, zu vergrößern, wird das Retikel um 45° gedreht. Ungedreht können nur über eine Seite des Retikels Leitungen verlegt werden, da immer ein weiteres Retikel direkt daneben liegt. Durch die Drehung vergrößert sich die verfügbare Breite um ca. das $\sqrt{2}$ -fache.

Mit Abschätzungen für die Leiterbahnbreite und den Leiterbahnabstand hat sich ergeben, dass ein Retikel die volle Breite benötigt. Als Folge können immer nur die Signale einer Reihe nebeneinander liegender Retikel auf einer Lage rausgeführt werden können. Dahinter liegende Retikel müssen eine andere Signallage für ihre Datenleitungen verwenden. In Abbildung 6.4 ist der Fall für vier hintereinander liegende Retikel dargestellt⁵.

Für impedanzkontrollierte Leitungen wird jeweils eine Kupferfläche über und unter der Leiterbahn zur Abschirmung von anderen Signalen und für die Einhaltung der Impedanz benötigt. Deshalb steigt die Lagenzahl der Leiterplatte immens an. Zu den vier Signallagen kommen so nochmals fünf Kupferlagen hinzu.

Die Abbildung zeigt auch, warum für das Herausführen der Signale Microvias zwingend erforderlich sind. Wären nur Durchkontaktierungen verwendet worden, gäbe es keine Möglichkeit, die Datenleitungen der hinteren Retikel herauszulegen. Die Vias würden den kompletten Weg versperren. Microvias sind nur auf den Lagen von Bottom bis zur Signallage sichtbar. Somit blockieren sie nicht die Routing-Fläche für die hinteren Retikel.

Zusätzlich wirken sich Microvias besser auf die Signalqualität aus (siehe Abschnitt 3.1.3).

6.2.2 Lagenaufbau

Für die Anzahl an benötigten Signallagen ist die Anzahl der hintereinander liegenden Retikel entscheidend. Bevor der neue Testwafer nicht fertig produziert war, konnte auch keine detaillierte Wafermap erstellt werden.

Anfänglich sollte eine Leiterplatte mit einem Kern, 12 Lagen und Microvias bis auf die innersten Lagen verwendet werden. In den Gesprächen mit den Herrn Ingebrandt und Keller von der Firma Würth Elektronik wurden Bedenken aufgrund der hohen Anzahl an nötigen Verpressungen geäußert. Eine Leiterplatte auf Basis von FR4-Material sollte nicht mehr als fünf Verpressungen durchlaufen. Bei mehr Verpressungen könnten die innersten Lagen durch die Hitze zu spröde werden und unter dem Druck Leiterbahnen zerreißen.

Hinzu kommt, dass die Prepregs für gefüllte Microvias nur eine maximale Dicke von 100 μm haben dürfen. Werden dickere Prepregs verwendet, dann stimmt das Aspect-Ratio bei Microvias mit 150 μm Durchmesser nicht mehr, und ein korrektes Füllen mit Kupfer kann nicht garantiert werden. Die Dicke von 100 μm hat wiederum Einfluss auf die Impedanzberechnung der Signalleitungen. Je näher die Referenzlagen beieinander liegen, desto geringer wird die Impedanz bei gleichbleibender Leitungsbreite (s. Kap. 3.4).

Durch intensive Zusammenarbeit und das Bestreben der Herrn Ingebrandt und Keller eine Lösung für das Projekt zu finden, einigte man sich auf ein Konzept mit zwei Kernen und insgesamt 14 Kupferlagen. In Abbildung 6.5 sind alle Lagen mit ihren Dicken und entsprechend ihrem Verwendungszweck dargestellt. Die Leiterplatte wird trotz ihrer 14 Lagen mit nur fünf Verpressungen zusammengefügt. Die Lagen entstehen dabei in folgender Reihenfolge⁶:

1. Schritt: Zuerst werden die Kerne getrennt voneinander S4 mit P4 und P5 mit S3 hergestellt, anschließend werden die Kupferlagen für P3 und P6 aufgebracht,
2. Schritt: S5 und S2,

⁵Durch das Drehen aller Retikel um 45° entstehen vier Quadranten, in jedem liegen vier Retikel hintereinander (s. 6.5)

⁶Nach jedem Schritt erfolgt ein Verpressvorgang.

3. Schritt: P2 und P7,
4. Schritt: P1 und S1,
5. Schritt: Top und Bottom

Für das Herausführen der differentiellen Signale den äußeren Retikeln kann nicht Bottom verwendet werden, deshalb wird S1 für die Signale genommen und Bottom wird als Referenzlage genutzt. Die Lagen S1 bis S4 sind für die differentiellen Signale der Retikel

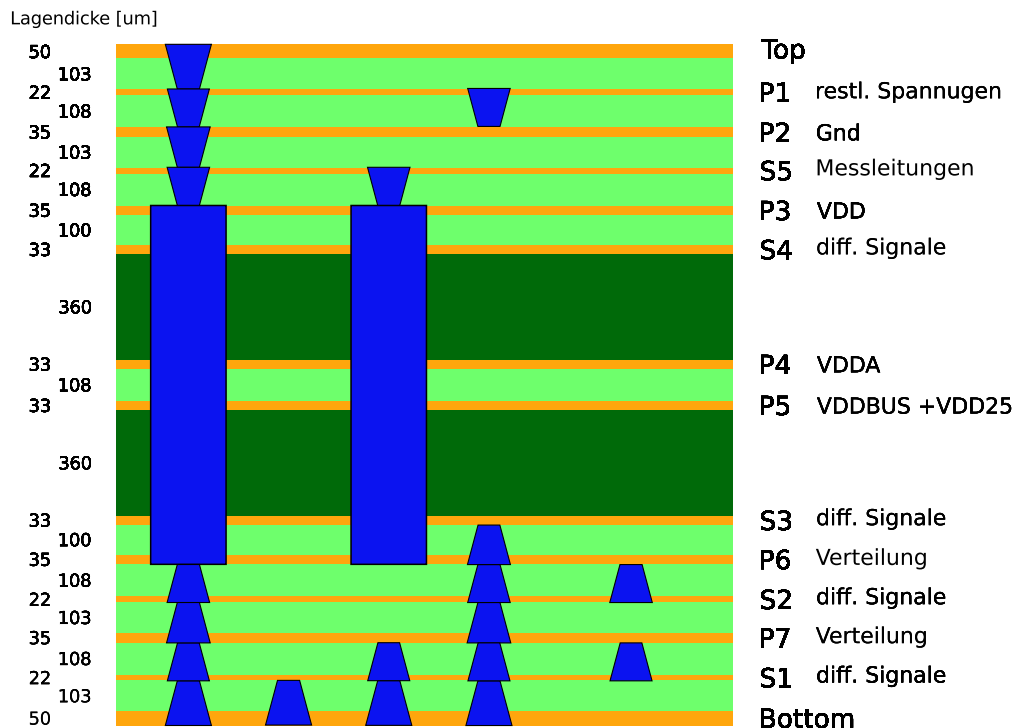


Abbildung 6.5: Lagenaufbau von nightMARES-Board

vorgesehen, wenn auf den Lagen noch Platz vorhanden ist, werden sie auch für die einfachen Datenleitungen verwendet. Die oberste Signallage S5 ist für die Messleitungen zu den PICs und die übrig gebliebenen Signale der Retikel vorgesehen. Aufgrund der hohen Strombelastung erhalten VDDA+VDDOUT und VDD+VDDPLL jeweils eine eigene Kupferlage P4 und P3. Die entstehende Wärme wird über die großen Flächen sehr gut lateral abgeführt. VDD_BUS hat noch einen erhöhten Stromfluss und erhält eine halbe Retikeldiagonale für die Zuführung auf P5, die andere Hälfte wird von VDD25 aufgefüllt. Die restlichen acht Spannungen gelangen über P1 zu den FETs gelangen. Für die Verteilung der Spannungen nach den FETs stehen P6 und P7 zur Verfügung. Dies verbessert sich für die inneren Retikel, da die unteren Signallagen S1 und S2 nicht durch Leitungen blockiert sind.

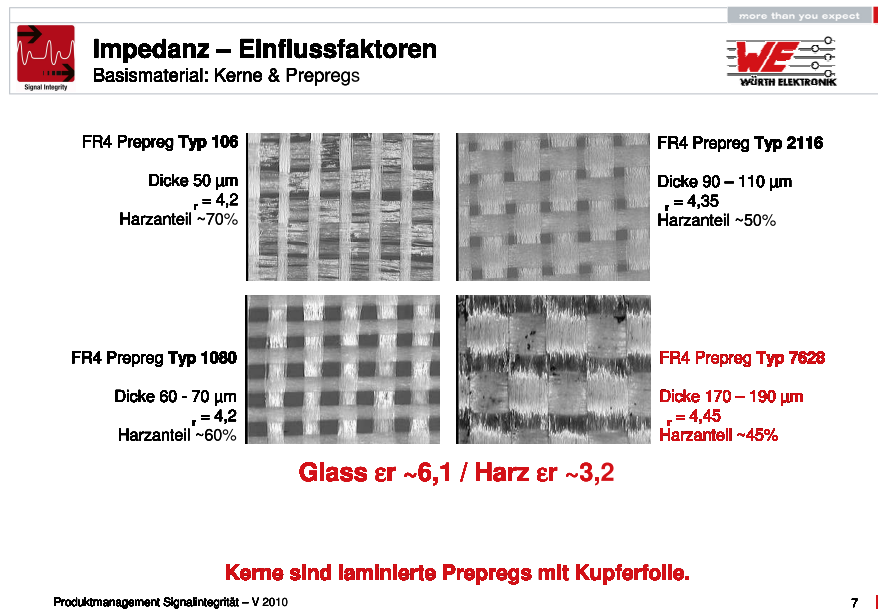


Abbildung 6.6: Einfluss der Prepreg-Zusammensetzung auf die Dielektrizitätskonstante

6.3 Impedanzberechnung

Die Impedanzberechnung beim nightMARES-Board ist durch die vielen Lagen mit unterschiedlichen Dicken sehr schwierig. Deshalb werden für die Berechnung der Field-Solver Si9000 und der Speedstack von Polar Instruments eingesetzt. Es handelt sich um den gleichen Field-Solver, der auch von der Firma Würth Elektronik verwendet wird. Erst nach gegenseitigem Bestätigen der errechneten Werte wurden diese endgültig bei der Verlegung von Leitungen angewendet.

Es gibt zwei Impedanzen, die auf der Leiterplatte einzuhalten sind. Die einfachen Datenleitungen haben eine Impedanz von 50 Ω . Für die differentiellen Signale sind die Sender und Empfänger auf eine differentielle Impedanz von 100 Ω ausgelegt.

In Abschnitt 3.4 wurde auf die benötigten Parameter der Leiterbahn- und Umgebungsgeometrie eingegangen. Um eine präzise Berechnung zu erhalten, ist eine genaue Beachtung der Material-Eigenschaften unerlässlich. Die Dielektrizitätszahl des Prepregs ist von dem Verhältnis von Glasfasergewebe zu Harzanteil abhängig. In Abbildung 6.6⁷ sind vier unterschiedliche Prepregs mit der Dielektrizitätszahl bei 1 GHz aufgelistet. Zusätzlich ändert sich die Dielektrizitätszahl noch mit der Frequenz. Für höhere Frequenzen wird der Wert langsam kleiner und dadurch die Impedanz größer. Für das nightMARES-Board ist das insoweit von Vorteil, da mit einer Frequenz von über 1 GHz Daten übertragen werden sollen. Abbildung 6.7⁷ zeigt den Verlauf der Dielektrizitätszahl abhängig von der Frequenz über vier Größenordnungen hinweg. Je weniger Harz

⁷Die Abbildung wurde freundlicherweise von der Firma Würth Elektronik zur Verfügung gestellt.

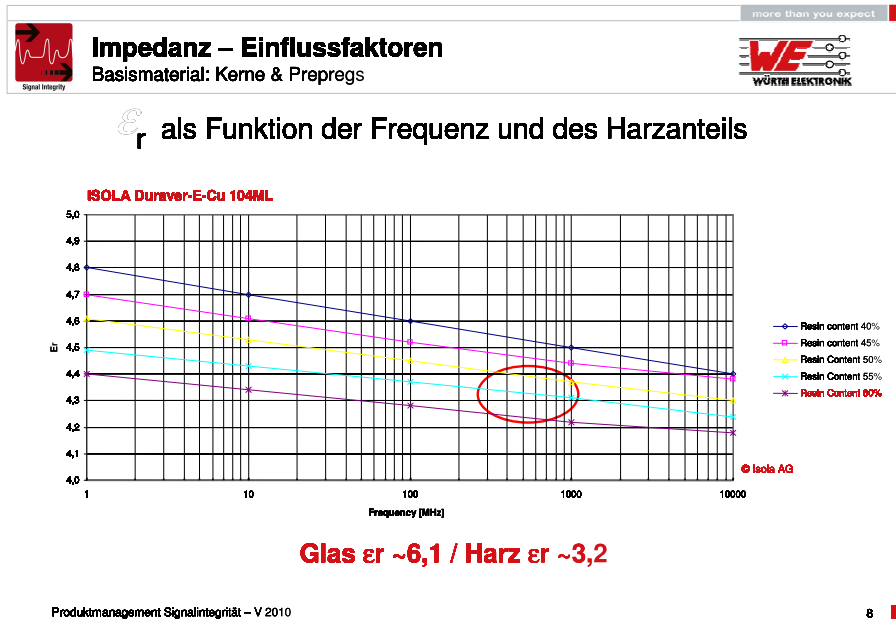


Abbildung 6.7: Dielektrizitätskonstante in Abhängigkeit zur Frequenz

im Prepreg vorhanden ist, desto stärker fällt der Wert mit größer werdender Frequenz. So sinkt die Dielektrizitätszahl bei einem Harzanteil von 40% und bei Verzehnfachung der Frequenz um 0,1. Bei einem Prepreg mit einem Harzanteil von 60% beträgt der Abfall nur noch 0,05.

Der verwendete Lagenaufbau lässt eine Vereinfachung zu. Da die Signallagen S1 und S2 sowie die Signallagen S3 und S4 die gleiche Geometrie besitzen, müssen nur für drei Signallagen die Impedanzen berechnet werden. Top besitzt die gleichen Werte wie Bottom. Es reicht für S1, S2 und Bottom, die Werte der 50 Ω einfachen Datenleitungen und der 100 Ω differentiellen Datenleitungen zu ermitteln.

6.3.1 Ergebnisse für 50 Ω Leitungen

Die 50 Ω Leitungen sind nur für die JTAG-Kommunikation und den HICANN-Reset vorgesehen. JTAG ist eine Programmier- und Debugschnittstelle für ICs. Sie wird hier für die Programmierung der Neuronen, Synapsen und weiterer Komponenten im HICANN verwendet. Die Datenübertragung findet relativ langsam statt, die Frequenz der Signale liegt im MHz-Bereich.

Dies bedeutet auch, dass eine höhere Dielektrizitätszahl verwendet werden muss. Bei den folgenden Ergebnissen wurden Werte um 4,3 benutzt. Der Impedanzwert für Bottom-Leitungen liegt höher als vorgesehen. Für einen Wert von ca. 55 Ω müsste die Leitung eine Breite von 130 μm annehmen. Auf Bottom werden nur kurze Leitungsstücke zu den Pins des DNC-Steckers verlegt, deshalb kann hier für den Wert eine Abweichung

Signallage	Leiterbahnbreite [μm]	Impedanz [Ω]
S3	100	50,70
S1	90	47,03
Bottom	100	60,60

Tabelle 6.1: Leiterbahnwerte für 50 Ω -Datenleitungen

von 20% vernachlässigt werden. In industriellen Anwendungen wird ebenfalls mit Abweichungen von bis zu 15 % gearbeitet⁸.

Die genauen Werte für die Berechnungen stehen im Anhang C.

6.3.2 Ergebnisse für die differentiellen Signale mit 100 Ω Impedanz

Die Verlegung differentieller Datenleitungen ist umfangreicher und aufwändiger als bei langsamen einfachen Datenleitungen. Die Strecke, die sie zurücklegen, beträgt im Mittel um die 17 – 18 cm (s. Abbildung 6.22). Bei hohen Frequenzen über 1 GHz machen sich selbst kleine Störungen innerhalb der Leitung bemerkbar. Aus diesem Grund sollte die Impedanz der Leitungen keine großen Sprünge aufweisen. In der Tabelle 6.2 sind die errechneten Werte aus dem Field-Solver aufgeführt. Für alle Signallagen liegen sie sehr nahe an der gewünschten differentiellen Impedanz von 100 Ω . Das Ziel ist eine maximale Abweichung von 10 % vom optimalen Wert. Es liegt damit unter den gängigen Anforderungen in der Industrie. Selbst mit den Fertigungstoleranzen bei der Leiterplattenproduktion bleiben die Abweichungen unter 10 %.

Signallage	Leiterbahnbreite [μm]	Leiterbahnabstand [μm]	diff. Impedanz [Ω]
S3	90	200	98,15
S1	80	200	97,23
Bottom	80	100	100,62

Tabelle 6.2: Leiterbahnparameter für 100 Ω differentielle Datenleitungen

Beim Verlegen der Leitungen ist zu beachten, dass beide Leitungen gleich lang sind, damit die Signale auf beiden Leitungen zur gleichen Zeit beim Empfänger ankommen. Der Bereich, indem sie nicht gekoppelt sind⁹, sollte möglichst klein gehalten werden. Ein solcher Fall tritt z. B. beim Verlegen der differentiellen Signale im Bereich der Vias auf, die direkt auf das Elastomerpadd gehen. In Abbildung 6.8 sind dafür zwei Beispiele markiert. Die rote Ellipse zeigt, welcher Zustand vermieden werden sollte, für die kurze Strecke ist die gewählte Methode jedoch die beste. Eine Alternative wären Leitungen mit mehreren Knicks, was wiederum die Signalqualität ebenfalls beeinträchtigen könnte. Eine bessere

⁸s. [4]

⁹D.h. bei deutlich größerem Abstand zwischen den Leitungen als dem errechneten Wert

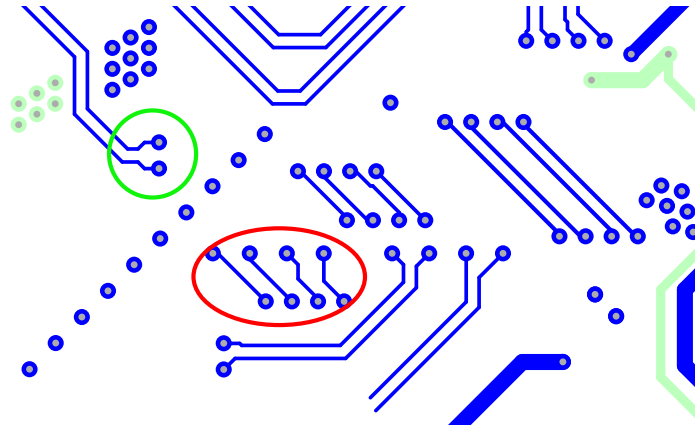


Abbildung 6.8: Beispiel für gutes Zusammenführen von Leitungen (Kreis) und für zwei entkoppelte Leitungen (Ellipse)

Zusammenführung ist im grünen Kreis angezeigt. An diesem Beispiel lässt sich zeigen, dass es nicht immer möglich ist, die Leitungen optimal zu verlegen und die Design-Regeln einzuhalten. Deshalb ist es manchmal besser, kurzzeitig eine Verletzung der Vorgaben hinzunehmen, mit dem Wissen, dass der Einfluss auf die Signalqualität gering ist. Es muss jedoch vorausgesetzt werden, dass die Standards für das Verlegen von Leitungen hinreichend bekannt sind. Hilfreich dabei sind Application Notes und Design Guidelines von bekannten Halbleiterherstellern, als nützlich haben sich [2], [3] und [4] erwiesen.

6.4 Stromverteilung

Genauso wie an die Signalleitungen bestimmte Anforderungen gestellt werden, sind auch verschiedene Aspekte bei der Stromversorgung zu beachten. Die Zuführung der 12 Spannungen bewirkt auf jeder Kupferfläche einen Spannungsabfall und eine Verlustleistung in Form von Wärme. Um diesen Punkt vernachlässigen zu können, bestände die einzige Möglichkeit darin, jeder Spannung eine eigene Kupferlage zur Verfügung zu stellen. Bei dem nightMARES-Board ist das aber nicht realisierbar. Aus dem Lagenaufbau (s. Abbildung 6.5) ist ersichtlich, dass für die Zuführung der Spannungen nur vier Kupferlagen zur Verfügung stehen. So ist die Verteilung der Spannungen auf den einzelnen Lagen von Bedeutung.

Zu der horizontalen Ausbreitung kommt noch die vertikale Verbindung durch Vias hinzu. Im Prinzip sind diese nicht anders als die Leiterbahnen zu betrachten und können dementsprechend nicht mit beliebig großen Strommengen belastet werden. Um das Layouten zu erleichtern, werden die gleichen Betrachtungen durchgeführt und ein Maximalstrom definiert, der durch die Vias fließen darf.

Bevor die ersten Elektronen durch Vias oder Kupferleitungen fließen, müssen sie in die Platine gebracht werden. Bei den niedrig belasteten Spannungen kann das noch über Standard-Pfostenstecker geschehen. Bei zweimal 384 A ist ein Konzept notwendig, das

Steckern und ihren Anschluss an die Kupferlagen beinhaltet.

Durch die erste Kirchhoffsche Knotenregel ist bekannt, dass die Menge an Strom, die in einen Knoten einfließt, diesen mit der gleichen Menge auch wieder verlässt. Die insgesamt 768 A müssen also auch wieder von der Leiterplatte abgeführt werden.

Für diese Problemstellungen und Anforderungen werden in den nächsten Abschnitten die einzelnen Lösungen für das *nightMARES*-Board vorgestellt. Ein weiterer Aspekt wäre die Trennung von analogen und digitalen Spannungen oder die Einflüsse von Unterbrechungen in Kupferflächen auf die Stromrückführung. Auf letzten Punkte kann in dieser Diplomarbeit aus Gründen des Umfangs nicht eingegangen werden. Die praktischen Kenntnisse für das Layout bietet verschiedene Literatur, hier sei verwiesen auf [23], [22] und [7].

6.4.1 Belastbarkeit der Kupferflächen

Die zwei Spannungen mit 384 A bekommen jeweils ihre eigene Kupferlage. Mehr Lagen sind bei diesem Aufbau nicht möglich, die restlichen zwei Kupferlagen für die Stromversorgung werden für die anderen zehn Spannungen benötigt. Die Lagen mit den hohen Strömen sind deshalb die Lagen mit der größten Dicke (mind. 33 μm), um eine größtmögliche Querschnittsfläche zu erhalten. Hierbei wurden keine Berechnungen bezüglich Spannungsabfall und Verlustleistung angestellt, Simulationen des Stromflusses hätten eine größere Wichtigkeit. Die Entscheidung trotzdem dafür beruhte auf der praktischen Erfahrung beim Boarddesign und der Erkenntnis, dass es für den möglichen Lagenaufbau keine Alternative gibt.

Für die restlichen zehn Spannungen musste eine Aufteilung gefunden werden, die folgenden Anforderungen genügt:

- Der Spannungsabfall von vier hintereinanderliegenden Retikeln darf vom ersten bis zum letzten nicht mehr als 20 mV betragen.
- Zwischen den Verlustleistungen aller Spannungen sollte ein ausgeglichenes Verhältnis herrschen.

Zum Einbringen der Spannungen in die Retikel bleibt nicht mehr Platz als die Diagonalenlänge, daneben liegt gleich das nächste Retikel. Von einem gemeinsamen Ort gehen Kupferstreifen ab und führen in die Retikel. Der Spannungsabfall und die Verlustleistung für die Wege lässt sich mit den Formeln 3.20 und 3.18 entsprechend der Geometrie ermitteln. Dazu wurden vier Gruppen entsprechend den Stromwerten (2400 mA, 400 mA, 160 mA, 80 mA) gebildet. Für jede Spannung werden vier Situationen durchgerechnet. Um die Werte zu finden, wurde eine Excel-Tabelle benutzt, mit der verschiedene Breiten analysiert wurden. Das Ziel war, eine Konfiguration zu erstellen, bei der keine Spannung einen Abfall von mehr als 20 mV aufweist.

Das Ergebnis für die Breiten steht in Tabelle 6.3. Im Anhang sind die Tabellen (s. D.2) abgedruckt, welche die berechneten Werte für die Streifen enthalten. Eine wichtige Zahl ist die Standardabweichung vom Mittelwert. Sie zeigt an, dass wenn der richtige

Strom [mA]	zugehörigen Spannungen	Spannungen	Breite des Kupferstreifens [cm]
2400	VDD_BUS		14,154 ^a
400	DI_VCC, VDD25, VOH, VOL		4,000
160	DI_VCC- ANA+PLL, VCC33ANA, VBIAS_LVDS	DI_- DI_-	2,500
80	VDD5, VDD12		1,750

Tabelle 6.3: Ergebnisse für die Breite der Kupferflächen

^ahalbe Retikeldiagonale abzüglich Viastreifen

Spannungswert zwischen zweitem und drittem Retikel liegt, alle anderen um weniger als 20 mV auseinander liegen. Die vorderen Retikel haben einen leicht erhöhten Wert, während die hinteren unter dem optimalen Wert liegen. Somit ist sichergestellt, dass alle Retikel-Spannungen sich in einem erlaubten Arbeitsbereich befinden.

Da die Stromzuführung nicht senkrecht über die Retikelseiten läuft, wechseln die Kupferstreifen immer zwischen der unter und oberen Retikelhälfte hin und her. Dieses Ver-

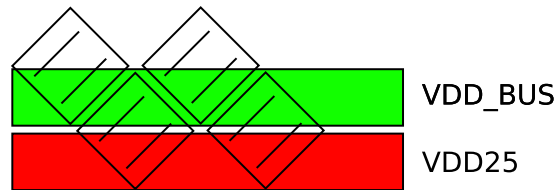


Abbildung 6.9: Unterschiedliche Position der Spannungen zwischen Retikel-Reihen

halten hat Einfluss auf das Retikel-Design und führt dazu, dass es zwei Varianten für die FET-Positionen auf den Retikeln gibt. Abbildung 6.9 verdeutlicht die Auswirkungen.

6.4.2 Belastbarkeit der Vias

Auf dem nightMARES-Board werden nur zwei Arten von Vias verwendet, welche die Lagen P6 und P3 miteinander verbinden sowie Microvias, die jeweils auf die benachbarte Lage gehen. Um das Layouten des Boards zu vereinfachen, wird nur ein einzelnes Via betrachtet. Außerdem wird ein Maximalstrom definiert. Auf diese Weise lässt sich ohne viele Berechnungen abschätzen, wie viele Vias bei gegebenem Strom notwendig sind.

Für die Berechnungen fallen die Restringe weg, es wird nur die Bohrung berücksichtigt.

sichtigt. Da die Vias wieder komplett mit Kupfer gefüllt werden, kann die Formel 3.22 angewendet werden. Aus dieser geht hervor, dass nur die Tiefe und der Durchmesser des Lochs benötigt werden. Diese Werte in die Gleichung eingesetzt, ergeben den Widerstand

Parameter	Buried Via [μm]	Microvia [μm]
Bohrdurchmesser	400	150
Bohrtiefe	1230	100

Tabelle 6.4: Daten unserer verwendeten Vias

der Vias. Mit dem Ergebnis kann für verschiedene Stromstärken der Spannungsabfall, die

Viatyp	Widerstand R [$\text{m}\Omega$]
Buried Via	0,174
Microvia	0,101

Tabelle 6.5: Berechneten Widerstände

Verlustleistung und die Verlustleistung pro Länge ermittelt werden. Im Anhang sind die Tabellen mit den Werten aufgeführt (s. D.1).

Für den weiteren Verlauf ein Kompromiss zwischen den Verlusten und dem Platzverbrauch eingegangen werden. Wählt man den Wert für den Maximalstrom zu klein, werden mehr Vias benötigt und somit wird auch mehr Fläche verbraucht.

Für beide Viatypen wurde als optimaler Wert 0,5 A pro Via gewählt. Ist es an Stellen mit besonders wenig Platz nötig, so kann auch ein maximaler Strom von 1 A fließen. Damit ist gewährleistet, dass der Spannungsabfall zu vernachlässigen ist und die entstehende Wärme abgeführt werden kann. Diese Methode erlaubt es Microvias noch als Heat-Sinks¹⁰ einzusetzen, da sie selbst keine übermäßigen Wärmequellen sind.

6.4.3 Anschluss der stark belasteten Spannungen

Die Spannungen VDDA+VDDPLL und VDD+VDDOUT bringen jeweils 384 A ins Board. Auf der Oberseite des Boards ist keine freie Fläche für Anschlüsse vorhanden, da sie mit DNC/FPGA-, Clock-, Powerboards und Topframe abgedeckt ist. Die Unterseite hat nur noch an den vier Ecken freie Fläche, da auch hier acht FPGA-Boards und das Wafer-Bracket den Großteil blockieren. Dadurch, dass jede Spannung zwei Ecken bekommt, verringert sich der punktuell einzubringender Strom auf die Hälfte.

Doch selbst für diesen Strom einen Stecker zu finden, der dies aushält ist nicht einfach. Die Lösung ist die Stecker-Serie Powerelemente der Firma Würth Elektronik, die für hohe Ströme konzipiert ist. Die Power-Buchse mit vollflächiger Pin-Belegung kann mit

¹⁰Das bedeutet, dass das Via nicht nur zum Stromtransport, sondern auch als Wärmeableiter dient. Elektrische Bauteile können so mit einer großen Kupferlage verbunden werden und führen die Hitze vom Bauteil auf die Lage ab, wo sie sich besser verteilen lässt.

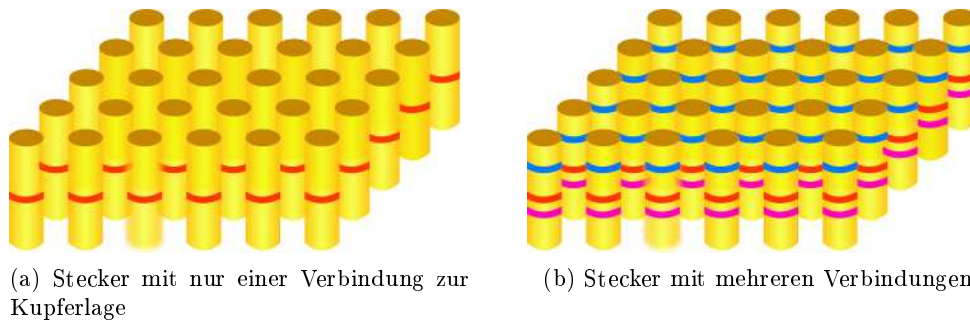


Abbildung 6.10: Unterschiedliche Kontaktfläche des Steckers mit der Leiterplatte

36 Stiftkontakten bei Umgebungstemperatur bis zu 220 A vertragen [5]. Dabei wird nur eine Fläche von 14,3 mm auf 14,3 mm belegt. Dies entspricht genau den Wünschen nach geringer Größe bei hoher Strombelastbarkeit.

Eine weitere Schwierigkeit besteht im Übergangswiderstand zwischen Stecker und der Leiterplatte. Für jede der beiden Spannungen steht in der Boardmitte nur eine Kupferlage für die Stromversorgung zur Verfügung. Würde jeder Pin nur über einen kleinen Zylindermantel mit einer Lage verbunden, wäre der Übergangswiderstand relativ groß und hätte hohe Verluste zur Folge. Deswegen werden mehrere Kontaktpunkte zwischen Stecker und Leiterplatte hergestellt, wodurch die Querschnittsfläche für den Strom ins Board vergrößert wird.

In Abbildung 6.10b ist das entwickelte Konzept für den Anschluss an die Kupferlage zu sehen. In einem zweiten Schritt muss der Strom auf die endgültige Kupferlage gebracht werden, wobei der Durchgang durch eine Engstelle im vermeiden werden sollte. Dazu wird eine Kupferfläche auf jeder Kontaktlage mit dem Stecker platziert. Diese Flächen sorgen für eine räumliche Verteilung des Stroms. Indem viele Vias über die Kupferflächen verteilt werden, entsteht eine große Anzahl von Verbindungspunkten zur endgültigen Kupferlage im Board. Abbildung 6.11 zeigt eine solche Fläche aus dem nightMARES-Board; dieses Muster ist auf allen Lagen von Bottom bis P3 vorhanden. Durch die Verteilung des Stroms auf den Kupferflächen ist die Belastung für ein einzelnes Via gering.

In Abbildung 6.12 ist das Prinzip mit einem einzelnen Steckerpin und vielen Vias schematisch dargestellt. Der Widerstand der Kupferflächen und Vias ist hierbei so klein, dass er zu vernachlässigen ist und alle Wege als gleich angesehen werden können. Mit dieser Vorgehensweise wird der Querschnitt der Verbindung zwischen Stecker und Kupferlage vergrößert und Verluste wie Spannungsabfall und Verlustleistung werden minimiert.

6.4.4 Masseabführung

Wie in der Einleitung zu diesem Kapitel beschrieben, muss jeder Strom, der in die Leiterplatte eingespeist wird auch wieder aus ihr herausgeführt werden. Würde das gleiche Konzept wie beim Einbringen des Stroms verwendet, wäre eine andere Verwendungstruktur des Lagenaufbaus notwendig. Wie aus Abbildung 6.5 ersichtlich ist, soll nur eine Lage für die Masse verwendet werden. Auf dem Board gibt es außerdem die drei Massenetze

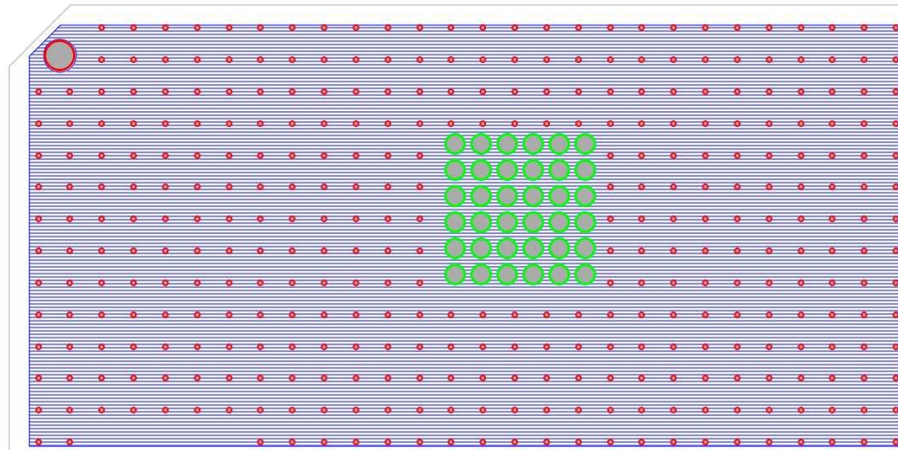


Abbildung 6.11: Eine Kupferfläche (blaue horizontale Streifen) verteilt den ein-kommenden Strom vom Stecker aus (grüne größere Ringe) auf die Vias (rote kleine Punkte)

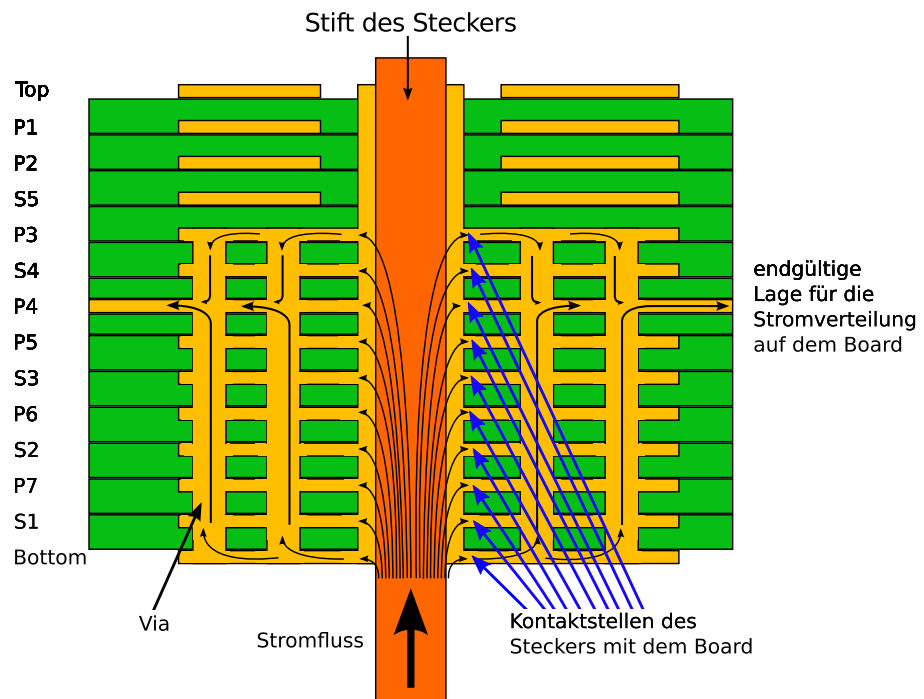


Abbildung 6.12: Vereinfachte Skizze des Stromflusses vom Stecker über mehrere Schichten ins Board

GNDA, GNDD und DI_GNDANA.

GNDA ist die Masse für die analogen Spannungen und GNDD entsprechend für die

digitalen Spannungen (s. Tabelle A im Anhang). Das Netz DI_GNDANA ist der erforderliche Abfluss für das Dresdener Interface des HICANNs. Er ist im Gegensatz zu den anderen beiden nur schwach belastet. Um die elektrische Funktionsfähigkeit der elektronischen Schaltungen auf dem HICANN zu gewährleisten, dürfen GNDA und GNDD nicht einfach verknüpft werden. Würde man den Strom so abführen wie er hereingekommen ist, wäre eine weitere Masselage und die gleichen Stecker mit dem entsprechenden Aufbau erforderlich. Aufgrund der extremen Flächennutzung auf der Oberseite sowie der Unterseite kann das nicht umgesetzt werden.

Die Abführung des Stroms direkt an den Retikeln bietet sich als Lösung an. Dabei wird das Top-Frame als Masseanschluss benutzt, die passenden Kontakte zum nightMARES-Board sind bereits vorhanden. Der Top-Frame ist so ausgefräst, dass in den Retikel-Ecken Stempel auf die Leiterplatte aufsetzen (s. Abbildung 6.13). Ursprünglich sollten die

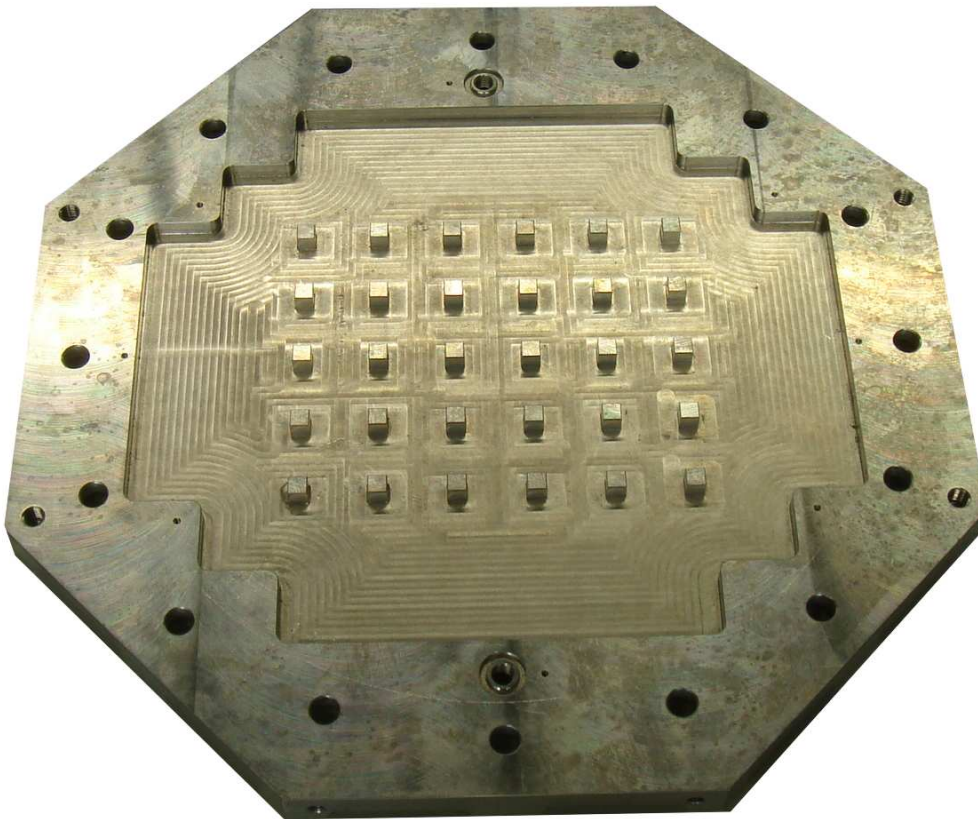


Abbildung 6.13: Unterseite des Top-Frames mit den Stempeln in der Mitte

Stempel nur den Druck auf dem Board gleichmäßig verteilen, damit sich die Leiterplatte nicht durchbiegt und keine negativen Auswirkungen auf die Elastomer-Verbinder auf der Unterseite auftreten. Die Elastomere brauchen einen definierten Druck und somit Kompression, damit die Silberkügelchen sich in den leitenden Streifen berühren und eine elektrische Verbindung entsteht.

Zusätzlich sollen die Stempel als Strom- und Wärmeableitung genutzt werden. Dazu erhält der Deckel eine spezielle Beschichtung aus galvanisch aufgebrachtem Silber. Normales Aluminium bildet in Verbindung mit Umgebungsluft sofort eine dünne Aluminiumoxidschicht aus, die schlechte Strom- und Wärmeleitfähigkeiten besitzt. Deswegen erhält der Deckel eine galvanisch aufgetragene Schicht Silber. Die Stempel haben eine Grundfläche von 3 mm auf 3 mm und können problemlos die schlimmsten Fall auftretenden 32 A aushalten. Dieses Konzept führt zu sehr kurzen Massewegen bis der Strom im massiven Aluminium-Deckel angekommen ist. Das Konzept von getrennten Massenetzen ist auch kein Problem mehr. Die Retikel sind durch den Viastreifen auf der Diagonale getrennt. Es bietet es sich an, eine Hälfte für die analoge Masse¹¹ und die andere für die digitale Masse zu verwenden. Erst in den Ecken treffen die Massenetze zusammen. Der massive Deckel bietet ein stabiles Massepotential an, so dass sich Störungen nicht weiter ausbreiten können.

Zusätzlich zum Deckel sind zwei Powerelemente-Stecker als Masseanschluss auf der Platine vorgesehen. Sie sind nahe an den Retikeln positioniert und liegen in einem Bereich, in dem differentielle Leitungen verlegt sind. In Abbildung 6.14 ist die Umgebung um einen Massestecker dargestellt. Das Bild zeigt deutlich, dass sehr wenig Platz vorhanden ist. Aufgabe der Stecker ist es, eine Entlastung des Deckels und den Masseanschlusses für die Lagen P6 und P7 herzustellen. Auf den Lagen P6 und P7 findet außerhalb des Retikels keine Stromverteilung statt. Die Kupferflächen dienen als Referenzlagen für die differentiellen Leitungen.

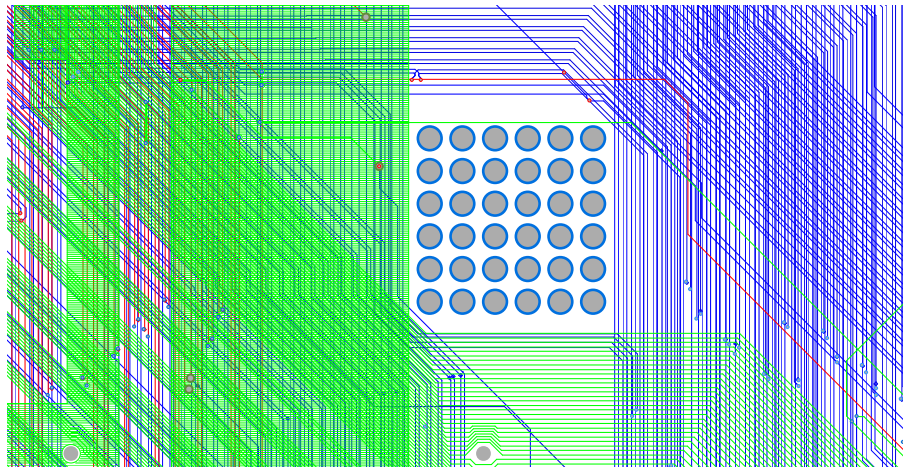


Abbildung 6.14: Massestecker mit allen Signallagen

¹¹Analoge Masse bezieht auf GNDA und DI_GNDANA.

6.5 Floorplan des Boards

In diesem Abschnitt werden Ausschnitte aus dem fertigen Layout des nightMARES-Board präsentiert, dabei wird auch auf besondere Bedingungen eingegangen. Aufgrund der Größe von 43cm^2 auf 43cm^2 sind auf kompletten Lagenbildern keine Details wie einzelne Leiterbahnen und Vias mehr erkennbar¹²

Viele der Komponenten des Wafer-Scale-Integration Systems haben bereits eine definierte Position für die Verbindung mit der Leiterplatte. Sie beruhen auf einem virtuellen Aufbau des kompletten Systems aus nightMARES-Board, DNC/FPGA-Boards, Wafer, Wafer-Bracket und Topframe mit Hilfe von SolidWorks¹³. Die Abbildungen 6.15 und 6.16 zeigen das Layout der Ober- und Unterseite des nightMARES-Boards. Leiterbahnen und Kupferflächen sind grün gekennzeichnet.

In den schwarzen, gestrichelten Rechtecken sind die DNC-Stecker platziert. Ihre Positionen sind exakt dem virtuellen Aufbau entnommen, da die FPGA-Boards mit dem Rahmen verschraubt werden, der nach diesen Vorgaben hergestellt wird. Auf der Oberseite sind 16 Stecker und auf der Unterseite 32 Stecker platziert. Das hat zur Folge, dass auch zwei Drittel der Leitungen von den Retikeln zu den Steckern auf der Unterseite müssen. Folglich ist es sinnvoll, möglichst viele Signalleitungen unterhalb der Kerne herauszuführen. Würden sie durch die Kerne hoch und auch wieder herunter geführt, müssten zwei Kernvias und weitere Microvias passiert werden, wobei auch die Signalqualität leiden würde.

In allen vier Ecken sind die Powerelemente-Stecker rot gekennzeichnet¹⁴. Die Stecker werden von unten in die Leiterplatte eingepresst.

Alle elektrischen Bauteile sind auf der Oberseite des Boards verteilt, da die Unterseite als Referenzlage für die Leiterbahnen auf S1 dienen soll. Außerdem ist ein Großteil der Fläche auf Bottom durch die DNC/FPGA-Boards abgedeckt.

Die Schaltungen zur Stromüberwachung sind an den Seiten der Leiterplatte in Dreiergruppen arrangiert¹⁵. Gut erkennbar sind die vielen Pins der PIC-Mikrokontroller. Jeder PIC überwacht zwei Retikel mit je zwölf Spannungen, was zu einer großen Anzahl an Messleitungen führt. Da die Leitungen als statisch betrachtet werden können, sind sie mit $100\ \mu\text{m}$ Leiterbahnbreite und $100\ \mu\text{m}$ Abstand verlegt. Obwohl diese Leitungen so klein und kompakt geroutet sind, wird die komplette Lage S5 für diese Leiterbahnen benötigt.

Den Retikeln vorgelagert sind entweder ein Powerboard¹⁶ oder ein Clockboard¹⁷. Zu Problemen führt die Querstrebe des Top-Frames, sie erlaubt nur zwei kleine Flächen für die Stecker. Auf die Stecker kommt jeweils eine Leiterplatte, die über die Querstrebe gehen soll. Es muss ein Mindestabstand von 22 mm zwischen dem nightMARES-Board

¹²Unter http://www.kip.uni-heidelberg.de/cms/fileadmin/groups/vision/people/maurice_guettler/diplomathesis.tgz ist ein Paket mit hochauflösten Lagenbildern vorhanden

¹³Das Bild 1.1 zeigt eine Darstellung des Systems aus SolidWorks.

¹⁴Auf der Oberseite als Kreise und auf der Unterseite als Rechtecke markiert.

¹⁵s. gelbe Boxen in Bild 6.15

¹⁶orange gestrichelte Rechtecke in der unteren linken und oberen rechten Ecke

¹⁷rot gestrichelte Rechtecke in der unteren rechten und oberen linken Ecke

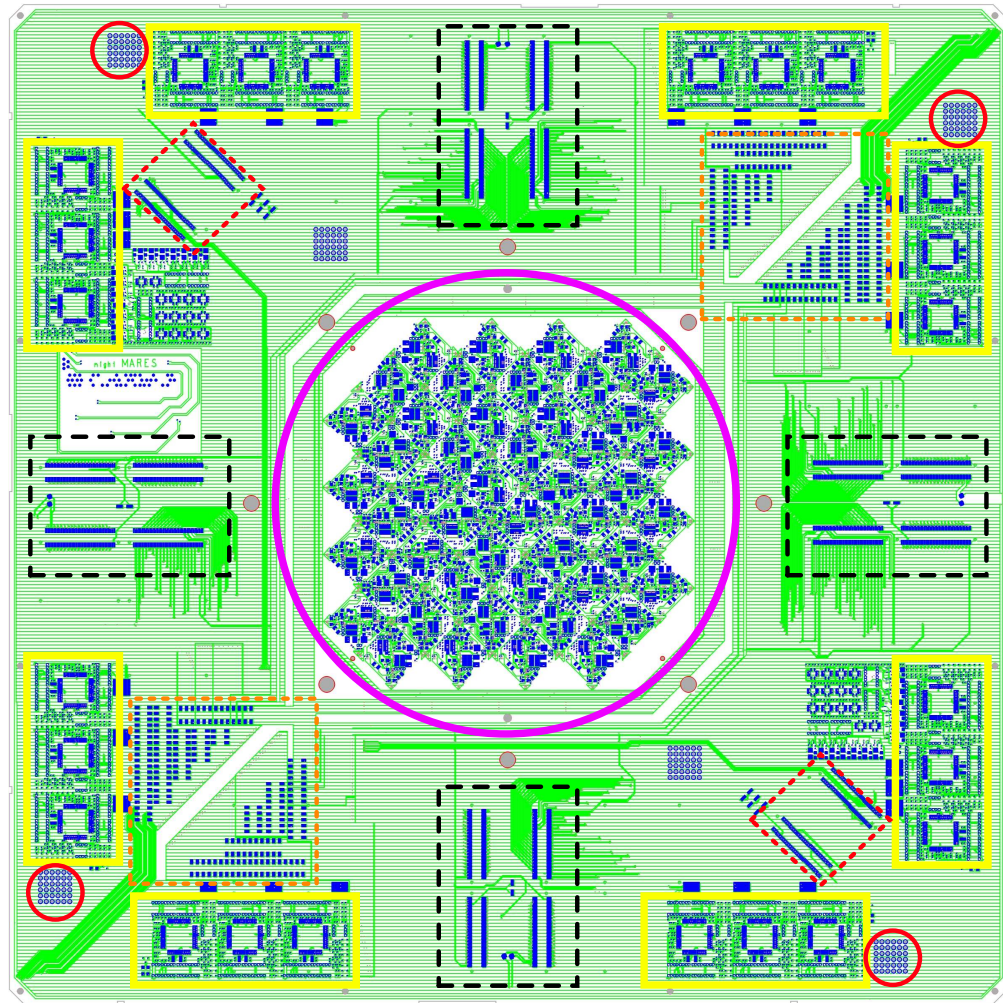


Abbildung 6.15: Aufteilung der Oberseite des nightMARES-Board

und dem anderen Board eingehalten werden. Die Powerboards setzen einfache SMD-Pfostenstecker¹⁸ ein, welche die Höhe ohne Probleme erreichen. Bei den Clockboards kommen die gleichen Stecker zum Einsatz wie bei den DNC-Boards, da viele Signale vom und zum Clockboard geleitet werden. Die DNC-Stecker wurden von der Firma Samtec bezogen und erreichen in der höchsten Ausführung zusammengesteckt gerade 22 mm, so dass das Board auf die Querstrebe aufsetzt. Damit kein Verbiegen des Clockboards eintritt, muss der Steg einige Millimeter abgefräst werden.

Der zentrale Bereich des Boards wird für die Retikel verwendet¹⁹. Die Mittelpunkte

¹⁸SMD bedeutet "surface-mounted device", dabei handelt es sich um ein "oberflächmontierbares Bauelement".

¹⁹s. rosa Kreis in der Boardmitte

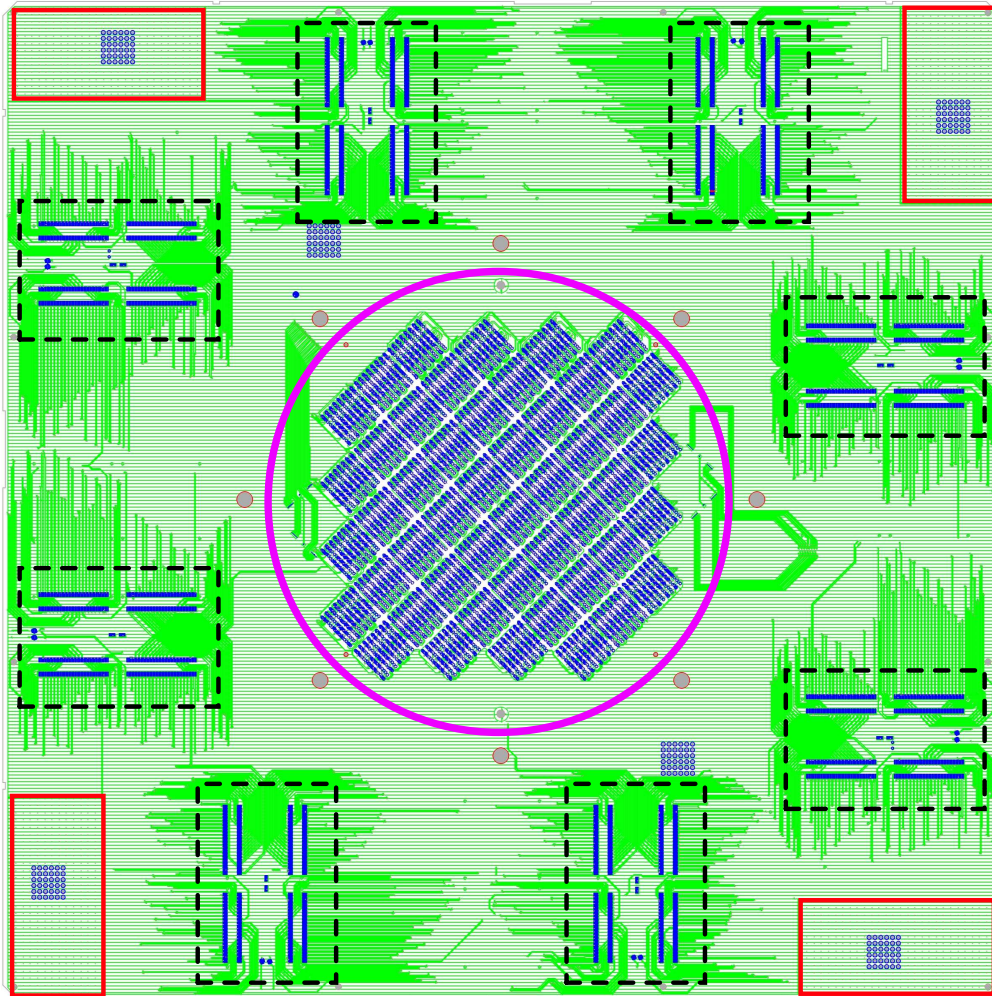


Abbildung 6.16: Aufteilung der Unterseite des nightMARES-Board

von Silizium-Wafer und nightMARES-Board sollen übereinander liegen. In einer Wafermap des Waferherstellers UMC ist festgelegt, an welchen Stellen die Chips²⁰ auf dem Wafer liegen (s. Abb. 6.17). Alle grauen Rechtecke bezeichnen Chips, die korrekt auf dem Wafer produziert werden konnten²¹. Es sind Informationen wie Chip-Abstand enthalten, um die Retikel auf dem nightMARES-Board nach diesem Schema zu platzieren²². Geplant war einen Wafer mit 48 Chips zu erhalten. Wie aus der Zeichnung zu sehen ist, wurden insgesamt jedoch 56 Chips produziert. Es gibt einen Grund, wurden insgesamt jedoch 56

²⁰Zu diesem Zeitpunkt sind es noch keine vollständigen Retikel auf dem Wafer. Dazu ist noch eine weitere Bearbeitung genannt Post-Processing nötig, die die erforderlichen Pads für die Elastomer-Verbinder herstellt. S. [33].

²¹Das bedeutet nicht, dass die Schaltungen funktionieren. Es wurden nur alle Teile des Chips auf die Siliziumfläche aufgebracht.

²²Diese Informationen werden vom SKILL-Skript zum Platzieren benutzt, s. 5.3.1.

6 Systemplatine - nightMARES

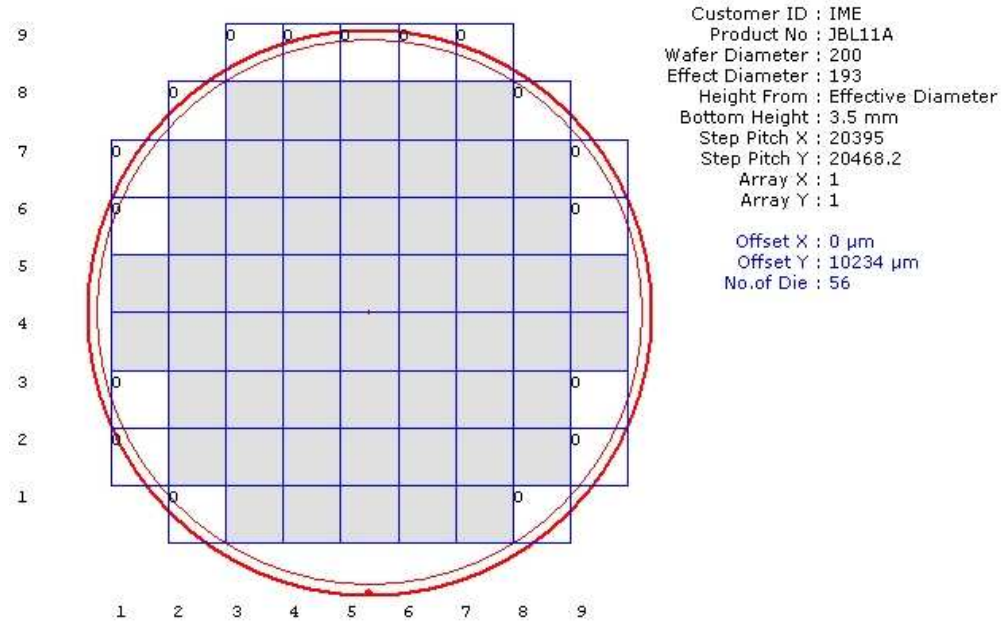


Abbildung 6.17: Wafermap von UMC

Chips produziert, von denen allerdings nicht alle 56 Chips verwendet werden. Für das Post-Processing wird eine Befestigung benutzt, die einen Kreisring um den Wafer herum abdeckt. Die äußersten Chips der obersten und untersten Zeile werden nicht vollständig bearbeitet und können somit nicht mit den Elastomeren verbunden werden.

Somit bleiben 52 Chips auf dem Wafer. Das Wafer-Scale-Integration System ist für 48 Retikel ausgelegt, das heißt es können alle zusätzlichen Retikel nur über Umwege benutzt werden. Zielsetzung ist, zunächst ein System mit 48 Retikeln aufzusetzen, damit können vier weitere Retikel gestrichen werden. Dadurch erhält man die Freiheit, Retikel, die nicht in einer Reihe mit anderen liegen und so ein Herausführen der Leitungen erschweren würden, zu ignorieren. In Abbildung 6.18 ist die verwendete Wafermap für das nightMARES-Board abgebildet²³. Zusätzlich geben die Farben an, auf welcher Lage die Leitungen der Retikel herausgeführt werden. Es sind vier Signallagen für die Retikel im ursprünglichen Konzept vorgesehen. Die Zuordnung ist folgende:

- Blau ist S1
- Orange ist S2
- Grün ist S3
- Gelb ist S4

²³Die weißen Chips mit Kreuz fallen wegen des Post-Processing und die grauen wegen ihrer schlechten Lage weg.

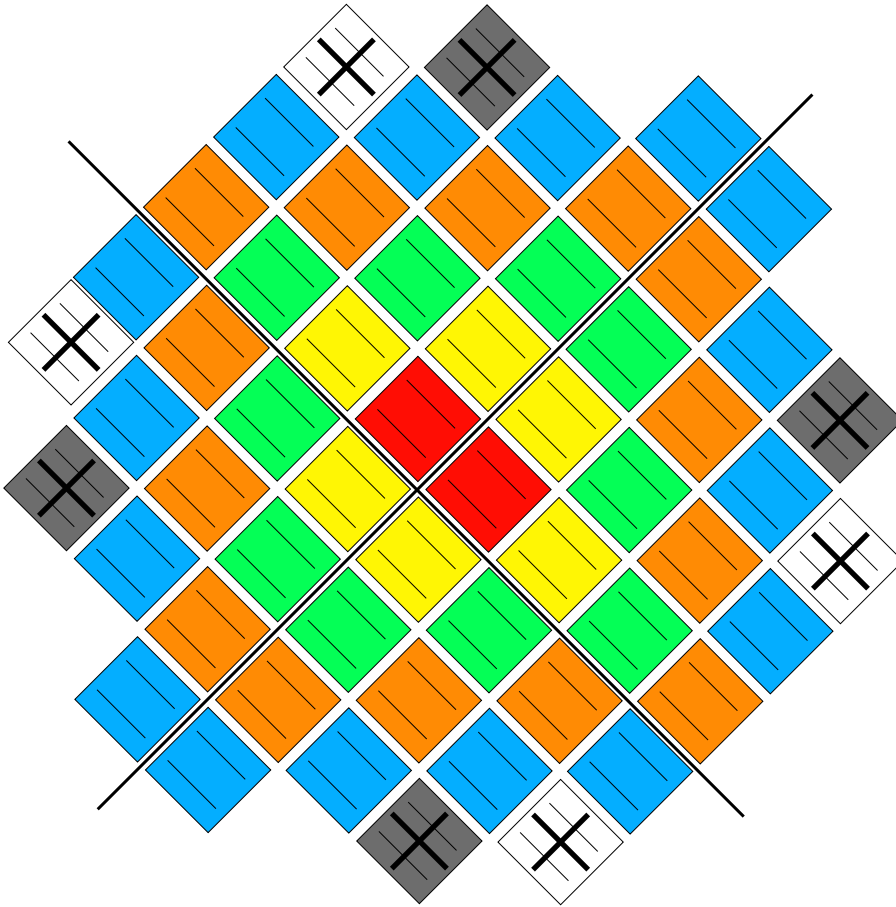


Abbildung 6.18: Neue Wafermap mit gestrichenen Retikeln und Angabe, auf welcher Lage die Leitungen der Retikel verlegt werden

In der Skizze sind zwei Retikel im Innersten rot markiert. Diese Retikel können nicht nach dem zugrunde liegenden Konzept mit den DNC-Steckern verbunden werden. Strikt nach Konzept müssten sie auf S5 verlegt werden, doch ist die Lage schon mit den Messleitungen belegt. Es wurde entschieden, die zwei betroffenen Retikel zunächst mit Strom zu versorgen, und alle Signale (speziell JTAG) ausser den differentiellen Signalen an die Retikel zu führen. Damit ist die Funktionsfähigkeit der Retikel hergestellt, da sie über JTAG programmiert werden können, und über die Post-Processing Strukturen zu benachbarten Retikeln kann über deren differentielle Leitungen eine Verbindung nach außen hergestellt werden.

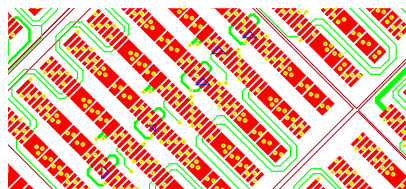
Falls möglich sollten die differentiellen Signale zum Schluss per Hand individuell von den Retikeln nach außen geführt werden. Diese Option wurde aus Zeitmangel nicht realisiert.

6.6 Probleme

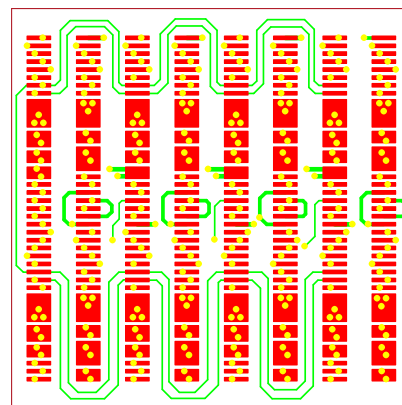
Einige Punkte konnten am Konzept für das nightMARES-Board verbessert werden. Der Aufwand konnte durch die Skriptunterstützung von SKILL an etlichen Stellen verringert werden. Doch gibt es auch Probleme, die während der Entwicklung des Boards auftraten und einer Überarbeitung bei einer Revision des nightMARES-Board bedürfen. Im folgenden werden Schwachstellen im Layout und Schwachstellen von konzeptioneller Natur dargelegt, für die aus Zeitmangel keine Lösung mehr gefunden werden konnte.

6.6.1 Fehler beim Einfügen von Modulen

Die Arbeit mit Modulen hat es ermöglicht, dass mehrere Entwickler gleichzeitig verschiedene Teile des Boards layouteten konnten. Diese Arbeitsteilung hat im Prinzip sehr gut funktioniert, es ist nie eine Leitung, ein Bauteil oder ein Via beim Einfügen in das Top-Level Design verloren gegangen. In einigen seltenen Fällen wurde von Allegro nicht erkannt, dass eine Leitung mit einem Pad verbunden ist. Allegro zeigt in solchen Fällen ein Ratnet²⁴ zwischen Leitungsende und Pad an. Normalerweise ist diese Funktion hilfreich, um vergessene Verbindungen zu finden. Den Grund hat das Ratnet war auch richtig erkannt, denn die Koordinaten des Leitungsendes stimmten nicht mit den Koordinaten des Pads überein. Der Abstand zwischen beiden Punkten war $0,1 \mu\text{m}$, das entspricht gerade der Genauigkeit, mit der Allegro intern arbeitet. Physikalisch wäre es kein Problem, die Leitung würde auf das Pad gehen und eine elektrische Verbindung wäre hergestellt. Die Fehlermeldungen sollten jedoch keineswegs ignoriert werden, um zu verhindern, dass wesentliche Fehler übersehen werden.



(a) Ausschnitt aus nightMARES mit fünf Ratsnets



(b) Entsprechende Ansicht im Retikel-Modul ohne das Ratnets an den selben Stellen vorhanden sind

Abbildung 6.19: Differenz zwischen eingefügtem Modul auf dem nightMARES-Board und dem Retikel-Modul

²⁴Ratnets sind Linien zwischen Komponenten wie Leitungen, Pads und Vias, die nach dem Schaltplan miteinander verbunden sind.

Vermutet wurde, dass die Abweichung von dem Rotieren der Retikel um 45° herrührt. Die Vermutung ließ sich jedoch auch durch mehrmaliges Einfügen und Drehen nicht bestätigen. Manchmal trat dieses Problem auf, wenn ein Teil der Retikel bereits platziert war, manchmal auch schon bei nur einem einzigen Retikel.

Der naheliegendste Grund wäre, dass Allegro beim Platzieren eines Moduls alle Koordinaten neu berechnet und sich an einer Stelle ein Rundungsfehler einschleicht. Es wurde versucht, mit einem SKILL-Skript das Problem zu lösen. Das Skript verlegte in alle Pads Leitungsstücke mit der Länge $0,1\ \mu\text{m}$, die die fehlende Verbindung schließen sollten. Damit war es möglich, 80% der Ratnets zu entfernen. Die restlichen Ratnets mussten in mühsam von Hand bearbeitet werden. Diese Arbeit nahm viel Zeit in Anspruch genommen und wurde erst nach Abschluss der Entwicklung aller Module durchgeführt. Andernfalls hätte man das Board neu aufbauen und die Module wieder einfügen müssen.

6.6.2 Parallele Arbeit am Projekt

Den Schaltplan hierarchisch und modular aufzubauen, hat ein getrenntes Entwickeln der Retikel, PICs, Justage-Einheit und Clockboards erlaubt. Im Abschnitt 6.1.2 wurde ausführlich auf die Vorteile dieses Konzepts eingegangen und erwähnt, wieviel Zeit dadurch gespart werden konnte.

Ab einem gewissen Punkt beim Layouten des Boards war es allerdings nur noch möglich, einzeln am Design zu arbeiten. Das war vor allem dann der Fall, wenn alle Module ins Top-Level Design eingefügt waren und Anpassungen von Hand Anpassungen vorgenommen werden mussten. Die Clockboard-Module enthalten z. B. alle Verbindungen zu den DNC-Steckern für die Signale MAIN_CLK, SAMPLE_TRIGGER usw. An den Steckern sind bereits Leitungen zum Anschluss vorgesehen, doch wird die Verbindung nicht immer dort hergestellt, wo die Leitungen vom Stecker enden. Somit bleiben Stichleitungen stehen, die sich negativ auf die Signalqualität auswirken. Nachträglich müssen solche Leitungen aufgespürt und von Hand gelöscht werden.

Dies ist ein Nachteil des parallelen Arbeitens an verschiedenen Teilen. Es muss darauf geachtet werden, dass das Zusammensetzen aller Module reibungslos funktioniert. Die notwendige Nachbearbeitung würde die eingesparte Zeit ansonsten wieder zunichte machen.

Andererseits erschweren alle Teile eines Boards, die nicht über ein Modul oder Skript hinzugefügt werden, die Arbeit an dem Board. Erkennt man bei der Entwicklung, dass eine Komponente verändert werden muss, diese Veränderung aber nicht sofort ausführbar ist, muss gewartet werden bis die Datei mit dem endgültigen Layout freigegeben wird. Diese Datei stellt die Basis dar, auf der alle weiteren Schritte aufgebaut werden. Das Konzept, aus einer leeren Board-Datei die Leiterplatte aufzubauen, gilt damit nicht mehr und die parallele Entwicklung behindert sich gegenseitig.

Es ist sehr schwierig, eine Balance zwischen dem, was als Module bzw. Skript und dem, was von Hand eingefügt wird, zu finden. Weiter ist eine verstärkte Koordination und Kommunikation zwischen den Entwicklern nötig, damit sie sich nicht gegenseitig blockieren. Mit dem nightMARES-Board konnte in dieser Hinsicht viel Erfahrung gesammelt werden, was die Entwicklung zukünftiger Projekte erleichtern wird.

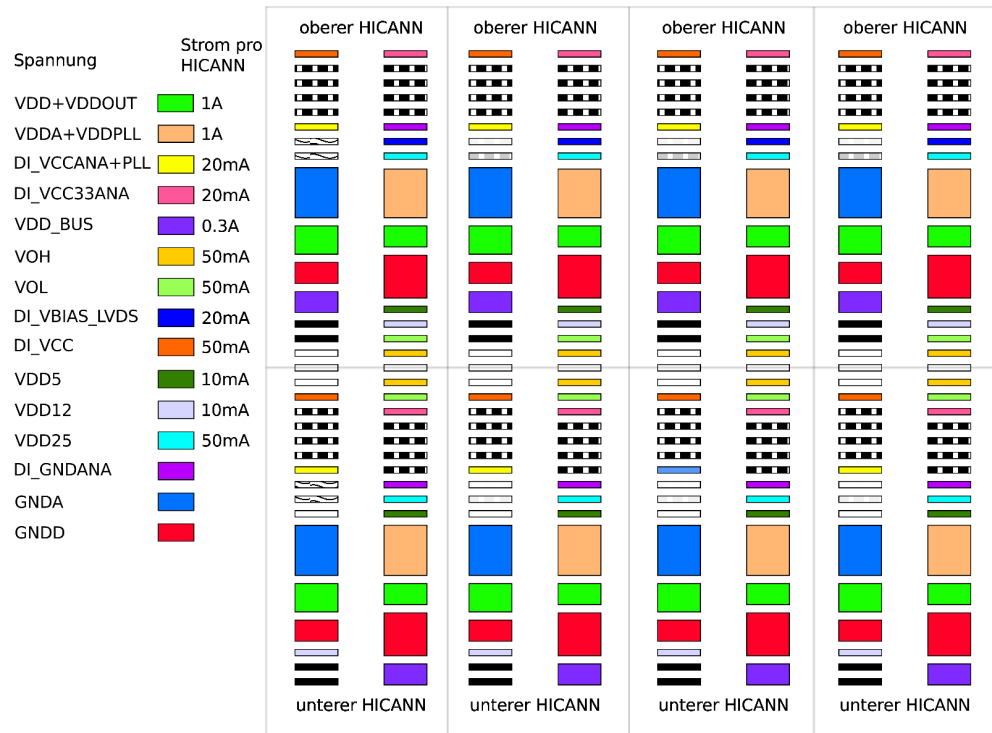


Abbildung 6.20: Pad-Struktur auf der Unterseite des nightMARES-Boards für ein Retikel

6.6.3 Platzbedarf auf den Lagen

Der geringe Platz zum Herausführen der Signalleitungen und für das Verteilen der 12 Spannungen ist immer wieder als Problem dargestellt. Gerade in den äußersten Retikeln ist alles dicht gepackt. Durch sie müssen alle Leitungen der inneren Retikel verlaufen, d. h. die Signallagen können für nichts anderes genutzt werden. An einem praktischen Beispiel von einem Retikel soll gezeigt werden, warum man absichtlich gegen die Design-Regeln verstößt, um die differentiellen Signale vom Retikel weg zu bekommen.

In Abbildung 6.20 sind die Pads für ein Retikel abgebildet. Jeder HICANN muss einzeln an die 12 Spannungen angeschlossen werden. Ebenso müssen die Massenetze für den Rückfluss bis Lage P6 zusammengeführt sein, da nur eine bestimmte Anzahl an Buried Vias durch den Kern verlegt werden können. Teilweise lassen sich Signale auf Bottom miteinander verbinden, wie zum Beispiel Areareadout (Rechtecke mit Wellenlinien) oder die Ext-Clock (schwarze Rechtecke). Im Prinzip geht von jedem Pad mindestens ein Microvia auf S1. So kommen bei 248 Pads schnell bis zu 300 Microvias zusammen, da für einige Spannungen mehrere Vias benötigt werden. Für die differentiellen Signale (gestrichelte Pads) ist es dementsprechend schwierig, auf S1 überhaupt aus dem Retikel herauszukommen. Abbildung 6.21 zeigt exemplarisch, wie eng die Signale in einem Retikel verlegt werden müssen. Die blauen Leitungen sind die einzigen Möglichkeiten, auf dieser Lage

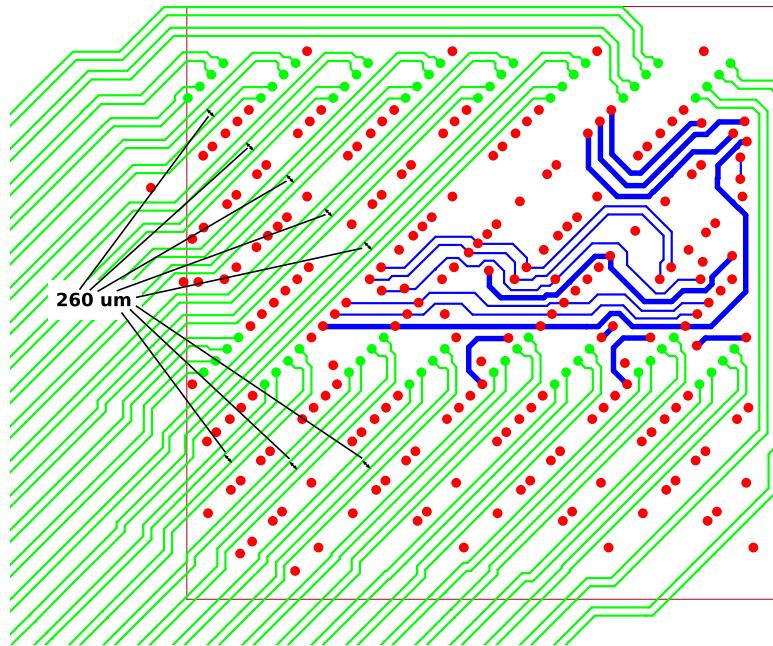


Abbildung 6.21: Herausführen der differentiellen Signale auf Lage S1

gleiche Spannungen zusammenzufassen. Das kann auch nur mit schwach belasteten Spannungen gemacht werden, da für höhere Ströme Kupferflächen verwendet werden müssen. Die grünen Leitungen entsprechen den differentiellen Signalen. Bei differenzielle Leitungen gilt als Daumen-Regel für den Störabstand das Zwei- bis Dreifache des Separationsabstandes von einem Signalpärchens. Für einen Abstand von $200\ \mu\text{m}$ sollte der Störabstand mindestens $400\ \mu\text{m}$ betragen. Im Retikel-Bereich beträgt er $260\ \mu\text{m}$, liegt also weit unterhalb dieser Grenze.

Dies kann zu einem verstärkten Übersprechen zwischen den Signalen führen. Dazu muss angemerkt werden, dass der Störabstand auf $480\ \mu\text{m}$ anwächst, wenn die Leitungen das Retikel verlassen haben. Der Bereich, in dem ein Übersprechen auftreten kann, ist mit ungefähr $2\ \text{cm}$ relativ kurz im Vergleich zur Gesamtleitungslänge (im Schnitt ca. $17 - 18\ \text{cm}$).

Ob das ausreicht, um die Übertragung gravierend zu stören, kann nur in einem Testaufbau mit DNC/FPGA-Boards getestet werden. Es lässt sich allerdings wenig an diesem Zustand ändern, da der Platz bei der hohen Leitungsdichte schon optimal genutzt ist. Es hat auch einige Zeit gedauert, bis eine Via-Konstellation gefunden wurde, die es ermöglicht, die Leiterbahnen herauszubekommen.

Dieser Aufwand musste für die ersten Retikel in jedem Quadranten durchgeführt werden, denn die differentiellen Leitungen müssen jeweils in eine andere Richtung vom Retikel weggeführt werden.

6.7 Statistik zum Board

Allegro ist mit viele Funktionen für die Analyse eines Boards ausgestattet, aber diese bieten nur eine tabellarische Auflistung der einzelnen Daten. Es fehlen Statistik-Funktionen zur Berechnung eines Mittelwertes oder einer Standardabweichung und eine grafische Darstellung der Daten. Mit der Betrachtung einiger Aspekte des nightMARES-Boards soll gezeigt werden, dass eine Verknüpfung der Programmiersprache SKILL mit einem Analyse-Programm wie z.B. ROOT²⁵ interessante Erkenntnisse liefert, die bei der Untersuchung eines Boards helfen können. Mit der Programmiersprache SKILL können problemlos die gewünschten Daten extrahiert und in andere Programmen wie z. B. ROOT übergeführt werden. Dabei wird SKILL als Daten-Extraktions-Werkzeug verwendet. Anschließend findet in ROOT die Verarbeitung der Daten und grafische Präsentation statt. Solche Analysen zeigen auch Schwachstellen im Design der Leiterplatte auf.

Es ist z. B. beeindruckend, dass die Gesamtlänge aller Leitungen auf dem Board auf 1 km kommt. Im Vergleich dazu wurden 2009 in einem Mittelklassewagen ca. 3 km Kabel verlegt. Von den 1000 m entfallen ungefähr 500 m alleine auf die differentiellen Leitungen. In Abbildung 6.22 ist die Häufigkeit der einzelnen Leitungslängen dargestellt. Die kurzen Leitungen mit einer Länge von unter 30 mm sind übrig gebliebene

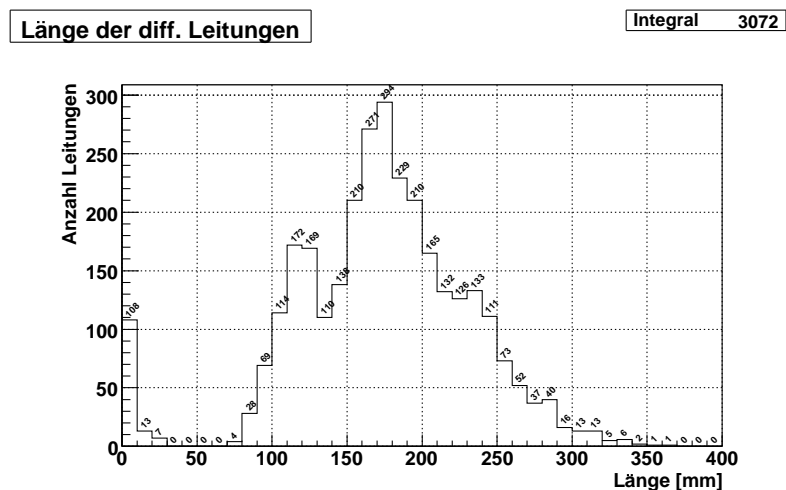


Abbildung 6.22: Länge der differentiellen Leitungen vom Retikel-Pad bis zum DNC-Stecker

Leiterbahnen der zwei innersten Retikel, die nicht mit den DNC-Stecker verbunden wurden. Wie zu erwarten gibt es zwei Spitzen im Histogramm nämlich bei 110 – 130 mm und bei 160 – 180 mm. Das lässt sich mit dem Herausführen der Signalleitungen der Retikel auf den einzelnen Lagen erklären. Aus der Tabelle 6.6 ist ersichtlich, dass die hinteren Retikel nicht das gleiche Gewicht in der Grafik besitzen wie die vorderen Retikel.

²⁵Root ist ein am Cern entwickeltes Daten-Analyse-System, s. <http://root.cern.ch>.

Lage	Anzahl der Retikel
S1	16
S2	14
S3	10
S4	6

Tabelle 6.6: Auflistung der Lagenbelegung durch die Retikel

Für die differentiellen Signale sollte die Länge der beiden Leitungen eines Paares optimalerweise gleich sein (s. Kap. 3.3). In Abbildung 6.23 sind die Differenzen der Leitungslängen aufgetragen. Die selbst gewählte Grenze von 3 mm Längenunterschied wird

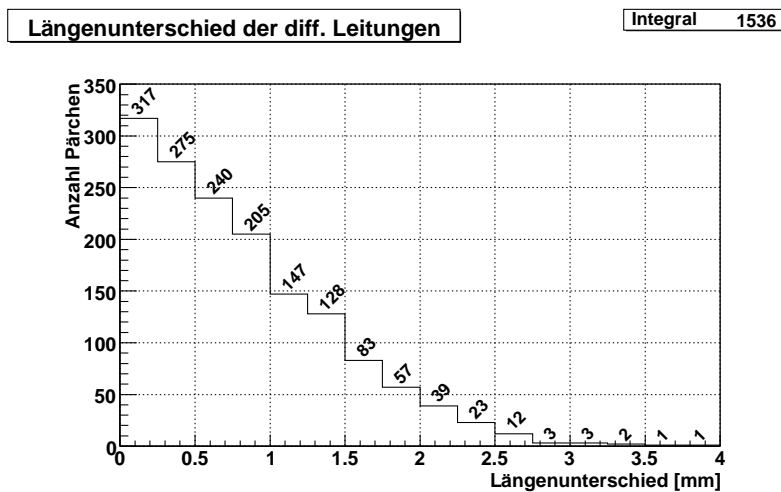


Abbildung 6.23: Differenz zwischen den beiden Leitungen eines differentiellen Pärchens

von 99,5% der Paare eingehalten, knappe 50% liegen sogar unter einem mm. Nur sieben Stück liegen oberhalb dieser Grenze. Für die große Anzahl an Leitungen ist das ein beachtlicher Wert und beweist, wie sauber die Leitungen ohne Überprüfung der Längen verlegt wurden.

Die gleiche Untersuchung der Längenunterschiede wurde für die Ext_Clock durchgeführt. Ihre Aufgabe ist es, für eine synchrone Arbeit aller HICANN-Chips auf dem Wafer zu sorgen. Die Abbildung 6.24 stellt die 48 Längenunterschiede der Leitungen dar. Wie in der Grafik der differentiellen Leitungen gibt es Paare, die eine Differenz von über 3 mm aufweisen. Besonders die Leitungen mit über 7 mm Unterschied sollten im Layout überprüft werden.

An Microvias wurden über 106.000 Stück verwendet. In Abbildung 6.25 wird genauer aufgeschlüsselt, zwischen welchen Lagen wie viele Microvias platziert sind. Der größte Einzelwert ist von Bottom auf Signal 1 mit 19.045 Microvias. Diese Zahl kommt zustan-

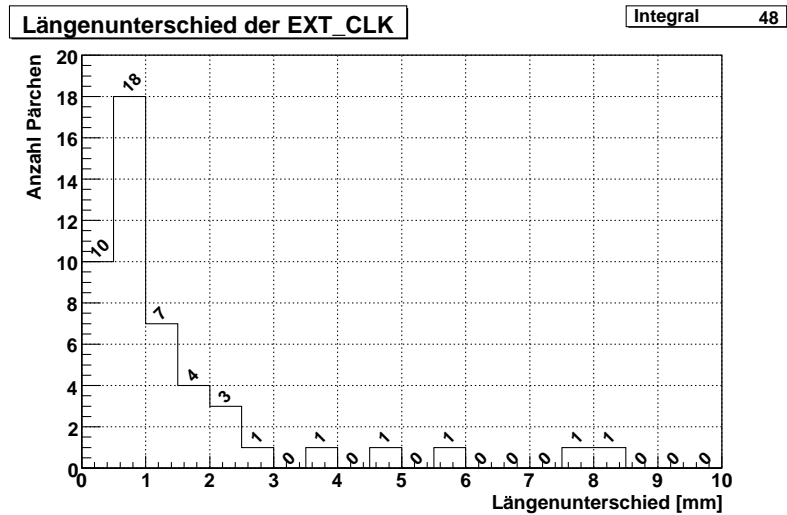


Abbildung 6.24: Längenunterschiede zwischen den Leitungen der EXT_CLK

de, weil für ein Retikel knapp 300 Microvias benötigt werden. Bei 48 Retikeln ergibt das 14.000 Stück. Auch ist gut zu erkennen ist, dass die Zahl der Microvias zu den inneren Lagen hin abnimmt. Das ist notwendig, damit auf den inneren Signallagen mehr Platz für die Leitungen frei wird. Außerdem müssen die Spannungen auf den Streifen der Kernvias zusammengeführt werden, denn von den Buried Vias ist nur eine begrenzte Anzahl vorhanden. Dennoch werden 7542 Buried Vias auf der Leiterplatte verwendet.

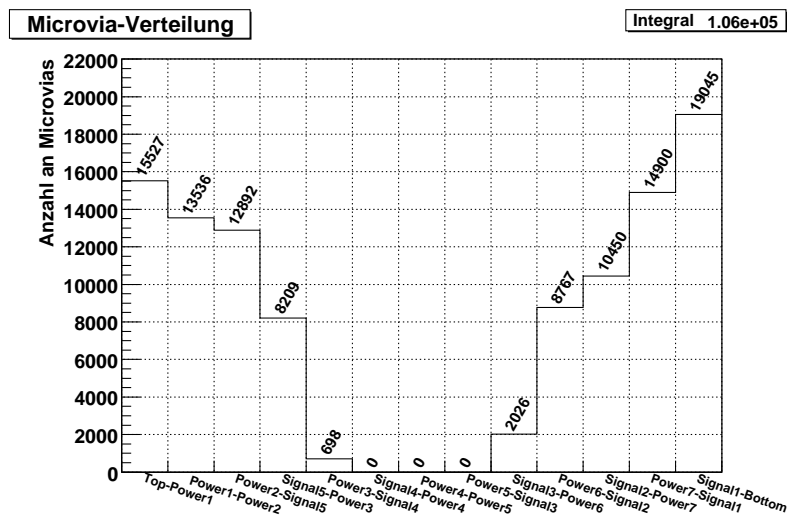


Abbildung 6.25: Verteilung der Microvias zwischen den Lagen

Der Arbeitsablauf für das Erstellen der Histogramme ist vollständig automatisiert. Es genügen zwei Skripte zum Extrahieren der Daten aus Allegro und zur Auswertung mit

Root. Dabei werden gleichzeitig die Netznamen ausgegeben, die über einer definierten Grenze liegen und einer Kontrolle bzw. Nachbearbeitung bedürfen.

7 Testaufbau

Die von der Firma Würth Elektronik produzierten Leiterplatten werden nach Fertigstellung einem elektrischen Test unterzogen. Dabei wird mit einem Fingertester¹ die elektrische Leitfähigkeit der Leitungen untereinander überprüft. Aus den Gerber-Daten² kann ermittelt werden, welche Pads auf der Oberseite miteinander verbunden sind und welche nicht. Der Fingertester fährt mit seinen zwei Messspitzen zu den Pads und misst den Widerstand.

Das Problem besteht darin, dass der Test keine Aussage darüber aus machen kann, ob eine Verbindung von der Oberseite zur Unterseite funktioniert. Für das nightMARES-Board ist dieser Punkt wichtig, da ein Board mit fünf Verpressungen nicht mehr zum Standard gehört.

Für einen Testaufbau wird das System aus Topframe, Leiterplatte, FR4-Schablone, Short-Loop Wafer und Wafer-Bracket zusammengesetzt. Die entscheidende Komponente für den Test der Leiterplatte ist der Wafer. Ohne ihn kann nur eine allgemeine Funktionsprüfung der Mikrocontroller-Schaltungen durchgeführt werden. Weitergehende Signaluntersuchungen und Strombelastungstests können ohne Short-Loop Wafer nicht stattfinden, da alle Leitungen von den DNC-Steckern und der Stromversorgung zu den Pads auf der Unterseite des Boards verlaufen. Das Gegenstück zu den Padmustern sind die Elastomerverbinder und der Wafer. Der Wafer stellt über die Post-Processing Strukturen zwischen den Pads die Verbindung auf dem nightMARES-Board her. Dafür gibt es zwei Arten von Verbindungen. Einmal werden die differentiellen Leitungen mit kurzen Leitungen kurzgeschlossen. Dabei werden die Sendeleitungen mit den Empfangsleitungen der DNC-Boards verbunden. Bei dem zweiten Verbindungstyp ist die Leitung in einer Schlangenlinie verlegt, so dass ein definierter Widerstand entsteht.

Die Stromabschaltung eines Retikels wird mit dem Powerboard getestet, deshalb steht dieser Test für das nightMARES-Board nicht an erster Stelle. Wenn alle wichtigeren Tests durchgeführt sind, kann eine Untersuchung des Verhaltens unter Volllast mit allen Retikeln nachgeschoben werden.

Die primären Untersuchungen betreffen die differentiellen Datenleitungen und Elastomerverbinder. Dabei wird ein FPGA/DNC-Board auf das nightMARES-Board gesteckt. Mit dieser Anordnung wird ein einfacher Loopback-Versuch³ für die Signale durchgeführt. Die Signale, die der FPGA abschickt, sollten unter optimalen Bedingungen wieder an den Eingängen empfangen werden. Dieser Test liefert zwei Ergebnisse; kommen die Signale beim Empfänger an oder nicht.

¹engl. flying probe

²Ein Dateiformat für die Produktion von Leiterplatten. Einzelne Lagen werden wie auf einem Fotofilm abgespeichert, dabei gehen die Netzinformationen verloren.

³Loopback bedeutet, dass in einer Schleifenschaltung Sender und Empfänger identisch sind.

Mit einem Pattern Generator⁴ und einem Oszilloskop lässt sich mehr über die Signalleitungen und die Elastomerverbinder aussagen. So kann die Übertragungsrate erhöht werden und am Oszilloskop sieht man mit Hilfe des Eye-Diagramms⁵, in welchen Bereichen ein sauberes Signal ankommt und ab wann Störungen das Signal beeinträchtigen. Es wäre auch möglich statt eines Pattern Generators einen Netzwerkanalysator zu verwenden. Durch ein bekanntes Signal ermittelt dieser verschiedene Parameter wie Reflexion und Transmission eines Testobjekts, im vorliegenden Fall für die Leitung und den Elastomerverbinder.

Für beide Geräte muss ein Adapterboard hergestellt werden, da die benötigten Stecker für das Messgerät nicht an die DNC-Stecker angeschlossen werden können.

Die Tests sollten immer für verschiedene Retikel durchgeführt werden. Wie in Kap. 6.6.3 beschrieben wurde, ist der Störabstand für die Leitungen auf S1 kurzzeitig geringer. Auf der Lage S4 haben die Leitungen in den Retikeln bereits einen Störabstand von über 400 μm . Auf diese Weise lässt sich der Einfluss der Leitungsverlegung untersuchen und herausfinden, ob bei einer neuen Produktion des Boards das Layout verändert werden muss.

⁴Ein Pattern Generator kann ein zufälliges Bitmuster oder ein vordefiniertes Muster versenden.

⁵Bei einem Eye-Diagramm werden alle empfangenen Signalförmungen übereinander gelegt. Die Größe der offenen Fläche gibt Auskunft über die Signalqualität

8 Zusammenfassung und Ausblick

In der vorliegenden Diplomarbeit wurde eine hochintegrierte Leiterplatte für das Wafer-Scale-Integration System entwickelt. Die technische Realisierung der Leiterplatte wurde in enger Zusammenarbeit mit der Firma Würth Elektronik erreicht. Alle Anforderungen an die Leiterplatte wie z. B. hohe Lagenzahl mit Verwendung von Microvias und impedanzkontrollierte Leitungen konnten umgesetzt werden. Auftretende Fragen konnten offen angesprochen werden und immer wurde eine Lösung gefunden.

Wichtige Elemente auf der Leiterplatte waren die Retikel, die die Anschlüsse zu den Elastomeren bereitstellten. Ihre Entwicklung hat jedoch mehr Zeit in Anspruch genommen, als anfänglich gedacht wurde. Das damalige Konzept ging davon aus, dass einige entworfene Retikel ausreichen, um diese im Anschluss auf dem nightMARES-Board mehrfach einzufügen. Diese Konzept ging leider nicht auf. Es mussten 48 einzelne Retikel designt werden. Das Problem war das Verlegen der differentiellen Signale aus dem Retikel-Bereich heraus. Erst durch individuelles Verlegen der Leitungen können sie von den Retikeln wegkommen.

Ein weiteres Problem beim Retikel-Entwurf war die nicht symmetrisch Verteilung der Spannungs- und Signalpads auf den Wafer-Retikeln (s. Abb. 6.20). Die differentiellen Leitungen müssen für jeden Quadranten einen unterschiedlichen Weg aus dem Retikel nehmen. Dabei passiert es, dass die differentiellen Signale in einem Quadranten relativ schnell außerhalb des Retikels sind, in einem anderen Quadranten müssen die Leitungen das komplette Retikel durchqueren. Ebenso war auch die Verteilung der Spannungen auf die entsprechenden Pads schwierig, denn dafür standen nur zwei Lagen zur Verfügung (s. Abb. 6.5). Die Positionen der Pads zueinander sollte bei einer Neuentwicklung des Wafers überdacht werden. Vielleicht wäre es möglich, die untere HICANN-Reihe auf die obere Reihe gespiegelt zu projizieren, damit eine Symmetrieachse auf dem Retikel entsteht.

Der Einsatz der parallelen Layoutentwicklung hat sehr gut funktioniert. Durch eine klare Trennung der Funktionen im Schaltplan konnte jede Schaltung vom Rest unabhängig fertig gestellt werden. Es haben zeitweise bis zu vier Personen gleichzeitig Teile des Boards entworfen, ohne sich gegenseitig zu blockieren. So sind zwei Personen mit den Retikeln beschäftigt und jeder kann für sich eine eigene Wafermap konstruieren. Die Mikrocontroller-Schaltung wurde nur einmal entworfen und dann 24-mal auf dem Board eingefügt. Das Konzept ist so ausgelegt, dass das Projekt beliebig skalierbar ist. Zukünftige Projekte können einfach adaptiert werden.

SKILL hat sich als notwendiges Mittel bei solch großen Projekten hervorgetan. Gerade in Kombination mit Modulen hat sich die Entwicklungszeit verringert. Das beste Beispiel sind die Retikel. Es reicht z. B. ein einziger Befehl aus und in einem leeren Layout baut sich die Wafermap automatisiert auf. Die geschriebenen Programme haben viel Arbeit

abgenommen, besonders hilfreich war auch die Möglichkeit Layout-Daten von einem Modul in ein anderes Modul zu kopieren. Doch wurde noch nicht das volle Potenzial ausgeschöpft.

Die Komplexität des Boards stammt nicht nur von den über 3000 differentiellen Datenleitungen. Für jede Komponente und jede bekannte Methode wird an ihre Grenzen gebracht, sei es der Starkstromanschluss für bis zu 180 A (s. Kap. 6.4.3) oder das Verbinden der Signalleitungen mit den DNC-Steckern (s. Kap. 5.3.3). Dadurch, dass alles an seine Grenze stößt, muss jeweils ein Konzept entwickelt werden. Dieses muss am Ende auf dem nightMARES-Board umgesetzt werden, was wieder andere Komponenten beeinflussen kann.¹

Die lange Entwicklungszeit des nightMARES-Boards hat verhindert, dass die Leiterplatte innerhalb der Diplomarbeitszeit produziert werden konnte. Somit können keine Ergebnisse der Inbetriebnahme präsentiert werden.

Jedoch ist es möglich auf den Erfahrungen aus diesem Projekt über zukünftige Entwicklungen nachzudenken. In dieser Arbeit wurde es geschafft 46 Retikel komplett mit JTAG und den differentiellen Leitungen an die DNC-Stecker zu bringen. Wenn in der nächsten Entwicklungsstufe mehr Retikel auf dem Wafer vorhanden sind, kann sicher nicht die gleiche Verbindungsanzahl pro Retikel erhalten bleiben. Denn mehr Lagenverpressungen sind mit den verwendeten Materialien nicht möglich und somit bleibt es bei vier Signallagen für die Kommunikationsleitungen. Die momentane Stromüberwachung setzt auf dem Stand der aktuellen Technik bei den FETs. Da kleinere Gehäusetypen bei den gleichen Anforderungen nicht verfügbar sind. Um nicht mehr Chips auf dem Wafer über den gleichen FET zu kontrollieren, sollte der FET vielleicht direkt in den Wafer integriert werden.

Auf der anderen Seite wurden mit dieser Arbeit Methoden für eine komplexe Leiterplatte eingeführt, die sich konzeptionell auch auf größere Projekte anwenden lassen. Die nächsten Schwierigkeiten werden erstmal die Bestückung des nightMARES-Boards und der Zusammenbau des kompletten Wafer-Scale-Integration Systems sein.

¹Unter http://www.kip.uni-heidelberg.de/cms/fileadmin/groups/vision/people/maurice_guettler/diplomathesis.tgz findet sich ein Paket mit verschiedenen Dateien. Unter anderem sind detaillierte Lagenbild enthalten, die verdeutlichen wie eng es auf dem Board ist.

Anhang

A Versorgungsspannungen auf der Systemplatine

Name	Spannung [V]	Strom/Retikel [mA]	Typ
DI_VCCANA+PLL	1,8	160	Analog
VDDA+VDDPLL	1,8	8000	Analog
DI_VCC	1,8	400	Digital
VDD+VDDOUT	1,8	8000	Digital
VDD25	2,5	400	Analog
VDD5	5	80	Digital
VDD12	11	80	Digital
DI_VCC33ANA	3,3	160	Analog
VDD_BUS	0,8 - 1,8	2400	Digital
VOH	0,75 - 0,95	400	Digital
VOL	0,65 - 0,75	400	Digital
DI_VBIAS_LVDS	1,25	160	Digital

Tabelle A.1: Versorgungsspannungen auf der Systemplatine

B Würth-Constraints

Parameter	Wert[μm]
Bohrdurchmesser	150
Restring	100
Paddurchmesser	350

Tabelle B.1: Vorgaben für die Microvias

Parameter	Wert [μm]
Bohrdurchmesser	400
Restring	150
Paddurchmesser	700

Tabelle B.2: Vorgaben für die Buried Vias

	Objekte	Air-Gap [μm]
Via	Microvia	100
Via	NDK-Bohrung ²	200
Via	Leiterbahn	100
Via	Kupferfläche	100
NDK-Bohrung	Kupferfläche	200
NDK-Bohrung	Leiterbahn	200
DK-Bohrung ³	Kupferfläche	200
DK-Bohrung	Leiterbahn	200

Tabelle B.3: Würth-Constraints

Microvias, die auf dem selben Potential liegen können näher aneinander liegen. Es gilt dann nicht mehr die Air-Gap, sondern der Mittenabstand zwischen den Löchern.

Der Mittenabstand darf nicht weniger als 300 μm betragen.

Das bedeutet :

75 μm pro Loch ergibt 150 μm Abstand zwischen den Löchern.

Der Restring beträgt 100 μm , somit überlappen sich die Restringe um 25 μm .

²NDK-Bohrungen sind Bohrungen durch die ganze Platine, die aber nicht mit Kupfer galvanisiert werden.

³Wie NDK-Bohrungen gehen diese durch die ganze Platine, bekommen aber auf die Innenseite eine ca. 20 μm Dicke Kupferschicht aufgetragen.

Zu beachten ist, dass wenn viele Microvias auf minimalsten Abstand platziert werden, die Füllung der Vias in der Höhe schwanken kann. Dann hat das eine Via eine Tiefe von 10 μm , das nächste ist vielleicht 15 μm tief.

Für die Systemplatine ist dies jedoch nicht von Bedeutung.

Parameter	Wert [μm]	Anmerkung
Toleranz bei Lötstoppmaske	35	
Differenz zw. Leiterbahnoberkante und -unterkante	10	Lagendicke von 17 μm
	20	Lagendicke von 35 μm

Tabelle B.4: Weitere Prozessparameter bzw. -toleranzen

C Parameter für die Impedanzberechnung

Variable	Beschreibung
RL1	: Referenzlage 1
RL2	: Referenzlage 2
Structure Name	: Berechnungsmodellname für den Polar Solver
H1	: Höhe zur Referenzlage 1
ϵ_r1	: Dielektrizitätszahl für Prepreg zwischen Signallage und Referenzlage 1
H2	: Höhe zur Referenzlage 2
ϵ_r2	: Dielektrizitätszahl für Prepreg zwischen Signallage und Referenzlage 2
W1	: Leiterbahnbreite an der Unterkante
W2	: Leiterbahnbreite an der Oberkante
C1	: Lötstopplackdicke über dem Substrat/Prepreg
C2	: Lötstopplackdicke über der Leiterbahn
C3	: Lötstopplackdicke zwischen den Leiterbahnen
$C\epsilon_r$: Dielektrizitätszahl des Lötstopplackes
T1	: Leiterbahndicke
S	: Abstand zwischen Leiterbahnen
Z0	: Impedanz der einfachen Datenleitung
Zdiff	: differentielle Impedanz

Tabelle C.1: Variablenerklärung

Signallage Parameter	S3	S1		Bottom	
RL1	P5	P7		S1	
RL2	P6	Bottom		-	
Structure Name	Offset Stripline	Offset	Stripline	Coated	Microstrip
	1B1A	1B1A		1B	
H1 [μm]	360	108		103	
ϵ_r1	4,35	4,3		4,35	
H2 [μm]	133	125		C1: 25, C2: 25	
ϵ_r2	4,35	4,3		$C\epsilon_r$: 4	
W1 [μm]	100	90		100	
W2 [μm]	90	80		85	
T1 [μm]	33	22		35	
Z0 [Ω]	50,70	46,56		60,60	

Tabelle C.2: 50 Ω -Impedanzberechnungen für Signallagen S3, S1 und Bottom

Signallage Parameter	S3	S1	Bottom
RL1	P5	P7	S1
RL2	P6	Bottom	-
Structure Name	Edge-Coupled Offset Stripline 1B1A	Edge-Coupled Offset Stripline 1B1A	Edge-Coupled Coated Microstrip 1B
H1 [μm]	360	108	103
ϵ_r ,1	4,2	4,2	4,2
H2 [μm]	133	125	C1: 25; C2: 25; C3: 25
ϵ_r ,2	4,2	4,2	$C\epsilon_r$: 4
W1 [μm]	90	80	80
W2 [μm]	75	65	65
T1 [μm]	33	22	35
S [μm]	200	200	100
Zdiff [Ω]	98,15	97,23	100,62

Tabelle C.3: Parameter für die 100 Ω differentielle Impedanz

D Daten der Strombelastbarkeit

D.1 Vias

Strom I [A]	Spannungs- abfall V_{drop} [mV]	Verlustleistung P_{loss} [mW]	Verlustleistung/Länge P_{loss}/h [mW/mm]
8	1,394	11,151	9,065
6	1,045	6,272	5,099
4	0,697	2,788	2,266
2	0,348	0,697	0,567
1	0,174	0,174	0,142
0,5	0,087	0,044	0,035
0,1	0,017	0,002	0,001

Tabelle D.1: Berechneten Werte für die Buried Vias

Strom I [A]	Spannungs- abfall V_{drop} [mV]	Verlustleistung P_{loss} [mW]	Verlustleistung/Länge P_{loss}/h [mW/mm]
8	0,806	6,447	64,466
6	0,604	3,626	36,262
4	0,403	1,612	16,116
2	0,201	0,403	4,029
1	0,101	0,101	1,007
0,5	0,050	0,025	0,252
0,1	0,010	0,001	0,010

Tabelle D.2: Berechnete Werte für die Microvias

D.2 Leiterbahnen

Für 4 Retikel					
	Strom pro HICANN [mA]	300	50	20	10
	Strom pro Retikel [mA]	2400	400	160	80
		14,154	4,000	2,500	1,7500
Retikel 1	Leiterbahnlänge [cm]	15	15	15	15
	R [Ω]	6,29E-03	2,23E-02	3,56E-02	5,09E-02
	U [V]	6,04E-02	3,56E-02	2,28E-02	1,63E-02
	Ploss [W]	5,79E-01	5,70E-02	1,46E-02	5,21E-03
Retikel 2	Leiterbahnlänge [cm]	2,0077	2,0077	2,0077	2,0077
	R [Ω]	8,42E-04	2,98E-03	4,76E-03	6,81E-03
	U [V]	6,06E-03	3,57E-03	2,29E-03	1,63E-03
	Ploss [W]	4,36E-02	4,29E-03	1,10E-03	3,92E-04
Retikel 3	Leiterbahnlänge [cm]	2,0077	2,0077	2,0077	2,0077
	R [Ω]	8,42E-04	2,98E-03	4,76E-03	6,81E-03
	U [V]	4,04E-03	2,38E-03	1,52E-03	1,09E-03
	Ploss [W]	1,94E-02	1,91E-03	4,88E-04	1,74E-04
Retikel 4	Leiterbahnlänge [cm]	2,0077	2,0077	2,0077	2,0077
	R [Ω]	8,42E-04	2,98E-03	4,76E-03	6,81E-03
	U [V]	2,02E-03	1,19E-03	7,62E-04	5,45E-04
	Ploss[W]	4,85E-03	4,76E-04	1,22E-04	4,36E-05
	Rsum [Ω]	8,81E-03	3,12E-02	4,99E-02	7,13E-02
	Plosssum [W]	6,47E-01	6,36E-02	1,63E-02	5,82E-03
	Udiff von Ret, 1-4 [V]	7,15E-03	7,15E-03	4,57E-03	3,27E-03
	Mittelwert [V]	6,74E-02	3,98E-02	2,55E-02	1,82E-02
	Standardabweichung [V]	9,26E-03	5,46E-03	3,49E-03	2,50E-03

Tabelle D.3: Spannungs- und Verlustleistungsverlauf für vier hintereinander liegende Retikel

		Für 3 Retikel			
Strom pro HICANN [mA]		300	50	20	10
Strom pro Retikel [mA]		2400	400	160	80
Leiterbahnbreite [cm]		14,154	4,000	2,500	1,750
Retikel 2	Zulaufänge [cm]	15	15	15	15
	Leiterbahnlänge [cm]	17,0077	17,0077	17,0077	17,0077
	R [Ω]	7,13E-03	2,52E-02	4,04E-02	5,77E-02
	U [V]	5,13E-02	3,03E-02	1,94E-02	1,38E-02
Retikel 3	Ploss [W]	3,70E-01	3,63E-02	9,30E-03	3,32E-03
	Leiterbahnlänge [cm]	2,0077	2,0077	2,0077	2,0077
	R [Ω]	8,42E-04	2,98E-03	4,76E-03	6,81E-03
	U [V]	4,04E-03	2,38E-03	1,52E-03	1,09E-03
Retikel 4	Ploss [W]	1,94E-02	1,91E-03	4,88E-04	1,74E-04
	Leiterbahnlänge [cm]	2,0077	2,0077	2,0077	2,0077
	R [Ω]	8,42E-04	2,98E-03	4,76E-03	6,81E-03
	U [V]	2,02E-03	1,19E-03	7,62E-04	5,45E-04
Ploss [W]		4,85E-03	4,76E-04	1,22E-04	4,36E-05
Rsum [Ω]		8,81E-03	3,12E-02	4,99E-02	7,13E-02
Plosssum [W]		3,94E-01	3,87E-02	9,91E-03	3,54E-03
Udiff von Ret, 2-4 [V]		6,06E-03	3,57E-03	2,29E-03	1,63E-03
Mittelwert [V]		4,10E-02	2,42E-02	1,55E-02	1,11E-02
Standardabweichung [V]		2,41E-02	1,42E-02	9,09E-03	6,49E-03

Tabelle D.4: Spannungs- und Verlustleistungsverlauf für drei hintereinander liegende Retikel

		Für 2 Retikel			
Strom pro HICANN [mA]		300	50	20	10
Strom pro Retikel [mA]		2400	400	160	80
Leiterbahnbreite [cm]		14,154	4,000	2,500	1,750
Retikel 3	Zulaufänge [cm]	15	15	15	15
	Leiterbahnlänge [cm]	19,0154	19,0154	19,0154	19,0154
	R [Ω]	7,97E-03	2,82E-02	4,51E-02	6,45E-02
	U [V]	3,83E-02	2,26E-02	1,44E-02	1,03E-02
Retikel 4	Ploss [W]	1,84E-01	1,81E-02	4,62E-03	1,65E-03
	Leiterbahnlänge [cm]	2,0077	2,0077	2,0077	2,0077
	R [Ω]	8,42E-04	2,98E-03	4,76E-03	6,81E-03
	U [V]	2,02E-03	1,19E-03	7,62E-04	5,45E-04
Ploss [W]		4,85E-03	4,76E-04	1,22E-04	4,36E-05
Rsum [Ω]		8,81E-03	3,12E-02	4,99E-02	7,13E-02
Plosssum [W]		1,89E-01	1,85E-02	4,74E-03	1,69E-03
Udiff von 3-4 [V]		2,02E-03	1,19E-03	7,62E-04	5,45E-04
Mittelwert [V]		1,96E-02	1,16E-02	7,41E-03	5,29E-03
Standardabweichung [V]		2,78E-02	1,64E-02	1,05E-02	7,50E-03

Tabelle D.5: Spannungs- und Verlustleistungsverlauf für zwei hintereinander liegende Retikel

		Für 1 Retikel			
	Strom pro HICANN [mA]	300	50	20	10
	Strom pro Retikel [mA]	2400	400	160	80
	Leiterbahnbreite [cm]	14,154	4,000	2,500	1,750
Retikel 4	Zulaufänge [cm]	15	15	15	15
	Leiterbahnlänge [cm]	21,0231	21,0231	21,0231	21,0231
	R [Ω]	8,81E-03	3,12E-02	4,99E-02	7,13E-02
	U [V]	2,12E-02	1,25E-02	7,98E-03	5,70E-03
	Ploss [W]	5,08E-02	4,99E-03	4,56E-04	4,56E-04
	Rsum [Ω]	8,81E-03	3,12E-02	4,99E-02	7,13E-02
	Plosssum [W]	5,08E-02	4,99E-03	1,28E-03	4,56E-04
	Udiff von Ret 4 [V]	2,12E-02	1,25E-02	7,98E-03	5,70E-03
	Mittelwert [V]				
	Standardabweichung [V]				

Tabelle D.6: Spannungs- und Verlustleistungsverlauf für ein Retikel

E Schalt- und Lagenpläne des Powerboards

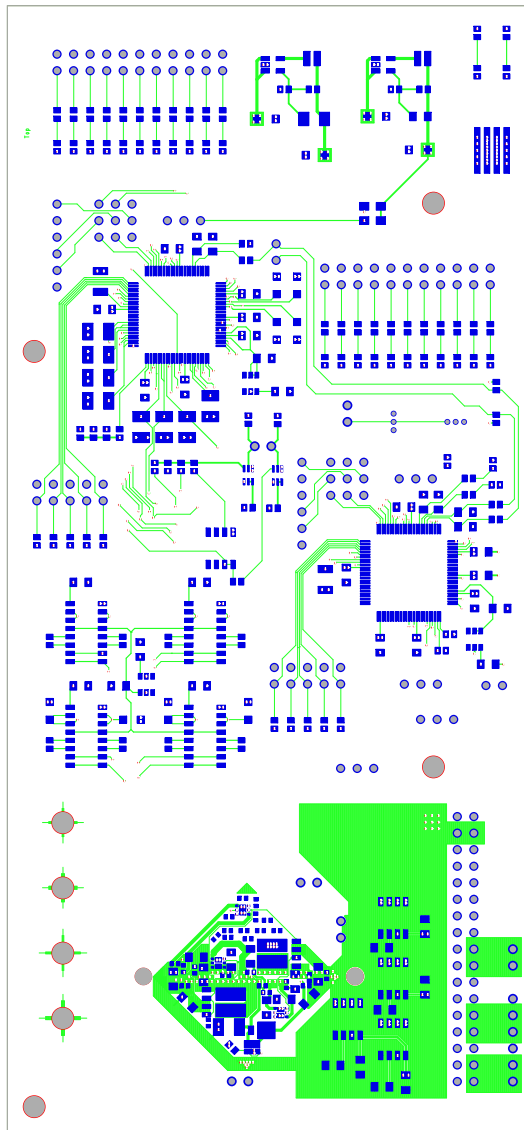


Abbildung E.1: TOP

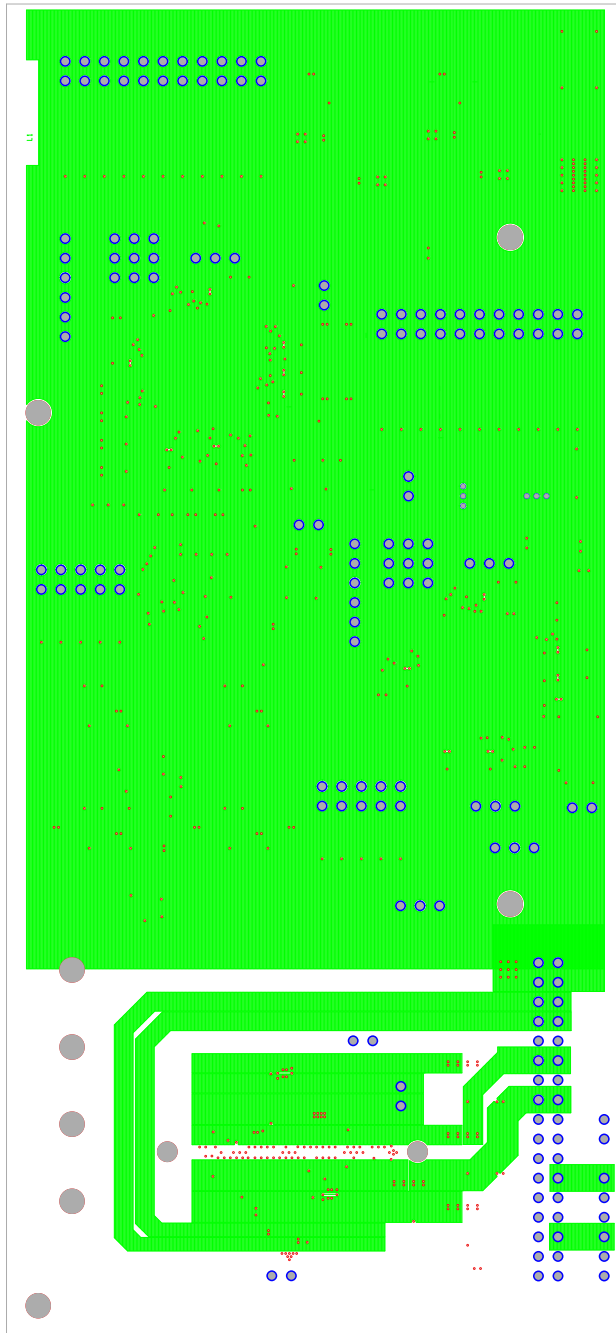


Abbildung E.2: Power 1

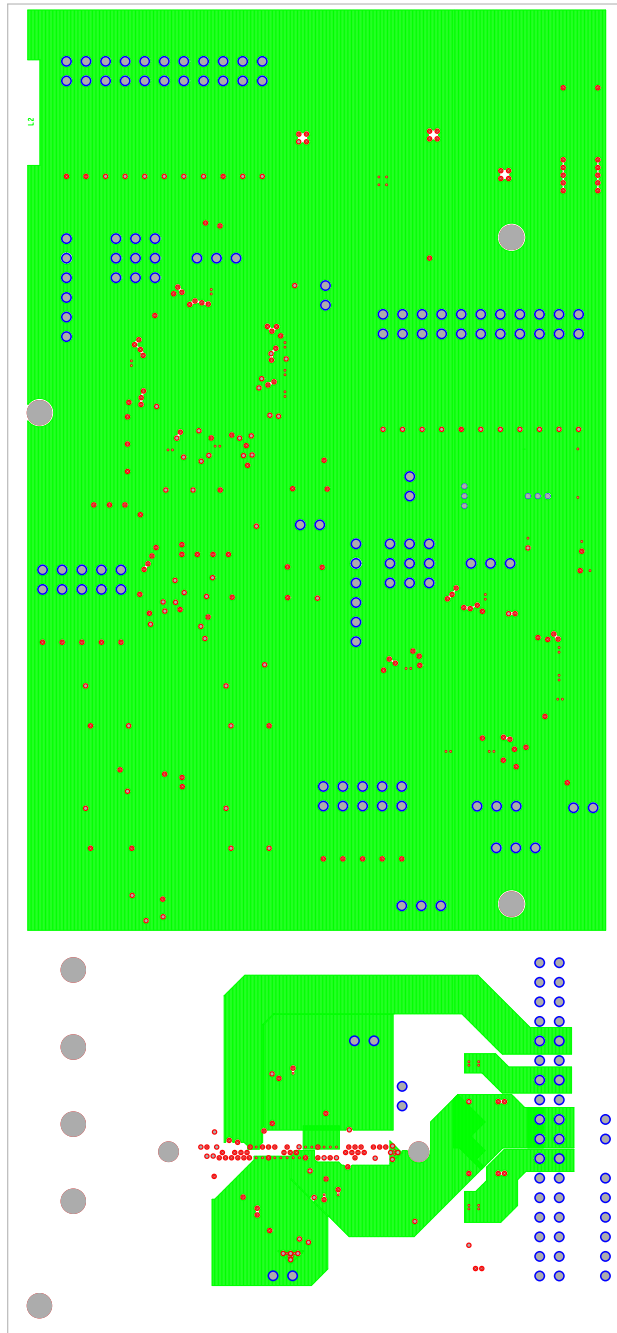


Abbildung E.3: Power 2

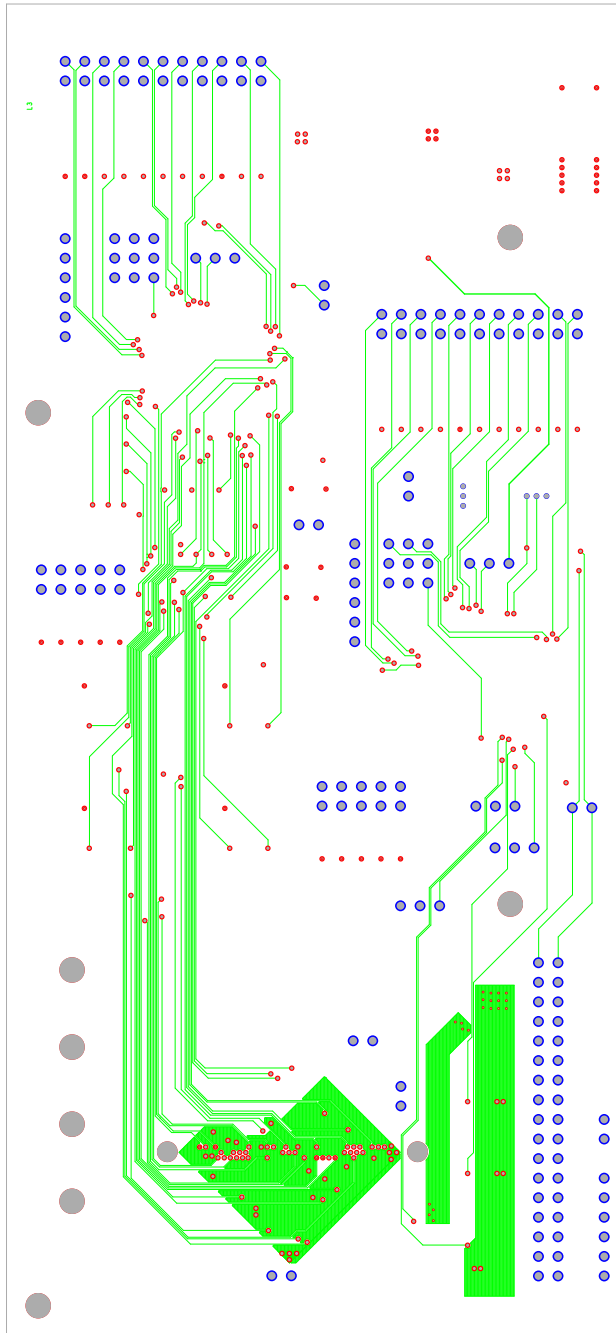


Abbildung E.4: Signal

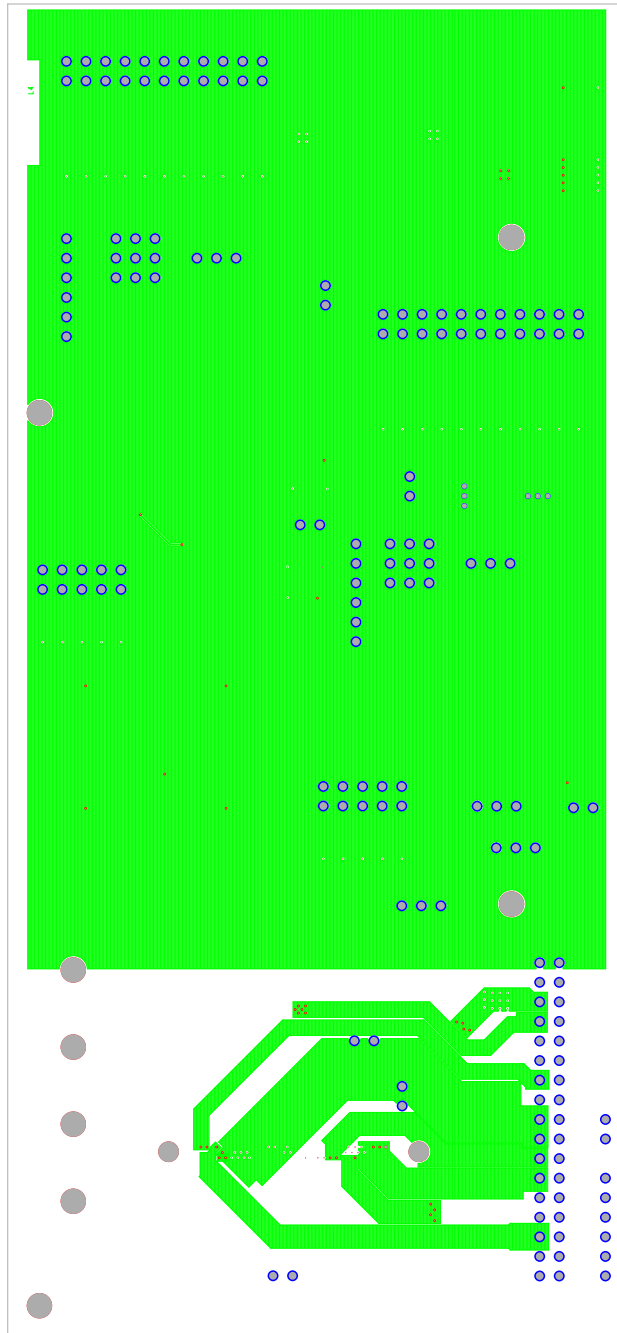


Abbildung E.5: Power 3

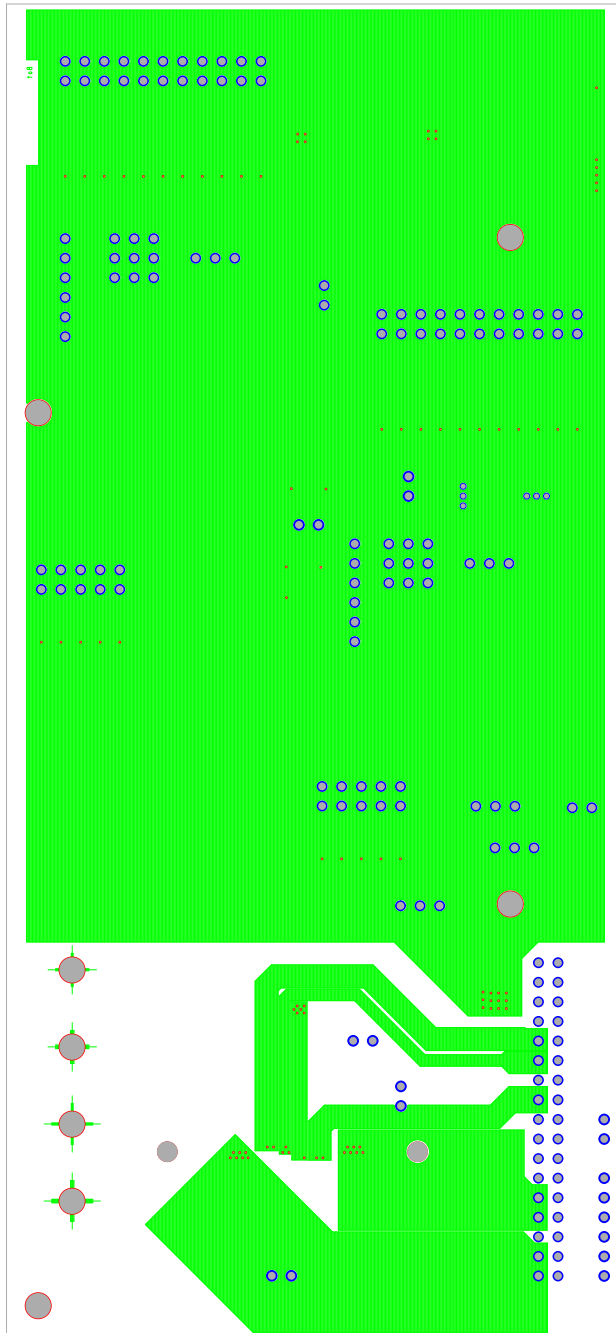


Abbildung E.6: Bottom

F SKILL-Code

```
; create wafermap on mpcb
; read information out of "filename"
defun( create_wafer ( filename )
  let( ( wafermap_infos time1 time2 global_defs /
        ret_nr step_dx step_dy ret_offset_dx /
        ret_offset_dy norigin reticle_list ret_name/
        ret_module xpos ypos pos temp temp1)
    time1 = getCurrentTime()
    ; call read_ret_info, this function collects data/
    from file and rearrange for further use
    wafermap_infos = read_ret_info(filename)
    ; extract global informations
    global_defs = car( wafermap_infos )
    ret_nr = car( global_defs )
    step_dx = nth(1 global_defs)
    step_dy = nth(2 global_defs)
    ret_offset_dx = nth(3 global_defs)
    ret_offset_dy = nth(4 global_defs)
    norigin = ret_offset_dx:ret_offset_dy

    ; extract data of the individual reticles
    reticle_list = cdr(wafermap_infos)

    ; check if number of reticles is consiting with /
    informations of all reticles
    if( ret_nr == length(reticle_list)
    then
      println( "There_are_enough_reticle_/
                information_for_given_reticle_/
                number" )
      foreach(reticle reticle_list
        ret_name = nth(0 reticle)
        ret_module = nth(1 reticle)
        xpos = nth(2 reticle)
        ypos = nth(3 reticle)
        ; calculate the reticle-position /
        and rotate it 45deg counter/
        -clockwise
        xpos2 = (xCoord(norigin)+xpos*/
                 step_dx)*sqrt(2)/2-(yCoord(/
                 norigin)+ypos*step_dy)*sqrt/
```

```

        (2)/2
        ypos2 = (xCoord(norigin)+xpos*/
                step_dx)*sqrt(2)/2+(yCoord(/
                norigin)+ypos*step_dy)*sqrt(
                (2)/2
        pos = xpos2:ypos2

        ret_rot = nth(4 reticle)
        ;place reticle
        placemodule(ret_name ret_module /
                pos ret_rot )
        temp = strcat("Placed_reticle_" /
                ret_name "_"with_module:" /
                ret_module)
        println(temp)
    )
else
    ;if the number of reticle informationen /
    doesn't fit to the number wished to/
    place
    println("ERROR:_There_is_a_mismatch_/
            between_reticle_number_and_count_of/
            _reticle_informations")
)

;calculate time needed for placement
time2 = getCurrentTime()
timediff = compareTime( time2 time1 )
temp1 = sprintf(timediff "%n" timediff)
temp = strcat("Duration:_" timediff)
timediff = timediff
)
)

```

Listing F.1: Code zum Platzieren der Reticle

```

;this file contains all information about the modules /
used
;for the placement of the reticle on the mpcb
;global definitions
;number of reticles on the wafer
ret_number = 48
;for demonstration purpose reduced number of reticles , /
only place quadrant 3
;ret_number = 7

```

```

;reticle dimensions, is also the step width(dx) and /
height(dy)
step_dx = 20.395
step_dy = 20.4682
;offset for the wafer origin
ret_offset_dx = 0
ret_offset_dy = 10.234
;Reticle-nr      Modulename      x-pos      y-pos      rotation
WSI_RETICLE_1    RET_1_1_top      -1         3         45
WSI_RETICLE_4    RET_0_2_left     0         3         45
WSI_RETICLE_5    RET_0_1_left     1         3         45
WSI_RETICLE_2    RET_1_1_mu       -2         2         45
WSI_RETICLE_45   RET_1_2_-1       2         45         45
WSI_RETICLE_6    RET_0_3_left     0         2         45
WSI_RETICLE_7    RET_0_2_hl       1         2         45
WSI_RETICLE_8    RET_0_1_2        2         45         45
WSI_RETICLE_44   RET_1_1_md       -3         1         45
WSI_RETICLE_43   RET_1_2_hd       -2         1         45
WSI_RETICLE_3    RET_1_3_up       -1         1         45
WSI_RETICLE_12   RET_0_4_left     0         1         45
WSI_RETICLE_11   RET_0_3_1        1         45         45
WSI_RETICLE_10   RET_0_2_2        1         45         45
WSI_RETICLE_14   RET_0_1_hr       3         1         45
WSI_RETICLE_41   RET_1_1_down     -4         0         45
WSI_RETICLE_42   RET_1_2_down     -3         0         45
WSI_RETICLE_47   RET_1_3_down     -2         0         45
WSI_RETICLE_48   RET_1_4_-1       0         45         45
WSI_RETICLE_46   RET_0_5_0        0         45         45
WSI_RETICLE_9    RET_0_4_right    1         0         45
WSI_RETICLE_15   RET_0_3_right    2         0         45
WSI_RETICLE_16   RET_0_2_right    3         0         45
WSI_RETICLE_13   RET_0_1_right    4         0         45
WSI_RETICLE_37   RET_2_1_left     -4         -1         45
WSI_RETICLE_40   RET_2_2_left     -3         -1         45
WSI_RETICLE_39   RET_2_3_left     -2         -1         45
WSI_RETICLE_36   RET_2_4_-1       -1         45         45
WSI_RETICLE_34   RET_3_5_0        -1         45         45
WSI_RETICLE_24   RET_3_4_top      1         -1         45
WSI_RETICLE_23   RET_3_3_top      2         -1         45
WSI_RETICLE_18   RET_3_2_top      3         -1         45
WSI_RETICLE_17   RET_3_1_top      4         -1         45
WSI_RETICLE_38   RET_2_1_hl       -3         -2         45
WSI_RETICLE_33   RET_2_2_-2       -2         45         45
WSI_RETICLE_35   RET_2_3_right    -1         -2         45

```

WSI_RETICLE_21	RET_3_4_down	0	-2	45
WSI_RETICLE_22	RET_3_3_middle	1	-2	45
WSI_RETICLE_19	RET_3_2_ht	2	-2	45
WSI_RETICLE_20	RET_3_1_3	-2	45	
WSI_RETICLE_32	RET_2_1_hr	-2	-3	45
WSI_RETICLE_31	RET_2_2_hr	-1	-3	45
WSI_RETICLE_27	RET_3_3_down	0	-3	45
WSI_RETICLE_28	RET_3_2_1	-3	45	
WSI_RETICLE_26	RET_3_1_hd	2	-3	45
WSI_RETICLE_29	RET_2_1_right	-1	-4	45
WSI_RETICLE_30	RET_3_2_down	0	-4	45
WSI_RETICLE_25	RET_3_1_down	1	-4	45

Listing F.2: Beispiel Textdatei mit den Reticle-Informationen

Literaturverzeichnis

- [1] Investigating Microvia Technology for 10 Gbps and Higher Telecommunications Systems, 2005. URL http://www.home.agilent.com/agilent/redirector.jsp?action=ref&cname=AGILENT_EDITORIAL&ckey=641261&lc=eng&cc=US.
- [2] High-Speed Board Design, 2001. URL <http://www.altera.com/literature/an/an075.pdf>.
- [3] AN10373 PCI Express PHY PCB Layout Guideline, 2005. URL <http://ics.nxp.com/support/documents/interface/pdf/an10373.pdf>.
- [4] AN10798 DisplayPort PCB layout guidelines, 2009. URL http://www.nxp.com/documents/application_note/AN10798.pdf.
- [5] Powerelemente für Hochstromanwendungen in Einpresstechnik, 2009. URL http://we-online.de/web/de/index.php/download/media/import/eican/weswitch_katalog/Power_Elements_Wuerth_Elektronik_2009r.pdf.
- [6] ANSI/TIA/EIA-644. *Electrical Characteristics of Low Voltage Differential Signaling (LVDS)*, March 1996.
- [7] Douglas Brooks. Splitting Planes. 2000. URL http://www.ultracad.com/article_outline.htm.
- [8] Douglas Brooks. PCB Impedance Control: Formulas and Resources. 1998. URL http://www.ultracad.com/article_outline.htm.
- [9] *Allegro Design Entry HDL Reuse Tutorial*. Cadence, 2007.
- [10] *Allegro PCB Design Flows*. Cadence, 2007.
- [11] *Allegro PCB Editor User Guide: SKILL Reference*. Cadence, 2008.
- [12] *SKILL Language Reference*. Cadence, 2007.
- [13] TU Dresden. HICANN - Digital Interface Specification. FACETS project internal documentation, 2007.
- [14] TU Dresden. DNC specification. FACETS project internal documentation, 2008.
- [15] TU Dresden. Demonstrate the fpga-based host interface as well as the communication between the individual components of the wafer-sclae system. FACETS Deliverable D7-5, 2008.

- [16] Andreas Grübl, Sebastian Millner, and Johannes Schemmel. Design the final ASIC for the wafer-scale system. FACETS Deliverable D7-7, 2010. University Heidelberg.
- [17] Andreas Grübl. Eine FPGA-basierte Plattform für neuronale Netze. Diploma thesis (German), University of Heidelberg, HD-KIP-03-02, 2003.
- [18] Stephen H. Hall, Garrett W. Hall, and James A. McCall. *High-Speed Digital System Design: A Handbook of Interconnect Theory and Design Practices*. Wiley-IEEE Press, 2000. ISBN 9780471360902.
- [19] Charles A. Harper. *High Performance Printed Circuit Boards*. McGraw-Hill Professional, 10 1999. ISBN 9780070267138.
- [20] University Heidelberg and TU Dresden. Complete a facets stage 2 hardware system. FACETS Deliverable D7-12, 2010.
- [21] Alan Lloyd Hodgkin and Andrew F. Huxley. A quantitative description of membrane current and its application to conduction and excitation in nerve. *J Physiol*, 117(4): 500–544, August 1952. ISSN 0022-3751. URL <http://view.ncbi.nlm.nih.gov/pubmed/12991237>.
- [22] Howard Johnson and Martin Graham. *High Speed Digital Design: A Handbook of Black Magic*. Prentice Hall, 4 1993. ISBN 9780133957242.
- [23] Robert Kollman. Constructing Your Power Supply - Layout Considerations, 2005. URL <http://focus.ti.com/lit/ml/slup230/slup230.pdf>.
- [24] Felix D. Mbairi, W. Peter Siebert, and Hjalmar Hesselbom. High-Frequency Transmission Lines Crosstalk Reduction Using Spacing Rules. *IEEE Transactions On Components And Packaging Technologies*, 31(3):601–610, 2008.
- [25] James A. Mears. Application Note 905 - Transmission Line RAPIDDESIGNER©Operation and Applications Guide, 1996. URL <http://www.national.com/an/AN/AN-905.pdf>.
- [26] Microchip. dsPIC33FJXXXGPX06/X08/X10 Data Sheet, 2007. URL <http://ww1.microchip.com/downloads/en/DeviceDoc/70286C.pdf>.
- [27] Wolfgang Nolting. *Grundkurs Theoretische Physik 3 : Elektrodynamik*. Springer, 2007.
- [28] National Semiconductor. LVDS owner’s manual. LVDS.national.com, 2004.
- [29] NXP Semiconductors. UM10204 - I2C-bus specification and user manual, 2007. URL http://www.nxp.com/documents/user_manual/UM10204.pdf.
- [30] Vishay Siliconix. Si5903DC Dual P-Channel 2.5 V (G-S) MOSFET, 2010. URL <http://www.vishay.com/product?docid=71054>.

- [31] Vishay Siliconix. S7234DP Dual N-Channel 12 V D-S MOSFET, 2008. URL <http://www.vishay.com/product?docid=68700>.
- [32] Vishay Siliconix. SiA912DJ Dual N-Channel 12-V (D-S) MOSFET, 2008. URL <http://www.vishay.com/product?docid=74953>.
- [33] Holger Zoglauer. Entwicklung und Testergebnisse eines Prototypensystems für die Wafer-Scale-Integration. Diploma thesis (German), University of Heidelberg, HD-KIP-09-28, 2009.

Danksagungen

Herrn Prof. Dr. Karlheinz Meier für die freundliche Aufnahme in die Arbeitsgruppe.

Herrn Dr. Johannes Schemmel für die fachliche Unterstützung.

Dan Husmann und Holger Zoglauer für die unzähligen lustigen Diskussionen und die motivierende Spielhaltung beim Darts.

Allen anderen Visionären für die super Atmosphäre.

Herrn Ingebrandt und Herrn Keller von der Firma Würth Elektronik für die gute Zusammenarbeit und kompetente Hilfe.

Dem Softie Shop für Rundum-Verpflegung in harten Zeiten.

All den Freunden, die mich in letzter Zeit "leider" selten zu Gesicht bekamen, mich aber trotzdem nicht vergaßen.

Zum Abschluss ein ganz besonderer Dank an meine Familie.

Vielen Dank für die moralische Unterstützung und Hilfe zu jeder Tages- und Nachtzeit.

Statement of Originality (Erklärung):

I certify that this thesis, and the research to which it refers, are the product of my own work. Any ideas or quotations from the work of other people, published or otherwise, are fully acknowledged in accordance with the standard referencing practices of the discipline.

Ich versichere, daß ich diese Arbeit selbständig verfaßt und keine anderen als die angegebenen Quellen und Hilfsmittel benutzt habe.

Heidelberg, 19. November 2010

.....

(signature)