

Fakultät für Physik und Astronomie
Ruprecht-Karls-Universität Heidelberg

Diplomarbeit
im Studiengang Physik
vorgelegt von
Marcus Gutfleisch
aus Heidelberg
2002

Digitales Frontend und Preprozessor
im TRAP1-Chip des TRD-Triggers
für das ALICE-Experiment am LHC (CERN)

Die Diplomarbeit wurde von Marcus Gutfleisch ausgeführt am
Kirchhoff-Institut für Physik
unter der Betreuung von
Herrn Prof. Dr. Volker Lindenstruth

Digitales Frontend und Preprozessor im TRAP1-Chip des TRD-Triggers für das ALICE-Experiment am LHC (CERN):

Im Rahmen einer Diplomarbeit wurden das digitale Frontend und der Preprozessor im TRAP1-Chip des TRD-Triggers für das ALICE-Experiment am LHC (CERN) spezifiziert, simuliert, in einer Hardware-Beschreibungssprache implementiert und schließlich auf den UMC-0,18 μ m-Prozess abgebildet und gelayoutet. Das Digitale Frontend umfasst die Speicherung mehrerer Ereignisse sowie ein an die Signalgewinnung angepasstes digitales Filter in insgesamt 21 Kanälen. Der Preprozessor kann parallel in vier Kanälen einen subpixelgenauen Geradenfit durchführen.

Digital Frontend and Preprozessor in the TRAP1 Chip of the TRD Trigger of the ALICE Experiment at LHC (CERN):

Within a diploma thesis the digital frontend and the preprocessor of the TRAP1 chip of the TRD trigger for the ALICE experiment at LHC (CERN) became specified, simulated, implemented within a hardware description language and finally mapped and layouted on the UMC 0.18 μ m process. The digital frontend provides event buffering as well as a digital filter which is conform to signal generation in 21 channels. The preprocessor is able to calculate a subpixel precise straight line fit on four channels in parallel.

Inhaltsverzeichnis

1	Einführung	1
2	Das Experiment	5
2.1	Der LHC	5
2.2	ALICE	7
2.3	Der Übergangstrahlungsdetektor	8
2.4	Das Triggersystem des ALICE-Detektors	13
2.5	Der TRD-Trigger	14
2.6	Der Tacklet-Prozessor-Chip-1	16
3	Das Digitale Frontend mit Preprozessor	19
4	Das Filter im Digitalen Frontend	23
4.1	Allgemeine Betrachtungen	23
4.1.1	Signalentstehung im Detektor	23
4.1.2	Aufbau des Filters	25
4.2	Die Datenkontrolleinheit	27
4.3	Nichtlinearitätskorrektur	28
4.3.1	Erwartete Nichtlinearität	28
4.3.2	Architektur	29
4.4	Sockelwertkorrektur	30
4.4.1	Schwankungen der Sockelspannung	30
4.4.2	Dynamische Sockelwertbestimmung	30
4.4.3	Architektur	32
4.5	Korrektur inhomogener Verstärkung	33
4.5.1	Schwankungen der linearen Verstärkung	33
4.5.2	Bestimmung der linearen Verstärkungskorrektur	34
4.5.3	Architektur	35
4.6	Ionenschweifunterdrückung	36
4.6.1	Ionenschweifbildung bei der Gasverstärkung	36
4.6.2	Approximation des Ionenschweifs	37
4.6.3	Diskrete Beschreibung	39
4.6.4	Diskrete Inversion der Ionenschweifbildung	41

4.6.5	Dynamisches Verhalten des Filters	42
4.6.6	Anwendung auf Detektordaten	43
4.6.7	Architektur	44
4.7	'Crosstalk'–Unterdrückung	46
4.7.1	Kapazitative Kopplung benachbarter Kathodenpads	46
4.7.2	Modellierung des 'Crosstalks'	48
4.7.3	Ansatz zur 'Crosstalk–Unterdrückung'	49
4.7.4	Optimierung des Filters	51
4.7.5	Dynamisches Verhalten des Filters	53
4.7.6	Anwendung auf Detektordaten	54
4.7.7	Architektur	58
5	Der Preprozessor	61
5.1	Übersicht	61
5.2	Hiterkennung und –auswahl	62
5.3	Bestimmung der Fit–Parameter in den Rechenwerken	63
5.3.1	Übersicht	63
5.3.2	Positionsbestimmung und Ladungsclusterbewertung	65
5.3.3	Parametrisierung der Spurabschnitte	68
5.4	Speicherung und Ausgabe der Fit–Parameter	70
5.4.1	Zugriff auf das 'Fit–Register–File'	70
5.4.2	Auswahl der Spurabschnitte, Kanalaufteilung	73
6	Weitere Komponenten	75
6.1	Der ADC–Demultiplexer	75
6.1.1	Architektur	75
6.2	Der Event–Buffer	77
6.3	Ereigniskontrolle im 'Bin–Timer'	80
6.4	Konfiguration	82
7	'Designflow'	85
7.1	Simulation und Optimierung	85
7.2	Synthese	85
7.3	Layout	86
7.4	Hardwaretest	90
8	Zusammenfassung und Ausblick	91
A	Speicherzuweisung im globalen Adressraum	93
A.1	Der 'Event–Buffer'	93
A.2	Konfiguration	95

B	Beispielkonfigurationen	109
B.1	Akquisitionsbetrieb	109
B.2	Testbetrieb	110
B.3	Filter	111
B.4	Positionskorrektur	112
B.5	ADC-DMUX	116
C	Notation	117
D	Inhalt der CD	119

Abbildungsverzeichnis

1.1	Das Quark–Gluon–Plasma im Phasendiagramm (nach [ptk], S. 329)	3
1.2	Die Entwicklung des Universums nach dem elektroschwachen Übergang (nach [mhw], S. 523)	3
2.1	Der LHC und seine Vorbeschleunigern	6
2.2	Aufbau des ALICE–Detektors	7
2.3	Histogramm der Ladung pro Cluster für Elektronen und Pionen ($3\text{GeV}/c \leq p_T \leq 5\text{GeV}/c$) ([tdr] S. 102)	9
2.4	Gasverstärkung am Anodendraht (nach [kk], S. 100)	9
2.5	Ein Modul des Übergangsstrahlungsdetektors (links) und Drahtanordnung in der Verstärkungsregion (rechts)	10
2.6	Aufbau des Gesamtdetektors	11
2.7	Ladungsdrift und Gasverstärkung	11
2.8	Latenz und Raten der einzelnen Triggerstufen	13
2.9	Spuren eines Elektron–Positron–Paares im TRD	14
2.10	Das Timing des TRD–Triggers	15
2.11	Die Architektur des TRAP1–Chips	16
2.12	Das Layout des TRAP1–Chips	18
3.1	Struktur des digitalen Frontends mit Preprozessor	20
4.1	Das Digitale Filter	25
4.2	Ein Filterkanal	26
4.3	Die Datenkontrolleinheit	27
4.4	Durch die Nichtlinearität verursachte Abweichung des Verhaltens des PASAs von einem linearen ($\frac{\partial V}{\partial Q} = 12,264 \frac{\text{mV}}{\text{fC}}$, $1\text{ADC–Einheit} \sim 2,0\text{mV}$) ([pasa0])	28
4.5	Das Nichtlinearitätskorrekturfilter	29
4.6	Frequenzgang der Sockelwertbestimmung bei verschiedenen Relaxationskonstanten λ	31
4.7	Das Sockelwertkorrekturfilter	32

4.8 Verstärkungsfaktoren in verschiedenen Kanälen desselben Chips des PASA-Prototypen ([pasa0])	33
4.9 Verteilung der Amplituden innerhalb eines Kanals	34
4.10 Das Filter zur Korrektur inhomogener Verstärkung	35
4.11 Gasverstärkung am Anodendraht (nach [kk], S. 100)	37
4.12 Impulsantwort der Gasverstärkung bezüglich eines isolierten Kathodenpads	38
4.13 Das Verhalten der Modellfehlerfunktion für die verwendete Approximation des Ionenschweif als Funktion der Zielbreite (von oben nach unten: 1, 2, 3 Exponentialfunktionennäherung)	38
4.14 Frequenzspektrum der Detektorantwort	39
4.15 Abgetastete Signale mit variierender Phasenbeziehung zwischen Abtastung und quasikontinuierlichem Signal.	40
4.16 Die Impulsantwort des Ionenschweifunterdrückungsfilters.	42
4.17 Das spektrale Verhalten des Ionenschweifunterdrückungsfilters.	43
4.18 Anwendung des Ionenschweifunterdrückungsfilters auf eine Schar von Eingangsdatensätzen	43
4.19 Vergleich der quasikontinuierlichen Eingangs- (grün) und Ausgangssignale (rot) des Filters	44
4.20 Das spektrale Verhalten des Signals nach der Filterung (rot) im Vergleich zu vor der Filterung (grün)	44
4.21 Das Ionenschweifunterdrückungsfilter	45
4.22 Der Generator einer Exponentialfunktion im Ionenschweifunterdrückungsfilter	46
4.23 Signalverlauf in einem Kanal und das hierdurch im Nachbarkanal eingekoppelte Nebensprechen ('Crosstalk', rot, Vergrößerung $\times 10$)	47
4.24 Frequenzspektrum des 'Crosstalks' (rot) im Vergleich zu dem des zentralen Kanals (grün)	47
4.25 Impulsantwort des 'Crosstalk-Erzeugungsfilters' im Nachbarkanal (rot, Vergrößerung $\times 10$) und im zentralen Kanal (grün)	48
4.26 Inverse des 'Crosstalk-Erzeugungsfilters'	50
4.27 Modellfehler als Funktion der Breite der Zielfunktion (von oben nach unten: 'Crosstalk-Toleranz' = 0,01%, 0,12%, 0,15%, 0,2%, 0,4%, 0,8%, 1,6%, ∞ ; graue Kurve: Verlauf des Fehlers vor dieser Filterstufe)	52
4.28 Modellfehler als Funktion der 'Crosstalk-Toleranz' bei einer Breite des Vergleichspulses von $100ns$	53
4.29 Punktantwort des Filters im Nachbarkanal (rot, Vergrößerung $\times 10$) und im zentralen Kanal (grün)	54
4.30 Spektrales Verhalten des Filters im Nachbarkanal (das Spektrum des zentralen Kanals ist konstant eins)	54

4.31	Das spektrale Verhalten des Signals nach der Filterung (rot) im Vergleich zu vor der Filterung (grün) im Zentralkanal (oben) und im Nachbarkanal (unten)	55
4.32	Anwendung des 'Crosstalk-Unterdrückungsfilter' auf eine Schar von Eingangsdatensätzen (oben: zentraler Kanal, unten: Nachbarkanal)	56
4.33	Vergleich der quasikontinuierlichen Eingangs- (grün) und Ausgangssignale (rot) des 'Crosstalk-Unterdrückungsfilters' im zentralen Kanal (oben), im Nachbarkanal (mitte) und im übernächsten Kanal (unten)	57
4.34	Das 'Crosstalk-Unterdrückungsfilter'	58
5.1	Der Preprozessor	61
5.2	Kanalzuweisung bei der Hit-Erkennung	62
5.3	Schema der Hit-Erkennung	63
5.4	Schema der Hit-Auswahl	64
5.5	Gliederung des Rechenwerks	65
5.6	Die Pad-Antwort-Funktion ('Pad-Response-Function', PRF) ([aa0])	66
5.7	Die Hitposition als Funktion von \widehat{COG} ([bv0])	66
5.8	Berechnung von Position und Qualitätsmaß im Rechenwerk	67
5.9	Histogramm des Qualitätsmaßes θ gewünschter und ungewünschter Ereignisse, ([tdr] S. 89)	68
5.10	Histogramm der Ladung pro Cluster für Elektronen und Pionen ($3GeV/c \leq p_T \leq 5GeV/c$) ([tdr] S. 102)	69
5.11	Akkumulation der Fit-Parameter	70
5.12	Organisation der Datenspeicherung	71
5.13	Adresskontrolle vor dem 'Quad-Port-Memory' des 'Fit-Register-Files'	72
5.14	Kanalzuordnung benachbarter Chips	74
6.1	Auslese und Abbildung der ADC-Werte auf die internen Kanäle	76
6.2	Zur Struktur des Event-Buffers	77
6.3	Struktur der Event-Buffer-Kanäle	78
6.4	Lesezugriff auf den Event-Buffer	79
6.5	Synchronisationslogik zum Schreiben auf den Event-Buffer	79
6.6	Schreibzugriff auf den Event-Buffer	80
6.7	Die Struktur des 'Bin-Timers'	81
6.8	Die Struktur der Konfiguration	82
6.9	Der 'Strobe-Generator' der Konfiguration	83
7.1	Das Layout des Digitalen Frontends mit Preprozessor nach Platzierung, Versorgungsspannungs- und Taktsignalverdrahtung (blau/rot: 10MHz-/120MHz-Taktsignale)	87

Tabellenverzeichnis

1.1	Die Elementarteilchen	2
1.2	Die Fundamentalkräfte	2
2.1	Einige LHC-Parameter im Schwerionen-Modus	6
2.2	Einige Parameter des Übergangsstrahlungsdetektors	12
4.1	Kenndaten zum Sockelwertbestimmungsfiter bei vier verschiedenen Relaxationskonstanten. Die Auswahlnummer werden in 4.4.3 eingeführt.	31
4.2	Kenndaten zum Ionenschweifunterdrückungsfiter.	42
4.3	Die Koeffizientenmatrix des Filters	53
5.1	Registerdirekte Parametrisierung der Fit-Parameter	73
7.1	Eigenschaften der Taktsignalbäume	89
7.2	Einige Kenndaten des Designs	90

Kapitel 1

Einführung

Seit Ende des 19. Jahrhunderts hat sich das Verständnis um den Aufbau der Materie rasant entwickelt. Nachdem man zunächst Atome als kleinste Bausteine der Materie erkannt zu haben glaubte, musste man feststellen, dass auch diese zusammengesetzt sind. So ergab sich Mitte der 30er Jahre des 20. Jahrhunderts ein mit den damaligen Beobachtungen konsistentes Bild, in dem die Welt aus elementaren Elektronen, Protonen, Neutronen und schließlich dem Neutrino aufgebaut schien.

Als man in den 50er und 60er Jahren des 20. Jahrhunderts erkannte, dass Proton und Neutron nur zwei von vielen Repräsentanten der heute Hadronen genannten Teilchenfamilie sind, wurde dieses Bild erweitert. Da sich die Hadronen ähnlich wie die Atome in Gruppen gleicher Eigenschaften einordnen lassen, lag der Schluss nahe, dass sie nicht die fundamentalen Bausteine der Materie sind. Sehr erfolgreich ist das Quark-Modell, das alle Hadronen als aus zwei oder drei Quarks aufgebaut beschreibt. Analog wurde das Elektron mit seinem Neutrino um weitere Teilchen zur Familie der Leptonen erweitert. Heute kennen wir sechs Leptonen, sechs Quarks und die dazugehörigen Antiteilchen (vgl. Tabelle 1.1).

Parallel zu den Erkenntnissen um den Aufbau der Materie erweiterte sich auch das Wissen um die Grundkräfte: Zu Gravitation und elektromagnetischer Kraft gesellten sich die starke und die schwache Wechselwirkung. Während die Gravitation die Welt im Großen beherrscht, wird der atomare Bereich durch die elektromagnetische Kraft dominiert. Die starke und die schwache Kraft kommen erst im subatomaren Bereich (Kernkraft, Hadron-Hadron-Wechselwirkung) zur Geltung.

Eine Möglichkeit der Darstellung dieser Kräfte fußt auf dem Austausch bestimmter, für die Wechselwirkung charakteristischer Teilchen: Für die elektromagnetische Wechselwirkung sind dies das Photon, für die starke Wechselwirkung verschiedene Gluonen und für die schwache Wechselwirkung das W^{+-} , W^{--} und das Z^0 -Boson. Diese Teilchen konnten im Gegensatz zum Graviton (Schwerkraft) direkt oder indirekt nachgewiesen werden. In Tabelle 1.2 werden die vier Fundamentalkräfte mit ihren typischen Reichweiten und Kopplungsstärken zusam-

Teilchenfamilie	Teilchen			$Q/ e $
Leptonen	e Elektron	μ Myon	τ Tau	-1
	ν_e e -Neutrino	ν_μ μ -Neutrino	ν_τ τ -Neutrino	0
Quarks	u up	c charme	t top	$+\frac{2}{3}$
	d down	s strange	c charme	$-\frac{1}{3}$

Tabelle 1.1: Die Elementarteilchen

Wechselwirkung	Austauschteilchen	Reichweite [m]	Kopplung
Gravitation	g (Graviton)	∞	$5 \cdot 10^{-40}$
Schwach	W^\pm, Z^0	10^{-18}	$1,17 \cdot 10^{-5}$
Elektromagnetisch	γ (Photon)	∞	$\frac{1}{137}$
Stark	G (Gluon)	10^{-15}	≤ 1

Tabelle 1.2: Die Fundamentalkräfte

mengefasst. Systeme mit großer Teilchenzahl lassen sich in der Regel nur noch statistisch beschreiben. Ein Beispiel hierfür ist ein Gas, das aus vielen elektrisch neutralen Atomen bzw. Molekülen besteht. Bei entsprechender Anregung, wie sie z. B. durch eine Erhöhung der Dichte erzielt werden kann, geht dieses Gas in einen anderen Aggregatzustand über: Das Plasma. Die Atome haben ihre Individualität aufgegeben, Ionen und freie Elektronen bewegen sich unabhängig voneinander. Das Plasma ist nur noch in seiner Gesamtheit neutral. In diesem Beispiel ist die elektromagnetische Wechselwirkung maßgeblich.

Diese Vorstellung lässt sich auf subatomare Vorgänge übertragen. Hier ist die starke Kraft mit ihren Austauschteilchen, den Gluonen, vorherrschend. Ein System individueller Hadronen geht bei geeigneter Dichte bzw. Temperatur in einen ähnlichen Zustand über: Das Quark–Gluon–Plasma (vgl. Abb. 1.1). Die bezüglich der starken Ladung („Farbladung“) neutralen Hadronen haben ihre Quarks an einen gemeinsamen See von Quarks abgegeben, die mittels der Gluonen wechselwirken. Das Plasma ist nur noch als ganzes „farbneutral“.

Dieser Zustand ist vom jungen Universum ca. $1\mu s$ nach dem Urknall durchlaufen worden: Nach gängiger Vorstellung standen alle Teilchen, Antiteilchen und Wechselwirkungsteilchen in der Anfangsphase des Universums im thermodynami-

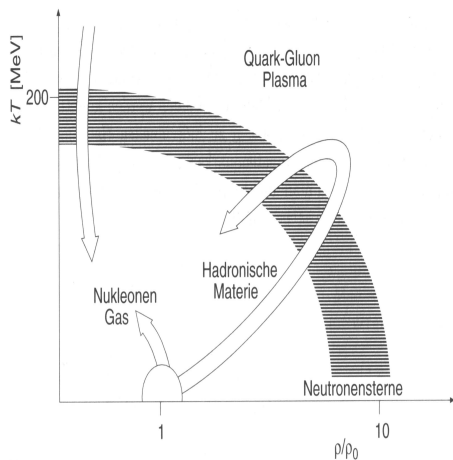


Abbildung 1.1: Das Quark-Gluon-Plasma im Phasendiagramm (nach [ptk], S. 329)

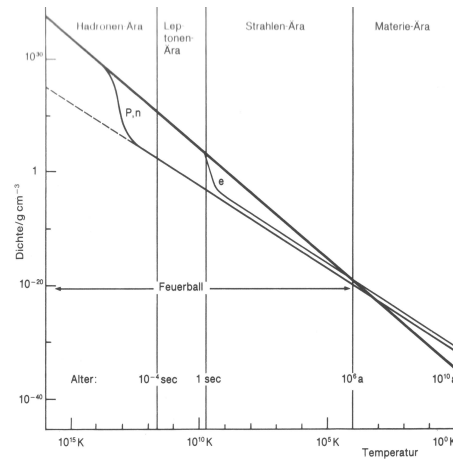


Abbildung 1.2: Die Entwicklung des Universums nach dem elektroschwachen Übergang (nach [mhw], S. 523)

schen Gleichgewicht. Aufgrund der hohen Energiedichte konnten alle Teilchen ineinander umgewandelt werden, die verschiedenen Wechselwirkungen waren gleich stark.

Nach ungefähr 10^{-35} s fand im nun kühleren Universum durch die Abkopplung der starken von der elektroschwachen Kraft ein Phasenübergang statt, wonach sich Quarks und Leptonen nunmehr fast ausschließlich untereinander umwandeln konnten.

Weitere 10^{-11} s später war das Universum nur noch 100 GeV heiß¹ und in einem weiteren Phasenübergang entkoppelten sich die schwache und die elektromagnetische Wechselwirkung.

Dieses Quark-Gluon-Plasma existierte bis ca. 10^{-6} s später das Universum so weit expandiert war, dass bei einer Temperatur um 100 MeV die Quarks in Hadronen gebunden wurden. Die weitere Entwicklung des Universums wird in Abb. 1.2 skizziert: Mit der Temperatur nimmt die Dichte im Universum aufgrund der voranschreitenden Expansion weiter ab. Zunächst reicht die thermische Anregung nicht mehr zur Neubildung von Hadronen aus (Hadronenära), dann auch nicht mehr zu der von Leptonen (Leptonenära). Bis zu einer Temperatur um 3000 K übersteigt die Strahlungsdichte die der Materie (Strahlenära). Bei der heutigen Temperatur des Universums (kosmische Hintergrundstrahlung: $2,7 \text{ K}$) dominiert die Dichte der Materie über die der Strahlung (Materieära).

Um ein solches Quark-Gluon-Plasma herstellen zu können wird in den neuen großen Hadronenkollider ('Large-Hadron-Collider', LHC) am Europäischen Nu-

¹ $kT = 1 \text{ eV}$ entspricht $T = 11604 \text{ K}$

klarforschungszentrum, CERN, ein großes Ionenkollisionsexperiment ('A–Large–Ion–Collider–Experiment', ALICE) aufgebaut. Dieses wird in Kapitel 2 beschrieben. Darüber hinaus wird dort auf den in das Experiment integrierten Übergangsstrahlungsdetektor und das damit verbundene Konzept der Frontend–Elektronik, insbesondere des Ereignis–Triggers, eingegangen.

Sowohl für diesen Trigger als auch für die spätere Datenauslese wird ein Netzwerk aus 64224 anwendungsspezifischen Rechenchips ('Application–Specific–Integrated–Circuits', ASICs) in den Detektor integriert. Jeder dieser ASICs beinhaltet verschiedene Komponenten, die in Kapitel 2.6 vorgestellt werden. Dabei wird insbesondere auf einen im Mai 2002 in der UMC–0, $18\mu\text{m}$ –Technologie submittierten Prototypen ('Tracklet–Processor–1', TRAP1) Bezug genommen.

Aufgabe des Autors war es im Rahmen dieser Diplomarbeit eine der Komponenten des TRAP1–Chips, das Digitale Frontend mit Preprozessor, zu entwerfen. Sie wird in Kapitel 3 vorgestellt. Ihre Aufgabe ist die digitale Filterung der Eingangsdaten, die Ereignisdatenspeicherung und die Parametrisierung von maximal vier Teilchenspurabschnitten (Tracklets) in einem bestimmten Teil des Detektors. Die hierfür entworfenen Module werden in den Kapiteln 4 bis 6 besprochen. Dort kann jeweils der Weg von der Spezifikation der Eigenschaften bis zur gewählten Architektur nachvollzogen werden. Ein Überblick über den 'Designflow' wird in Kapitel 7 vermittelt. Das Ergebnis dieser Diplomarbeit wird in Kapitel 8 diskutiert.

Ich bedanke mich bei allen, die zum Gelingen dieser Arbeit beigetragen haben. Das sind insbesondere Herr Prof. Dr. V. Lindenstruth sowie Dr. V. Angelov und Dr. F. Lesser.

Für Anregungen und Hilfe bedanke ich mich bei V. Catanescu, M. Dorn, R. Gareus, Prof. Dr. N. Herrmann, L. Hess, C. Reichling, R. Schneider, H.K. Soltveit, T. Steinbeck, G. Torralba, Dr. B. Vulpescu und A. Wiebalck sowie für die Unterstützung von Seiten von Dr. S. Körkel und Dr. H. Scharr.

Kapitel 2

Das Experiment

2.1 Der große Hadronen–Kollider (‘Large–Hadron–Collider’, LHC)

Am Europäischen Nuklearforschungszentrum bei Genf, CERN, wird bis zum Jahre 2005 in dem vormals für den großen Elektron–Positron–Kollider (‘Large–Elektron–Positron–Collider’, LEP) erbauten Tunnel eine neue Anlage in Betrieb gehen: Der große Hadronen–Kollider (‘Large–Hadron–Collider’, LHC) wird Protonen bei einer Schwerpunktsenergie von 14TeV und Blei–Ionen bei etwa 1150TeV zur Kollision bringen.

Der LHC ist ein 27km langer Ringbeschleuniger, dessen mehr als 8 Tesla starke Magnetfelder durch supraleitende Spulen erzeugt werden. Bevor sie hier ihre Endgeschwindigkeit erreichen, werden die Protonen bzw. Schwerionen in kleineren Anlagen wie dem Protonen–Synchrotron (PS) oder dem Super–Protonen–Synchrotron (SPS) vorbeschleunigt (vgl. Abb. 2.1). Man beschleunigt die Teilchen im Ring in zwei Strahlen entgegengesetzter Richtung, die an vier verschiedenen Punkten zur Kollision gebracht werden. Dort werden die vier Experimente des LHC durchgeführt.

Die Experimente ATLAS (‘A–Toroidal–LHC–Apparatus’) und CMS (‘Compact–Muon–Solenoid’) untersuchen mittels Proton–Proton–Kollisionen die Natur der Masse, sollen also insbesondere Higgs–Bosonen nachweisen. Darüber hinaus sollen theoretische Modelle jenseits des Standardmodells experimentell überprüft werden. LHCb (‘LHC–Beauty–Experiment’) soll in B–Mesonen–Systemen CP–Verletzung nachweisen. Hierdurch soll ein Beitrag zum Verständnis des Materie–Antimaterie–Ungleichgewichts im Universum geleistet werden. Bei ALICE (‘A–Large–Ion–Collider–Experiment’) werden Schwerionen zur Kollision gebracht um das Quark–Gluon–Plasma zu untersuchen (vgl. 2.2).

Mit dem LHC wird für die erwähnten Experimente eine neue Generation von Beschleunigeranlagen in Betrieb gehen: Die Kollisionsenergie wird die des Schwe-

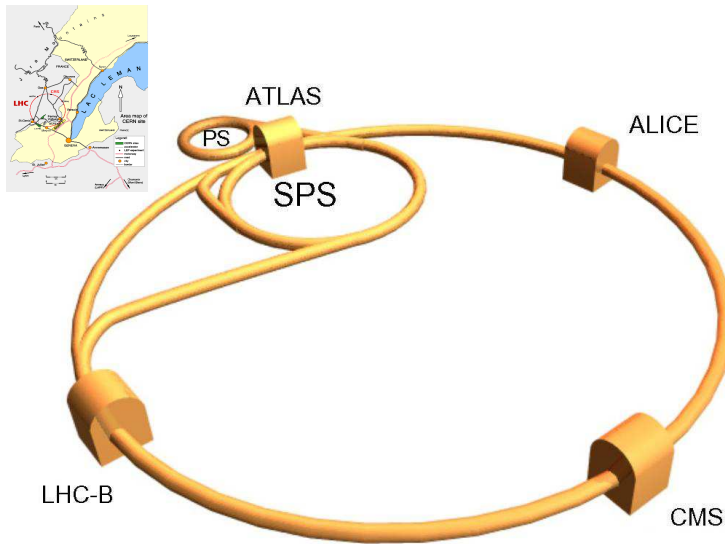


Abbildung 2.1:
Der LHC und
seine Vorbe-
schleunigern

erionenkolliders RHIC (BNL) um mehr als das 30-fache übertreffen, die Luminosität wird um eine Größenordnung darüber liegen. Im Proton-Proton-Modus

Energie pro Ladung	7 TeV/e
Energie pro Nukleon	2,76 TeV/u
Schwerpunktsenergie	1148 TeV
Dipolfeld	8,386 T
Strahldurchmesser am Wechselwirkungspunkt	15 μm
Paketlänge	7,5 cm
Zahl der Pakete	608
Zahl der Ionen pro Paket	$6,3 \cdot 10^7$
Umlauffrequenz	11,2 kHz
Luminosität	$0,85 \cdot 10^{27} \text{cm}^{-2} \text{s}^{-1}$
Fülldauer	9,8 min
Strahllebensdauer	10 h

Tabelle 2.1: Einige LHC-Parameter im Schwerionen-Modus

liegt die Luminosität sogar um zwei Größenordnungen über der bestehender Beschleuniger, die Konstituentenenergie wird zehnmal größer sein als die am Tevatron (Fermilab). Die supraleitenden Magneten des Beschleunigerrings werden einen Strahlstrom von 0,5 A auf seine Bahn zwingen. Tabelle 2.1 stellt einige interessante Parameter des LHC im Schwerionenmodus zusammen.

2.2 'A–Large–Ion–Collider–Experiment' (ALICE)

Im Experiment ALICE werden Blei–Ionen bei einer Schwerpunktenenergie von 1148 TeV zur Kollision gebracht. Hiermit wird das Quark–Gluon–Plasma erzeugt. Des dessen Verhalten wird durch die Detektion seiner bis zu 20000 Zerfallsprodukte studiert. Der ALICE–Aufbau besteht aus einer Ansammlung verschiedener Detektoren, die sich gegenseitig ergänzen (vgl. Abb. 2.2).

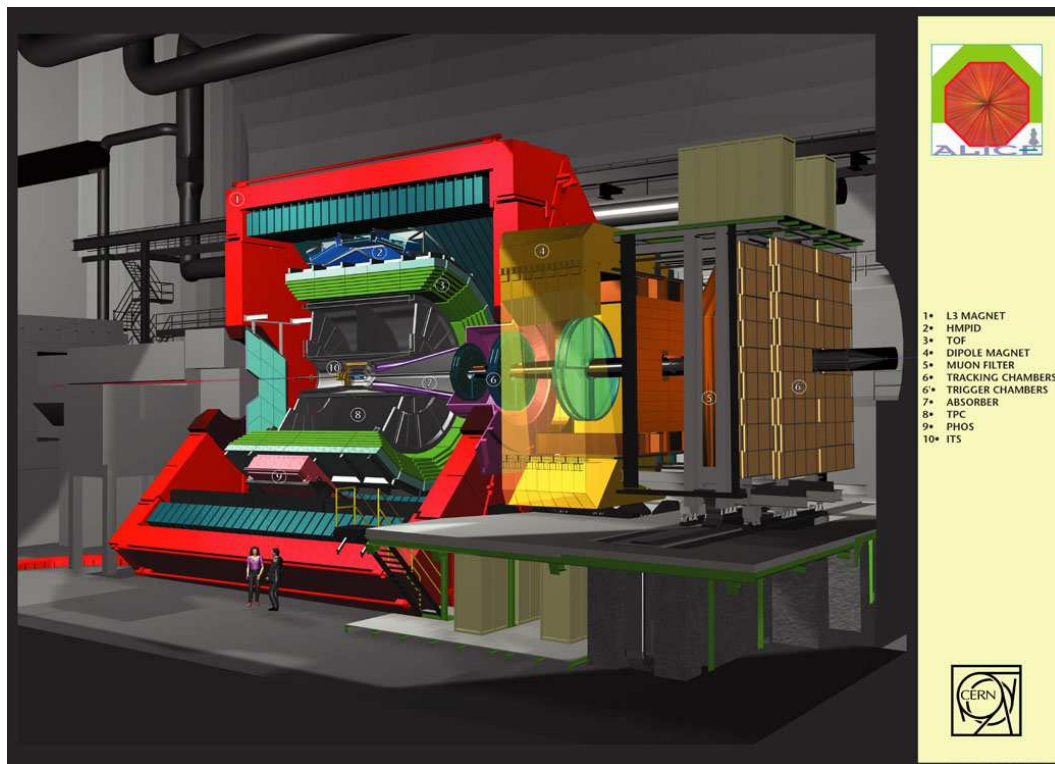


Abbildung 2.2: Aufbau des ALICE–Detektors

In unmittelbarer Strahlnähe (innerer Radius ≈ 3 cm, Länge ≈ 1 m) befindet sich das 'Inner–Tracking–System' (ITS), das eine hohe Ortsauflösung bei der Rekonstruktion der Wechselwirkungspunkte gewährleisten soll. Es besteht aus Schichten von Silizium–Pixel–, Silizium–Streifen– und Silizium–Drift–Detektoren.

Daran schließt sich die Zeit–Projektions–Kammer ('Time–Projection–Chamber', TPC) mit einer Ausdehnung von ≈ 57 cm bis ≈ 278 cm in radialer Richtung und einer Länge von 5,1 m an. Sie besteht im wesentlichen aus einem Ionisationsvolumen, in dem mögliche Spuren durch ein elektrisches Feld in weniger als 100μ s zu den Endkappen driften. Die Ladungen werden an den dort befindlichen Kathodenpads nachgewiesen.

Der Übergangsstrahlungsdetektor ('Transition-Radiation-Detektor', TRD) befindet sich ≈ 295 cm vom Strahl entfernt, ist ≈ 75 cm dick und ≈ 7 m lang. Er besteht aus sechs Lagen, die jeweils aus einem Radiatormaterial und einer Driftkammer bestehen (vgl. 2.3). Es können zum einen die Spuren der durchfliegenden Teilchen, als auch die von ihnen ausgelösten Übergangsstrahlungs-Photonen nachgewiesen werden.

Daran schließt sich der Flugzeitdetektor ('Time-of-Flight', TOF) an. Die 160000 Parallel-Platten-Zähler messen die Flugzeit der Teilchen vom Strahl mit einer Genauigkeit von 150 ps.

Weiter außerhalb befinden sich das Photon-Spektrometer (PHOS), ein elektromagnetisches Kalorimeter aus Blei-Wolfram-Kristallen, und der Detektor zur Identifikation hochenergetischer Teilchen ('High-Momentum-Particle-Identification', HMPID), der auf der Messung von Tscherenkov-Strahlungsringen ('Ring-Imaging-Cherenkov-Counter', RICH) beruht.

Alle bisher genannten Detektoren gehören dem Zentralbereich an, der vom Magneten nach außen abgeschlossen wird. Er wird ein ca. 0,2 T starkes Feld erzeugen. Der Zentralbereich wird durch ein Myonenspektrometer und die Vorwärtsdetektoren ('Forward-Multiplicity-Detector', FMD; 'Photon-Multiplicity-Detektor', PMD; 'Centauro-and-Strange-Object-Research', CASTOR; 'Zero-Degree-Calorimeter', ZDC) ergänzt.

2.3 Der Übergangstrahlungsdetektor (**'Transition-Radiation-Detektor', TRD**)

Wenn geladene Teilchen die Grenze zwischen zwei Medien unterschiedlicher optischer Dichte durchdringen, wird die so genannte Übergangsstrahlung freigesetzt ([jedi], [kk]). Die Strahlung ist dabei auf den Vorwärtskegel $\theta \leq \gamma^{-1}$ beschränkt ($\gamma = (1 - \beta^2)^{-\frac{1}{2}}$, $\beta = \frac{v}{c}$). Die Energie wird zur Hälfte bei Frequenzen

$$0,1 \leq \frac{\nu}{\gamma\nu_p} \leq 1,0 \quad (2.1)$$

abgestrahlt (ν_p ist die Plasmafrequenz). Sie liegt in diesem Experiment typischerweise im Bereich weicher Röntgenstrahlung und ist direkt von γ abhängig. Bei gegebenem Impuls lässt sie sich daher als Maß für die Masse des durchfliegenden Teilchens verwenden. Dies wird zur Unterscheidung zwischen Elektronen und Pionen herangezogen (vgl. Abb. 2.3). Unterstützt wird dieser Effekt durch den unterschiedlichen Ionisationsverlust der Teilchen (vgl. 5.3.3).

Im vorliegenden Detektor wird die Übergangsstrahlung durch einen Stapel von Folien, Gasfaserplatten oder ähnlich geeignete Anordnungen mit stark variierender optischer Dichte erzeugt.

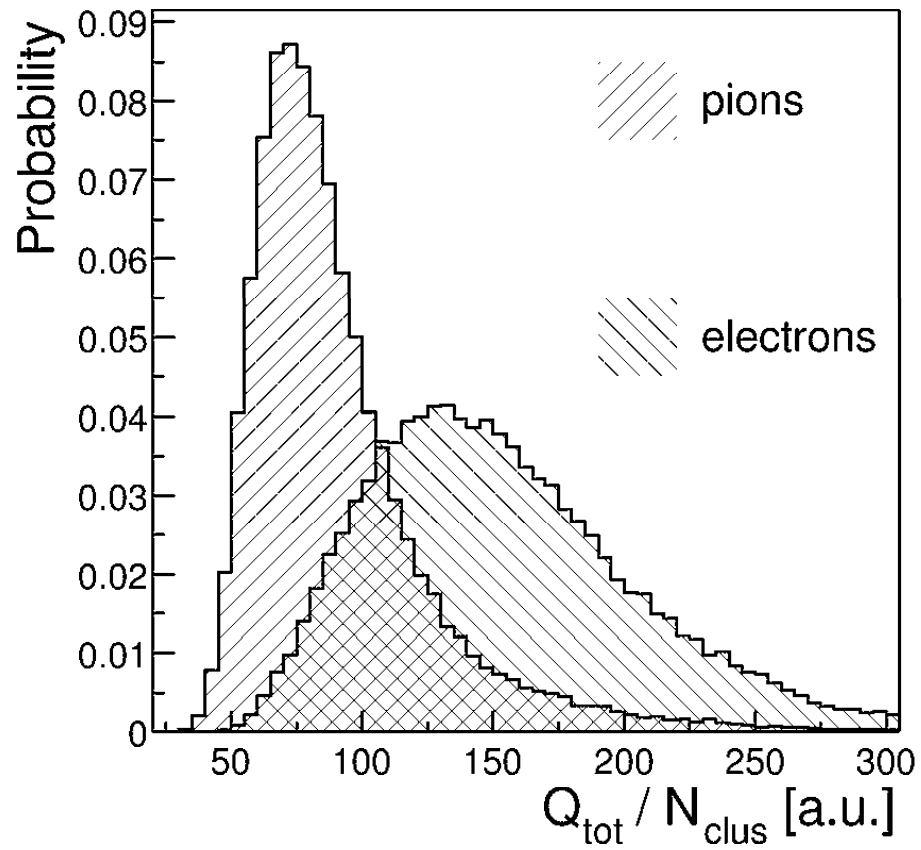


Abbildung 2.3: Histogramm der Ladung pro Cluster für Elektronen und Pionen ($3\text{GeV}/c \leq p_T \leq 5\text{GeV}/c$) ([tdr] S. 102)

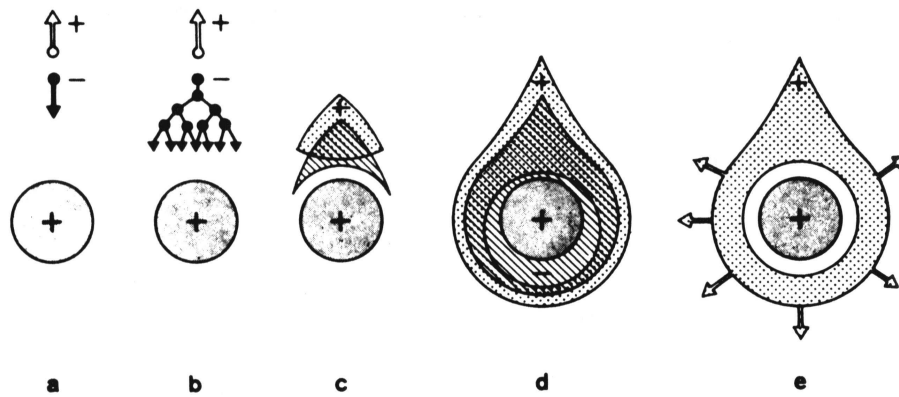


Abbildung 2.4: Gasverstärkung am Anodendraht (nach [kk], S. 100)

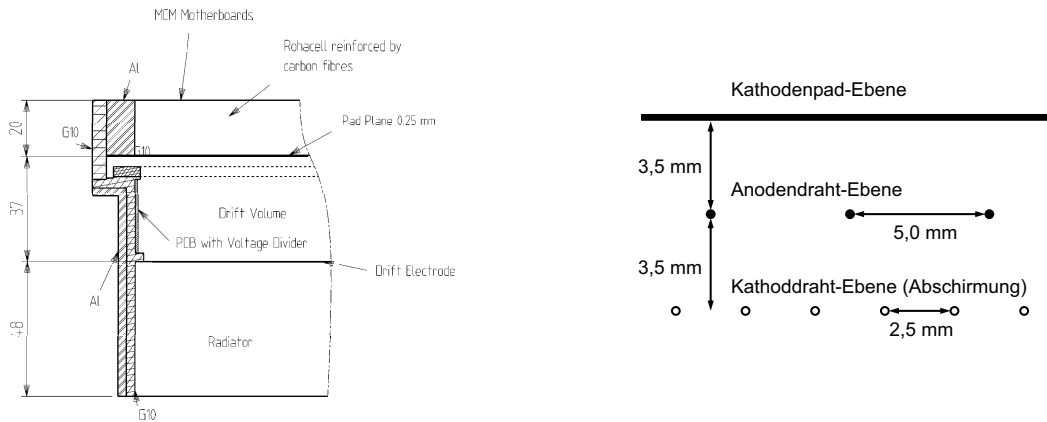


Abbildung 2.5: Ein Modul des Übergangsstrahlungsdetektors (links) und Drahtanordnung in der Verstärkungsregion (rechts)

Die durchfliegenden Teilchen und Übergangsstrahlungs-Photonen werden durch einen Gasdetektor, der sich an das Radiatormaterial anschließt, nachgewiesen. Teilchenspur und Photonenbahn liegen quasi deckungsgleich. Die Ionisationscluster im Gas driften durch ein angelegtes elektrisches Feld (Driftkammer) auf eine Verstärkungsanordnung zu (Gasverstärkung). Der Ablauf wird in Abbildung 2.7 illustriert.

Hier wird an einem Anodendraht eine Hochspannung von ca. $1,4\text{ kV}$ im Vergleich zur Umgebung angelegt. Auf den Draht zudriftende Elektronen gewinnen Energie um weitere Elektronen aus dem Gas freizuschlagen, eine Lawine wird ausgelöst (vgl. Abb. 2.4).

Die Gesamtladung der Lawine ist ca. $5 \cdot 10^3 - 10^4$ größer als die des ursprünglichen Ladungsclusters. Während die leichten Elektronen über den Anodendraht abfließen, driften die schweren Ionen, die im Gas zurückgeblieben sind, langsam aus der Verstärkungsregion. Das somit elektrisch geladene Gas induziert Ladungen auf Kathodenplättchen (Kathodenpads), die sich hinter dem Anodendraht befinden (vgl. Abb. 2.5). Diese Ladungen werden durch einen ladungsempfindlichen Vorverstärker in Spannungen umgewandelt, digitalisiert und durch direkt auf der Kammer befindliche Elektronik ausgewertet.

Die Elektronik wird auf einem 'Multi-Chip-Modul' (MCM) zusammengefasst. Dort befindet sich die Vorverstärker- und Signalformer-Einheit ('Pre-amplifier-Shaper', PASA) sowie ein weiterer Chip, der die Analog-Digital-Wandler ('Analog-Digital-Converter', ADC) und die Digitalelektronik vereint. Er wird in 2.6 vorgestellt.

Jedes MCM ist für 18 Pads bzw. Kanäle zuständig. Um Spuren über die Be-

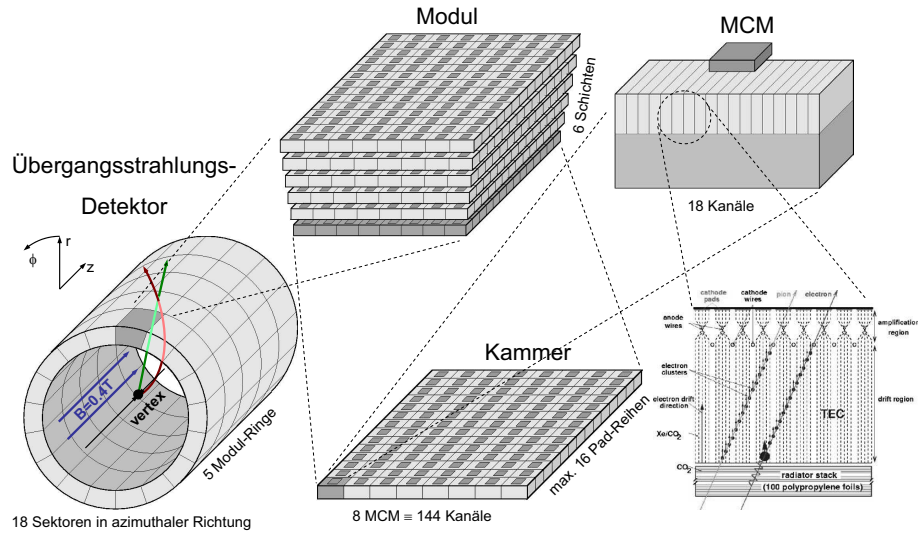


Abbildung 2.6: Aufbau des Gesamtdetektors

reichsgrenzen hinweg verfolgen zu können, werden mit den Nachbarn die verstärkten Signale eines Kanals ausgetauscht. Hinzu kommen zwei weitere Kanäle, da für eine genaue Positionsrechnung jeweils die Werte der Nachbarkanäle bekannt sein müssen (vgl. 5.3.2).

Jeweils acht MCMs bearbeiten die insgesamt 144 Kanäle einer Padreihe (vgl. Abb. 2.6). Bis zu 16 Padreihen ergeben eine Kammer, sechs solche Kammer werden zu einem Modul übereinander gelegt. Der Gesamtdetektor besteht aus fünf Ringen à 18 Modulen. Tabelle 2.2 fasst die wichtigsten Kenndaten des Detektors zusammen.

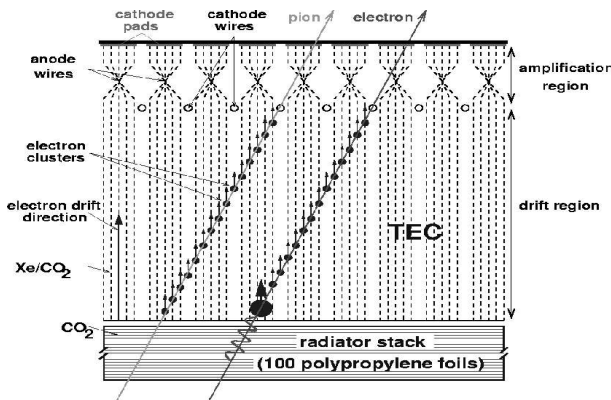


Abbildung 2.7: Ladungsdrift und Gasverstärkung

Pseudorapiditäts-Abdeckung	$-0,9 < \eta < 0,9$
Azimuthale Abdeckung	2π
Radiale Position	$2,9m < r < 3,7m$
Länge	maximal $7,0m$
φ -Unterteilung	18 Sektoren
r -Unterteilung	6 Lagen
z -Unterteilung	5 Ringe
Modulanzahl	540
Größtes Modul	$120 \times 159cm^2$
Aktive Detektorfläche	$736m^2$
Radial Detektordicke	$X/X_0 = 14,3\%$
Radiator	Faser-/Schaum-Sandwich, $4,8cm$ pro Lage
Modul-Unterteilung (φ)	144
Modul-Unterteilung (z)	12 – 16
Typische Padgeometrie	$0,725 \times 8,75cm^2 = 6,34cm^2$
Anzahl der Datenaufnahmen (r -Drift)	15
Anzahl der Auslesekanäle	$1,16 \cdot 10^6$
Anzahl der Auslesepixel	$1,74 \cdot 10^7$
Detektorgas	Xe, CO_2 (15%)
Gasvolumen	$27,2m^3$
Tiefe der Driftregion	$3,0cm$
Tiefe der Verstärkungsregion	$0,7cm$
Nominelles Magnetfeld	$0,4T$
Elektrisches Driftfeld	$0,7kV/cm$
Driftgeschwindigkeit	$1,5cm/\mu s$
Longitudinale Diffusion	$D_L = 250\mu m/\sqrt{cm}$
Transversale Diffusion	$D_T = 180\mu m/\sqrt{cm}$
Lorentzwinkel	8°
Okkupation	34%
bei $1GeV/c$ angestrebte räumliche Auflösung ($r\varphi$)	$400\mu m$ (niedrige Multiplizität) $600\mu m$ (hohe Multiplizität)
bei $1GeV/c$ angestrebte räumliche Auflösung (z)	$2,3cm$
Angestrebte Impulsauflösung	$\delta p/p = 2,5\% \oplus 0,5\%(0,8\%)$ bei niedriger (hoher) Multiplizität

Tabelle 2.2: Einige Parameter des Übergangsstrahlungsdetektors

2.4 Das Triggersystem des ALICE-Detektors

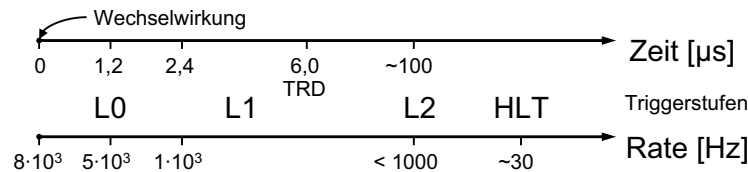


Abbildung 2.8: Latenz und Raten der einzelnen Triggerstufen

Die Ereignisrate liegt im Pb–Pb–Betrieb bei etwa 10^4 Kollisionen pro Sekunde. Als interessant werden hiervon ca. 100 Ereignisse pro Sekunde erachtet. Sie zeichnen sich durch kleine Stoßparameter aus.

Das Triggersystem ist in mehrere Stufen unterteilt. Diese unterscheiden sich durch die Daten, die sie zu einer Entscheidung heranziehen. Triggerstufen mit größerer Latenz verarbeiten Daten aus Detektoren mit größerer Auslesezeit (vgl. Abb. 2.8).

Der Level–0–Trigger (L0) verwendet die Daten des Vorwärts–Multiplizitäts–Detektors (‘Forward–Multiplicity–Detector’, FMD). Er löst nach $1,2 \mu\text{s}$ aus, wenn die Multiplizität eines Ereignisses eine gegebene Schwelle übersteigt, der Wechselwirkungspunkt nahe genug am nominellen Ort ist und die Vorwärts–Rückwärts–Verteilung der einer Strahl–Strahl–Wechselwirkung entspricht.

Parallel zum Level–0–Trigger sucht der TRD–Trigger nach Elektron–Positron–Paaren mit hohem Transversalimpuls. Erst die Annahme eines Ereignisses durch diesen Trigger startet die Auslese der TPC. Dem Trigger wird ein Verzögerung von $6,0 \mu\text{s}$ eingeräumt.

In der nächsten Triggerstufe, dem Level–1–Trigger (L1), werden die Daten des Null–Grad–Kalorimeters und der Myonen–Spektrometers herangezogen, um weitere Aussagen über Zentralität und Multiplizität der Ereignisse treffen zu können. Außerdem wird nach Myonenpaaren, deren Impuls eine gegebene Schwelle überschreitet, gesucht. Diese zeigen zerfallene Quarkonia–Zustände an. Der Level–1–Trigger trifft seine Entscheidung $6,0 \mu\text{s}$ nach dem Ereignis.

Der Level–2–Trigger (L2) nutzt die Auslesezeit der TPC, um detailliertere Analysen vorzunehmen. So wird etwas ein Schnitt auf die Masse eines Di–Myon–Systems (Suche nach J/ψ oder die Untersuchung der Cluster des FMD vorgenommen. Außerdem werden Daten weiterer Trigger–Detektoren, wie etwa des Photonen–Spektrometers, herangezogen.

Die letzte Stufe bildet der 'High-Level-Trigger' (HLT). Ihm liegen die Triggerinformationen des TRDs und die Daten der TPC zugrunde. Es wird eine Spurerkennung vorgenommen, parallel dazu findet bereits eine erste Datenkompression statt. Diese Trigger-Stufe arbeitet mit einer maximale Rate von 1kHz .

Wenn ein Ereignis als interessant eingestuft wurde, sorgt das Datenakquisitionssystem bei einer Rate von ca. 30Hz für die Speicherung der Daten.

2.5 Der TRD-Trigger

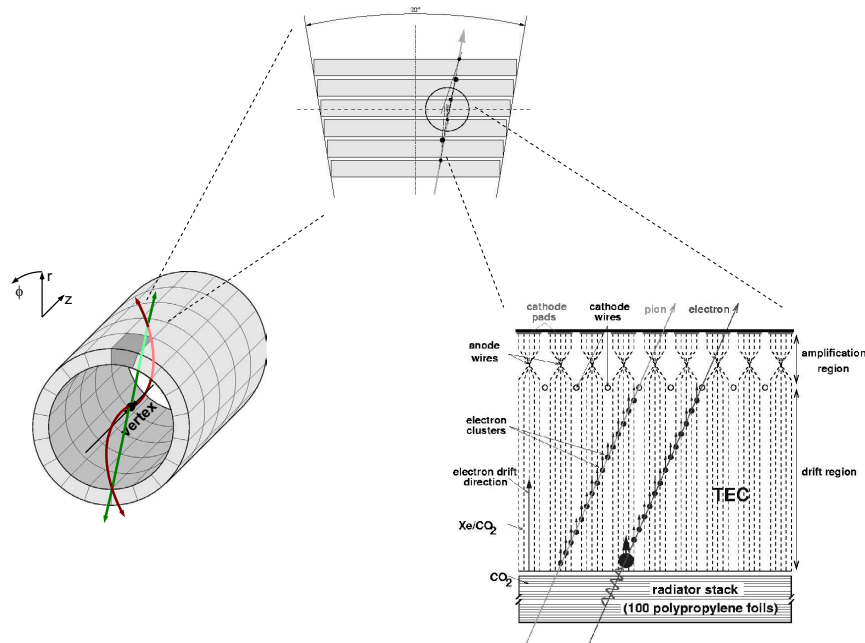


Abbildung 2.9: Spuren eines Elektron-Positron-Paares im TRD

Der TRD-Trigger sucht nach Elektron-Positron-Paaren mit einem hohen Transversalimpuls von mehr als $3\text{GeV}/c$, separiert Elektronen von Pionen und berechnet Korrelationsgrößen wie etwa die invariante Masse von Spurpaaren oder die Multiplizität in bestimmten Raumbereichen. Sie weisen insbesondere auf die Produktion von J/ψ oder Υ hin, wie sie bei bestimmten Zuständen des Quark-Gluon-Plasmas erwartet werden.

Die Trennung von Pionen und Elektronen wird anhand der Übergangsstrahlung vorgenommen, die bei den schwereren Pionen, die damit langsamer sind und über einen kleineren γ -Faktor verfügen, geringer ausfällt (vgl. 2.3). Der Transversalimpuls wird indirekt über den Winkel bestimmt, den die Spur mit der radialen Richtung einschließt. Er steht in direktem Zusammenhang mit der Krümmung

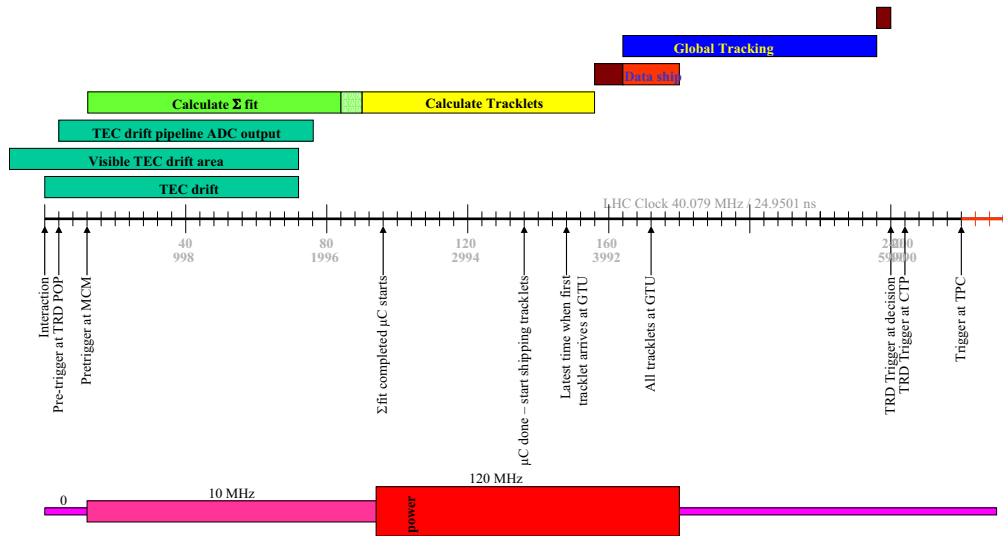


Abbildung 2.10: Das Timing des TRD-Trigger

der Bahn, die durch das angelegte Magnetfeld hervorgerufen wird.

Um die große Datenfülle aus $1,74 \cdot 10^7$ Pixel in der zur Verfügung stehende Zeit von $6,0 \mu\text{s}$ verarbeiten zu können, wurde ein Großteil der Rechnungen dezentral verteilt (vgl. Abb. 2.9). Die globale Spurverarbeitungseinheit ('Global-Tracking-Unit', GTU) setzt hierbei nur noch Spurabschnitte zusammen, die bereits in parametrisierter Form vorliegen.

Die Parametrisierung findet auf den 64224 MCMs statt. Sie tragen die ladungsempfindlichen Vorverstärker und Signalformer, die direkt mit den Kathodenpads verbunden sind und einen weiteren Chip, der die Analog-Digital-Wandler mit der Digitalelektronik vereint, die die notwendigen Berechnungen durchführt (vgl. 2.6).

Während der ersten $2 \mu\text{s}$ findet die Elektronendrift in den TRD-Kammern statt. Die Daten werden durch die ADCs sequentiell aufgenommen und hierbei verzögert gefiltert und bezüglich dem Finden von Spuren verarbeitet (vgl. Abb. 2.10). Daran schließt sich eine weitere Verarbeitung in jeweils vier Prozessoren pro Chip an. Die Fit-Parameter der gefundenen Spuren werden an die GTU gesendet, die dann die übergeordneten Berechnungen vornimmt.

2.6 Der Tacklet-Prozessor-Chip-1 (TRAP1)

Der Tacklet-Prozessor-Chip vereint Analog-Digital-Wandler ('Analog-Digital-Converter', ADC) und Digitalelektronik. Während auf dem letztendlichen Chip die Analogsignale aller 21 Kanäle konvertiert werden, befinden sich auf dem Prototypen, TRAP1, allerdings nur drei Test-ADCs, die digitalen Signale für die restlichen Kanäle werden im externen ALTRO-Chip erzeugt (vgl. Abb. 2.11).

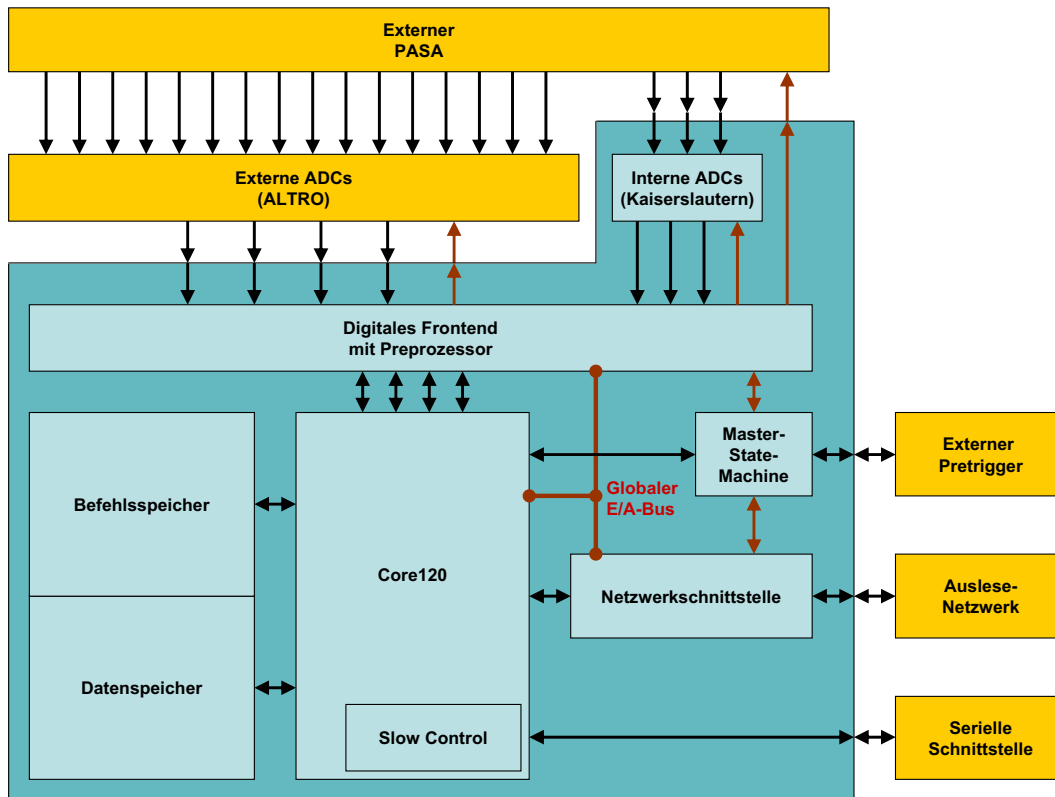


Abbildung 2.11: Die Architektur des TRAP1-Chips

Die Analogelektronik auf dem Chip besteht aus den ADCs und einer 'Phase-Locked-Loop' (PLL), deren Aufgabe in der Erzeugung einer phasentreuen stabilen Taktrate bezüglich eines gegebenen externen Taktsignals besteht.

Die Digitalelektronik besteht aus dem Digitalen Frontend mit Preprozessor, dem 'Core120' mit einer seriellen Schnittstelle ('Slow-Control'), verschiedenen Speichermodulen, einer schnellen Netzwerkschnittstelle und schließlich dem Steuerungsmodul, der 'Master-State-Machine' (vgl. Abb. 2.11).

Die internen ADCs sind vollständige Neuentwicklungen, die am Lehrstuhl für Mikroelektronik der Universität Kaiserslautern entworfen werden ([kl0]). Vor

allein die Forderung nach möglichst geringer Leistungsaufnahme steht dabei im Vordergrund. Die drei auf dem Testchip implementierten ADCs übergeben ihr Ergebnis parallel in 10Bit-Vektoren. Umgekehrt erhält diese Einheit zwei 1-Bit-Schaltensignale ('Enable', 'Sample') sowie einen 5Bit-Wert, der zur Festlegung von Referenzspannungen genutzt wird.

Im Gegensatz dazu werden die Daten der 16 externen, auf dem ALTRO-Chip ([altro]) befindlichen ADCs an vier 10Bit-Schnittstellen mit Hilfe eines Zeitmultiplexverfahrens zur Verfügung gestellt: Neben einem Taktsignal werden diese mit einem 2Bit-Schaltwert ('Select') angesteuert.

Die ADCs erhalten ihre Daten von analogen Signalformern, die zusammen mit ihren Vorverstärkern auf einem gemeinsamen Chip ('Preamplifier-Shaper', PASA) realisiert werden. Um verschiedene Funktionen von Seiten der Digitalelektronik auslösen zu können, erhält dieser Chip ein synchrones und ein asynchrones Takt- und ein serielles Datensignal ('Clock', 'Strobe', 'Serial-Data').

Die Abbildung der $16 + 3 = 19$ ADC-Werte auf die 21 Filterkanäle wird in Kapitel 6.1 erläutert. Die entsprechende Komponente (ADC-DMUX) ist Teil des Digitalen Frontends, das zusammen mit dem Preprozessor eine gemeinsame Komponente auf dem TRAP1-Chip bildet und Inhalt dieser Diplomarbeit ist.

So werden hier sowohl die Ereignisdaten des ALICE-Übergangsstrahlungsdetektors bis zur möglichen Auslese zwischengespeichert als auch Spurabschnitte im zugeordneten Detektorbereich parametrisiert. Darüber hinaus ist ein digitales Filter zwischengeschaltet, das die wichtigsten Störungen bei der Signalgewinnung ausgleicht. Näheres zu diesem Modul kann Kapitel 3 und den folgenden entnommen werden.

Daran schließt sich der von Dr. F. Lesser entworfene 120MHz-Kern (Core120) an, der im Wesentlichen aus vier Prozessoren und deren gemeinsamem Registersatz besteht ([f0]). Darüber hinaus enthält er eine (langsame) serielle Schnittstelle ('Slow-Control'), die von Robin Gareus implementiert wurde und mit deren Hilfe der gesamte Chip konfiguriert oder auch ausgelesen werden kann ([rg0]). Die interne Kommunikation findet dabei über einen globalen Eingabe-Ausgabe-Bus statt ([f0]). Der 120MHz-Kern tritt dabei als 'Bus-Master' auf und bestimmt dabei sowohl das Schreibsignal ('Write-Enable') als auch die Ausgabe auf den 16Bit-Adressbus und den 32Bit-Datenschreibbus. Die angeschlossenen Geräte können dabei lediglich über einen zwischen ihnen geordneten 32Bit-Datenlesebus antworten. Des Weiteren können die vier im Core120 implementierten Prozessoren parallel die zum letzten Ereignis gehörenden Spurparameter abrufen.

Die Prozessoren arbeiten in gemeinsamem Befehls- und Daten-Speicher. Das dazu erforderliche 'Quad-Port-Memory' (QPM) wurde von Christian Reichling als 'Full-Custom-Design' entworfen ([cr0]). So können alle vier Prozessoren gleichzeitig im selben Speicherbereich lesen bzw. schreiben.

Sowohl über den globalen E/A-Bus als auch parallel von allen Prozessoren über lokale Busse zur Datenausgabe erreichbar ist die (schnelle) Netzwerkschnitt-

stelle von Rolf Schneider ([rs0]). Sie dient der Auslese der Ereignisdaten des Detektors.

Der gesamte Chip wird von der 'Master-State-Machine', die von Dr. V. Angelov implementiert wurde, gesteuert ([va0]). Diese beinhaltet vor allem das Energiemanagement, also die Kontrolle der Taktsignale für die verschiedenen Komponenten, und die Abfrage des externen 'Pretrigger-Signals'. So kann dieses die Chips im gesamten Detektor in bestimmte Zustände wie z. B. das Warten auf ein Ereignis, die Vorverarbeitung, die Bearbeitung oder die Auslese eines Ereignisses versetzen.

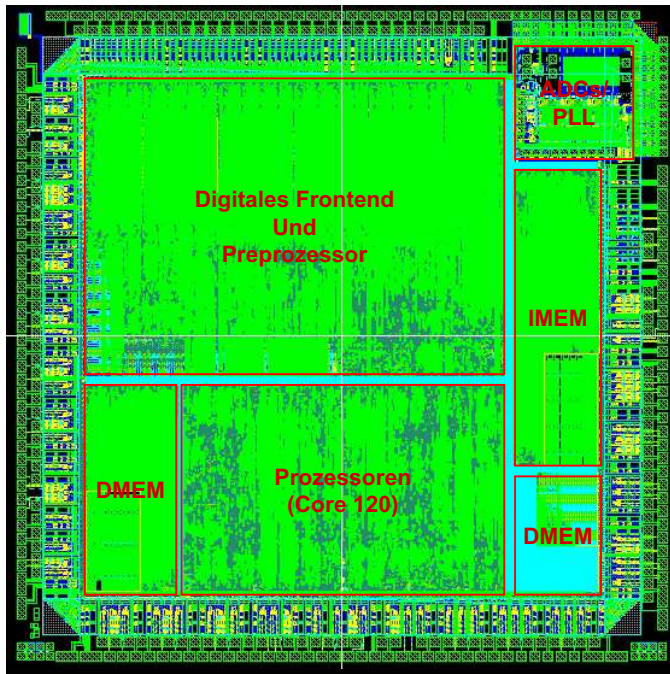


Abbildung 2.12: Das Layout des TRAP1-Chips

Im Mai 2002 wurde mit TRAP1 ein erster Prototyp des zukünftigen Trigger- und Auslesechips, der die gesamte gewünschte Funktionalität bereitstellt, in der UMC-0, $18\mu\text{m}$ -Technologie submittiert (vgl. Kapitel 7).

Kapitel 3

Das Digitale Frontend mit Preprozessor

Nach der Spezifikation der Aufgaben eines Moduls wie im vorigen Kapitel geschehen muss nun eine Architektur hierfür definiert werden. Dies kann sowohl durch die Zurückführung auf grundlegende logische Verknüpfungen als auch durch Einbindung von vordefinierten Komponenten und deren Verknüpfung geschehen. Im vorliegenden Fall wurde hierfür die Hardware-Beschreibungssprache VHDL (VHSIC HDL, 'Very-High-Speed-Integrated-Circuit-Hardware-Description-Language') gewählt.

Das digitale Frontend besteht aus einem Demultiplexer für die ADCs, einem digitalen Filter und einem Ereignisdatenspeicher. Daran schließt sich der Preprozessor an. Beide erhalten während der Laufzeit als konstant anzusehende Parameter von einer Konfigurationseinheit, die über den globalen E/A-Bus als logisches Gerät erreichbar ist. Der zeitliche Ablauf eines Ereignisses wird von einem separaten Modul, dem 'Bin-Timer', kontrolliert. Dieses ist auch für die Kommunikation mit der 'Master-State-Machine' verantwortlich. Der Ereignisspeicher ('Event-Buffer') kann als weiteres Gerät über den globalen E/A-Bus ausgelesen und beschrieben werden. Einen Überblick verschafft Abbildung 3.1.

Die digitalen Ausgangsdaten der ADCs werden vom der Komponente 'ADC-DMUX', die von Dr. V. Angelov implementiert wurde, entgegengenommen. Wichtigster und daher auch namensgebender Teil ist ein Demultiplexer für die zeitlich gemultiplexten Daten des ALTRO-Chips. Die Werte der insgesamt 16 ALTRO-Kanäle werden ebenso wie die drei innerhalb des Chips konvertierten auf die 21 Verarbeitungskanäle der folgenden digitalen Komponenten abgebildet. Diese wie weitere ergänzende Funktionen werden in Kapitel 6.1 besprochen. Konfiguriert wird diese Komponente durch die Spiegelung der Parameter in den Adressraum des unten beschriebenen Konfigurationsmoduls.

Das Digitale Filter verarbeitet die vom 'ADC-DMUX' zur Verfügung gestell-

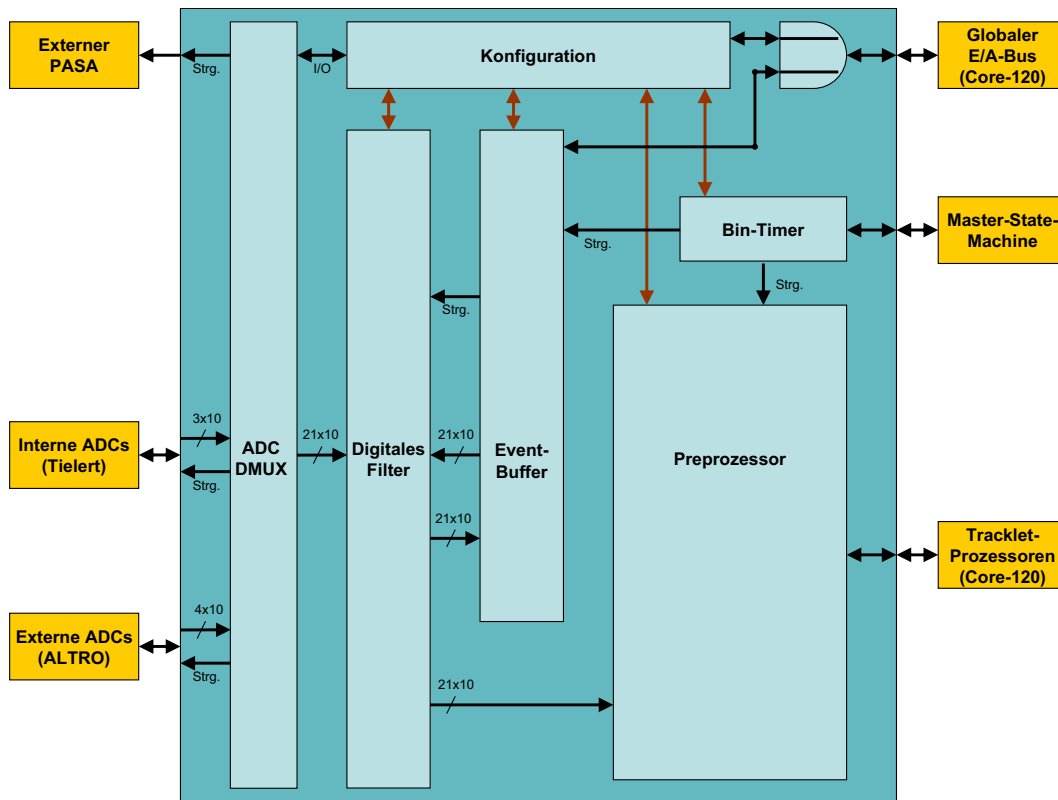


Abbildung 3.1: Struktur des digitalen Frontends mit Preprozessor

ten Daten in fünf Stufen. Diesen geht eine Kontrolleinheit voraus, die zum einen den Datenstrom durch das Filter und zum anderen die Ein- und Ausgabe des 'Event-Buffers' steuert. Näheres hierzu und zu den Einstellungen mittels der Konfigurationseinheit findet sich in Kapitel 4.

Der 'Event-Buffer' ist eng mit dem Filter verbunden. So empfängt er nicht nur zu speichernde Ereignisdaten in roher oder gefilterter Form sondern liefert auch Datensequenzen zum Testen des Filters und des Preprozessors. Neben verschiedenen Parametern aus dem Konfigurationsmodul erfährt der Ereignisdatenspeicher seine Steuerung durch den 'Bin-Timer'. Die Daten im Speicher sind über den globalen E/A-Bus zugänglich. Der 'Event-Buffer' ist Inhalt von Kapitel 6.2.

Der Preprozessor verarbeitet die gefilterten Daten in 21 Kanälen. Dabei parametrisiert er maximal vier Teilchenspurabschnitte (Tracklets). Die Parameter sind danach für die vier Prozessoren des 'Core120' lokal adressierbar. Das heißt, jeder Prozessor erhält sein eigenes Paar von Tracklet-Kandidaten-Kanälen. Auch dieses Modul ist mittels der Konfigurationseinheit einstellbar bzw. stellt Daten hierüber zur Verfügung. Es wird in Kapitel 5 näher beschrieben.

Die Steuerung des Ablaufs der Bearbeitung eines Ereignisses findet im 'Bin-

Timer' statt. Dies betrifft zum einen die Vorgabe von Zeitwerten und Steuersignalen an den Preprozessor und zum anderen die (relative) Adressierung und Kontrolle des 'Event-Buffers' während der Datenakquisition. Der 'Bin-Timer' seinerseits wird von der 'Master-State-Machine' des TRAP1-Chips kontrolliert. Er verfügt darüber hinaus über verschiedene Einstellungen seitens der Konfigurationseinheit. Auf ihn wird in Kapitel 6.3 näher eingegangen.

Die Konfigurationseinheit beinhaltet die Einstellungen für die oben angegebenen Komponenten bzw. bietet Schnittstellen, um die Inhalte dortiger Register auslesbar zu machen. Lediglich der 'ADC-DMUX' wird auf einen bestimmten Adressbereich abgebildet und gegebenenfalls durchgeschaltet. Zur Kommunikation nach außen ist die Konfiguration neben dem 'Event-Buffer' als zweites Gerät an den globalen E/A-Bus angeschlossen. Beide fungieren hierbei als 'Clients', ihre Ausgabe auf den 32Bit breiten Datenausgabebus wird **geodert**, ein nicht angesprochenes Gerät gibt konstante Nullen aus. Die Konfiguration wird in Kapitel 6.4 besprochen.

Die Teile des Designs arbeiten jeweils synchron. Als Taktsignale werden von außen ein kontinuierliches und das des globalen E/A-Busses übergeben. Während das letztere an die Konfiguration, den 'Event-Buffer' und den 'ADC-DMUX' gesendet wird, ist das kontinuierliche ausschließlich für den 'ADC-DMUX' vorgesehen. Es wird dort genutzt, um die zwei langsamen Taktsignale des Design (10MHz anstatt 120MHz) zu erzeugen: Das Filtertaktsignal ist für den Filter und den langsamen Teil des 'Event-Buffers' (Schreiben) zuständig, das Preprozessortaktsignal für den Preprozessor und den 'Bin-Timer'.

Kapitel 4

Das Filter im Digitalen Frontend

4.1 Allgemeine Betrachtungen

4.1.1 Signalentstehung im Detektor

Dieses Kapitel orientiert sich eng an der Beschreibung des Übergangsstrahlungsdetektors (vgl. 2.3). Alle Betrachtungen beziehen sich im Folgenden auf eine Pad-Reihe eines Segments. In guter Näherung sind die nachzuweisenden Spurbahnschnitte hier als zweidimensionale Gebilde zu betrachten, da das Interesse ausschließlich Teilchen mit großem Transversalimpuls gilt. Durch die Unterteilung der Kammer mittels der Höhe der Kathodenpads von 8,5cm entspricht die Abbildung auf den zweidimensionalen Raum einer Faltung mit einer entsprechend breiten Rechteckfunktion und anschließender Abtastung. Die verbleibenden Dimensionen sind die Pad-Richtung (ϕ -Richtung) und die Feld-Richtung der Driftkammer (r -Richtung). Diese Abbildung wird hierbei als gegeben vorausgesetzt, ihre Konsequenzen werden hier nicht weiter verfolgt.

Ausgangspunkt der nun zweidimensionalen Betrachtung ist der Mittelpunkt einer Ionisationswolke, die durch ein geladenes Teilchen oder ein Photon hervorgerufen wird. Er werde durch einen Deltapuls $\delta(\phi, r)$ dargestellt. Die Elektronen dieser Wolke driften mit konstanter Geschwindigkeit (Driftregion, 'Drift-Region') auf einen Anodendraht zu (Verstärkungsregion, 'Amplification-Region'), wo die so genannte Gasverstärkung stattfindet, eine Vergrößerung der Signalamplitude um einen Faktor von $\sim 10^3$ durch das radial stark anwachsende Feld des Drahts.

Dabei wird eine Elektronenlawine gebildet, die über den Anodendraht abfließt. Hierdurch wird das Volumen um den Draht, in dem die Lawine entstanden war, positiv geladen, die langsamen Ionen driften entgegen der Elektronenrichtung aus der Verstärkungsregion heraus. Diese positiven Ionen werden nun nachgewiesen. Da das Davondriften der Ionen einen zeitlichen Ablauf aufweist, der in der Größenordnung der Dauer der Bewegung der Elektronen in der Driftregion liegt wird das Signal entsprechend verändert. Die zugehörige Abbildung sei F_{Tail} , sie

wird in 4.6 genauer betrachtet.

Der Nachweis der positiven Ionen erfolgt durch die induzierte Ladung auf den hinter dem Anodendraht liegenden Kathodenpads. Dabei wurden diese so dimensioniert, dass neben dem am nächsten gelegenen Pad nur noch maximal ein Nachbar pro Seite ein messbares Signal erhält. Die dazugehörige Ladungsaufteilung zwischen den Pads wird durch die so genannte Pad–Antwort–Funktion (‘Pad–Response–Function’, PRF) beschrieben. Die entsprechende Abbildung des Signals wird im Folgenden G_{PRF} genannt. Sie wird in Kapitel 5 nochmals aufgegriffen.

Die Kathodenpads weisen mit einer Fläche von $6mm^2$ nicht nur eine große Kapazität gegenüber der Erdung (25pF), sondern auch gegeneinander (6pF) auf. Daher werden in den Pads nicht nur die Ladungsteile gemäß der PRF gemessen, sondern auch Einkopplungen aus den Nachbarpads. Die Abbildung F_{Xtalk} beschreibt dieses Verhalten. Näheres dazu ist in 4.7 zu finden.

Die Ladungen der Kathodenpads werden nun durch einen ladungsempfindlichen Vorverstärker mit anschließendem Signalformer (‘Preamplifier and Shaper’, PASA) aufbereitet. Dabei wird das Signal zur analogen Verstärkung um einen Sockelwert erhöht. Die entsprechende Abbildung $F_{ped.}$ wird in 4.4 erläutert.

Die lineare Verstärkung (und Umwandlung in eine Spannung) des Signals wird von F_{gain} dargestellt und ist Thema von 4.5. Der nichtlineare Anteil der Verstärkung der Analogelektronik $F_{nonlin.}$ wird in 4.3 besprochen.

Schließlich findet die Umwandlung des asynchronen Analogsignals in ein synchrones und digitales statt. Der Informationsverlust der Digitalisierung wird durch die Tatsache relativiert, dass das Rauschen in der Größenordnung einer Digitalisierungsstufe (‘Least–Significant–Bit’, LSB) liegt. Das Erscheinen eines asynchronen Signals ist auf eine Abtastung (10MHz) rückführbar und bewirkt eine spektrale Begrenzung des Signals (‘Shannonsches Abtasttheorem’). Bei zu hohen Frequenzbestandteilen des Signals treten Aliasing–Effekte auf. Die Grenzfrequenz (Nyquestfrequenz ν_N) des Systems liegt bei der halben Abtastrate, also bei $\nu_N = 5MHz$.

Der Signalweg von der Ladungswolke bis zur Digitalelektronik wird durch die Abbildung A beschrieben:

$$A = F_{nonlin.} \circ F_{gain} \circ F_{ped.} \circ F_{Xtalk} \circ G_{PRF} \circ F_{Tail} \quad (4.1)$$

Da sich alle Operationen ausser $F_{nonlin.}$ linear verhalten läßt sich die Reihenfolge nach gewissen Wünschen gestalten. F_{gain} und $F_{ped.}$ dürfen dabei allerdings nicht mit F_{Xtalk} vertauscht werden, da sie im Gegensatz hierzu nicht translationsinvariant in ϕ –Richtung sind und F_{Xtalk} nicht nur Werte aus einem Kanal verwendet. Gleichung 4.1 geht dann über in:

$$A = F_{nonlin.} \circ F_{ped.} \circ F_{gain} \circ F_{Tail} \circ F_{Xtalk} \circ G_{PRF} \quad (4.2)$$

Von den in *A* enthaltenen Abbildungen ist nur G_{PRF} von Interesse. Weil die Auslastung des Detektors ('Occupancy') gering ist kann es im Preprozessor dazu benutzt werden, die Position der Ladungswolke (Cluster) genauer als eine Padbreite zu berechnen (Kapitel 5).

Die anderen Abbildungen stellen entweder unerwünschte Korrelationen der Signale in *r*-Richtung (F_{Tail} , F_{Xtalk}), Inhomogenitäten in der Signalverstärkung ($F_{ped.}$, F_{gain}) oder eben Abweichungen vom angestrebten linearen Verhalten des Gesamtsystems ($F_{nonlin.}$) dar. Das Digitale Filter D sollte daher die Einflüsse dieser Abbildungen möglichst klein halten:

$$D \circ A = G_{PRF} \tag{4.3}$$

$$\Leftrightarrow D = F_{Xtalk}^{-1} \circ F_{Tail}^{-1} \circ F_{gain}^{-1} \circ F_{ped.}^{-1} \circ F_{nonlin.}^{-1} \tag{4.4}$$

Die fünf verschiedenen Inversen, die gemäß Gleichung 4.4 auftreten, gehen als logisch getrennte Stufen in das Filter ein.

4.1.2 Aufbau des Filters

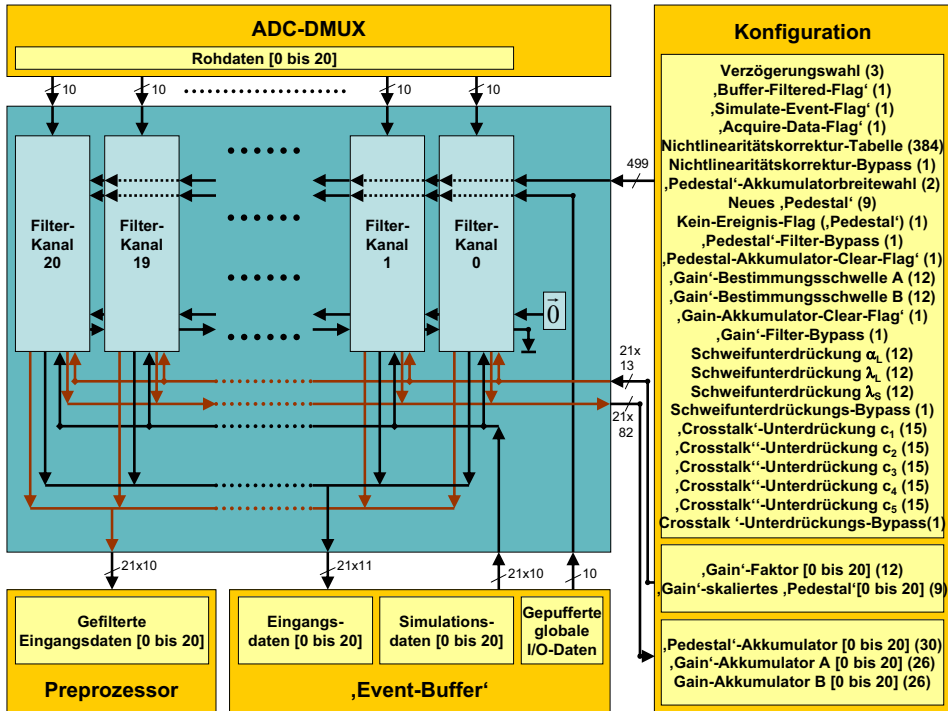


Abbildung 4.1: Das Digitale Filter

Das digitale Filter bearbeitet 10bit-Eingangsdaten in 21 gleichen Kanälen (vgl. Abb. 4.1). Um die Rundungsfehler klein zu halten wurden bei den Aus-

gabedaten zwei Nachkommastellen hinzugefügt. Diese Genauigkeit wird ebenso zwischen den fünf verschiedenen Filterstufen in jedem Kanal genutzt. Diese sind die Nichtlinearitäts-, 'Pedestal'-, und die 'Gain'-Korrekturfilter sowie die Ionenschweif- und die 'Crosstalk'-Unterdrückungsfilter (vgl. Abb. 4.2). Jede Filterstufe verfügt über einen eigenen Bypass und kann damit aus dem Signalweg ausgeblendet werden.

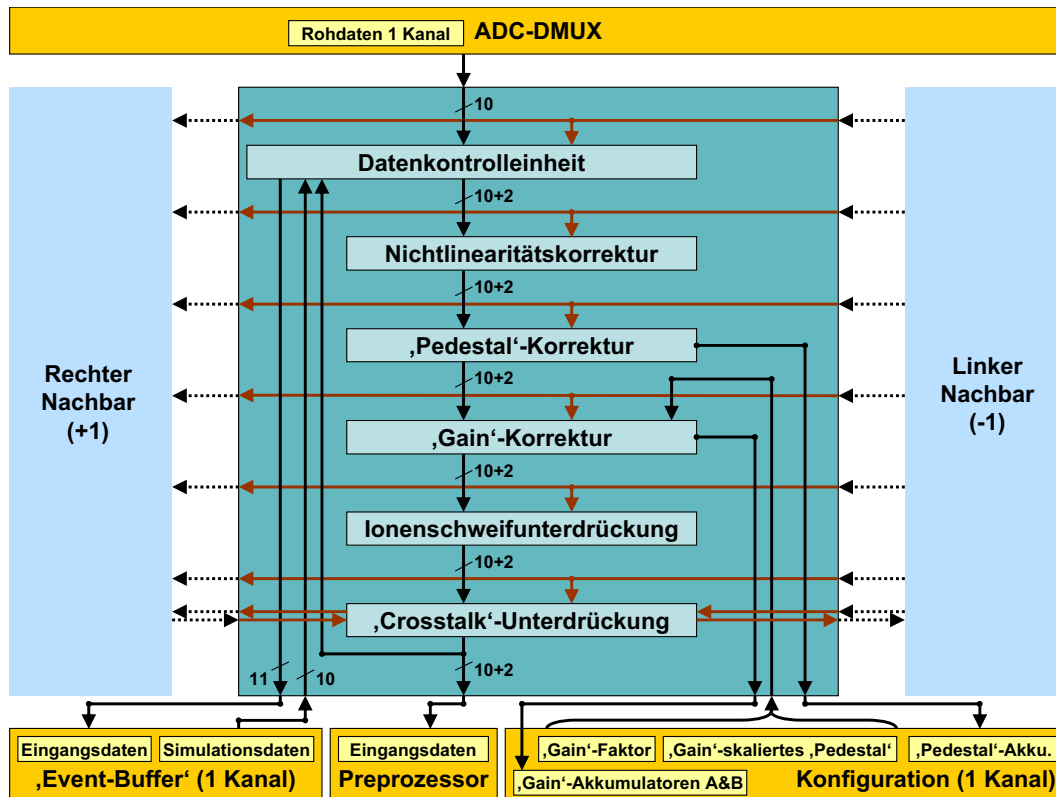


Abbildung 4.2: Ein Filterkanal

Unmittelbar vor den Filterstufen befindet sich eine Datenkontrolleinheit. Diese ist ebenso wie die einzelnen Filterstufen in gewissen Grenzen mittels bestimmter Parameter konfigurierbar. Zum einem sind diese separat für jeden Filterkanal ('Gain'-Korrekturfaktor, und -'Pedestal'-Skalierungsabweichung), zum Großteil jedoch gemeinsam genutzt (vgl. Abb. 4.1 oben rechts). Die gemeinsam genutzten Parameter werden vom Konfigurationsmodul (vgl. 6.4) an Kanal Nummer 0 übergeben und von dort aus von Nachbar zu Nachbar bis zur Nummer 20 weitergereicht. Einige Filterstufen beinhalten Akkumulatoren ('Gain'- und 'Pedestal'-Korrektur), die für jeden Kanal mittels des Konfigurationsmoduls auslesbar sind.

Die Rohdaten der ADCs werden vom dazugehörigen Filterkanal entgegengenommen. Dieser leitet die gefilterten Daten an den Preprozessor weiter und übergibt je nach Konfiguration und Zustand bestimmte Daten an den Event-Buffer.

Die einzige Komponente, die Informationen zwischen benachbarten Kanälen austauscht, ist der Crosstalk-Unterdrückungsfilter: Zu und von jedem der beiden Nachbarn werden jeweils ein 15bit-Vektor übergeben bzw. empfangen. Die außen liegenden Kanäle empfangen jeweils konstante Nullen.

4.2 Die Datenkontrolleinheit

Die Datenkontrolleinheit ist nicht nur für die Steuerung der Eingangsdaten zum Filter verantwortlich sondern auch für die der Daten des Event-Buffers (vgl. Abb. 4.3). Zunächst durchlaufen die ADC-Daten eine zwischen 1 und 6 Takten (100 bis

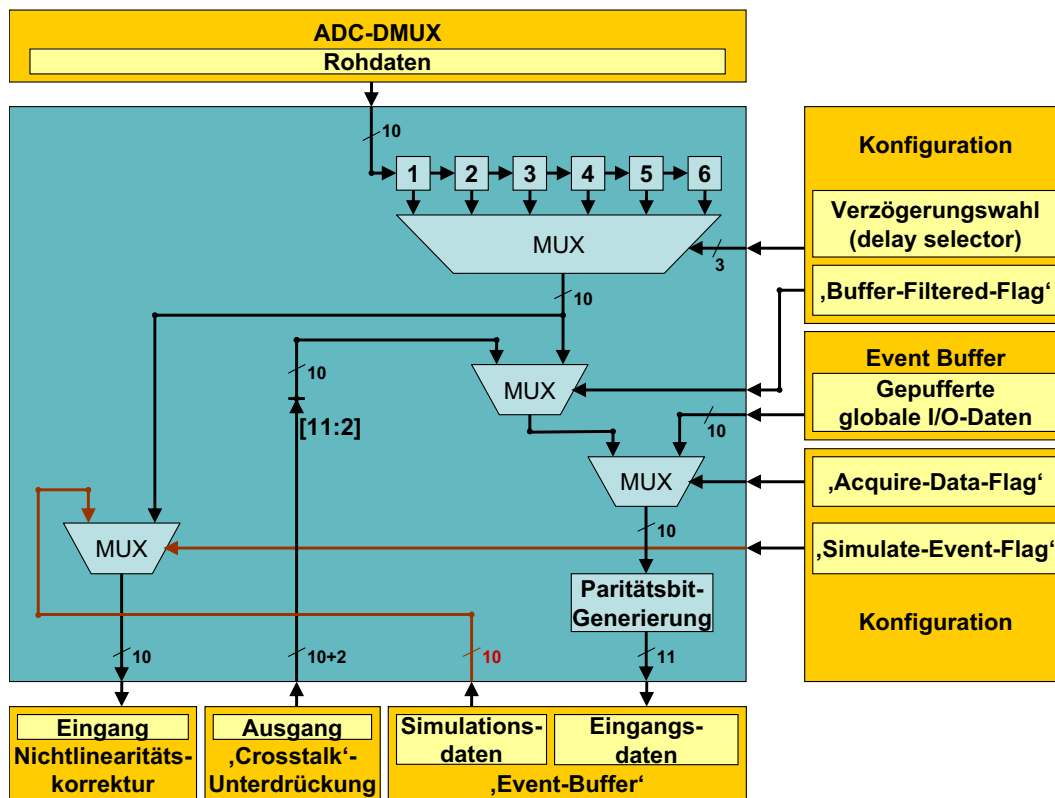


Abbildung 4.3: Die Datenkontrolleinheit

600ns) andauernde wählbare Verzögerung ('Delay-Selector'), die der Kompensation einer möglichen Verzögerung seitens des Auslösens des 'Pretrigger-Signals' dient. Zum Testen des Filters und des Preprozessors ist es möglich, in das Filter alternativ zu den verzögerten Rohdaten ein Ereignis aus dem Event-Buffer auszulesen und bearbeiten zu lassen. Dies wird mittels des 'Simulate-Event-Flags' ('low-active') während der Ereignisphase gesteuert.

Auch für den Event-Buffer gibt es mehrere Datenquellen: Solange kein Ereignis stattfindet, liegen gepufferte Daten vom globalen I/O-Bus am Speicher an. Dieser Zustand wird durch das inaktive 'Acquire-Data-Flag' ('low-active') angezeigt. Ist dieses aktiv, d.h. findet ein Ereignis statt, so besteht die Wahl, entweder die verzögerten Rohdaten direkt oder die durch das Filter errechneten Werte zu speichern. Die Entscheidung hierüber wird mit Hilfe des 'Buffer-Filtered-Flags' ('low-active') getroffen. Das ist insbesondere dann sinnvoll, wenn das Filter getestet und mit Daten aus dem Event-Buffer betrieben wird.

4.3 Nichtlinearitätskorrektur (*'Nonlinearity-Correction'*)

4.3.1 Erwartete Nichtlinearität

Die Nichtlinearität der Signalgewinnung innerhalb des Detektors setzt sich aus der der Gasverstärkung, des PASAs und der ADCs zusammen. Dabei ist jedoch nur der Beitrag des PASAs signifikant.

Die Nichtlinearität des PASAs ist systematischer Natur und kann daher in guter Näherung für alle Kanäle eines Chips gleichermaßen vorgenommen werden. Aus Simulationen und Messungen ist ihr Verhalten bekannt ([pasa0]). Die Differenz zwischen dem Ausgang des PASAs und einem idealisierten linearen Verhalten ist dabei auf ~ 2 Digitalisierungseinheiten ('Least-Significant-Bit', LSB) begrenzt und ändert sich nur langsam mit der Signalamplitude (vgl. Abb. 4.4).

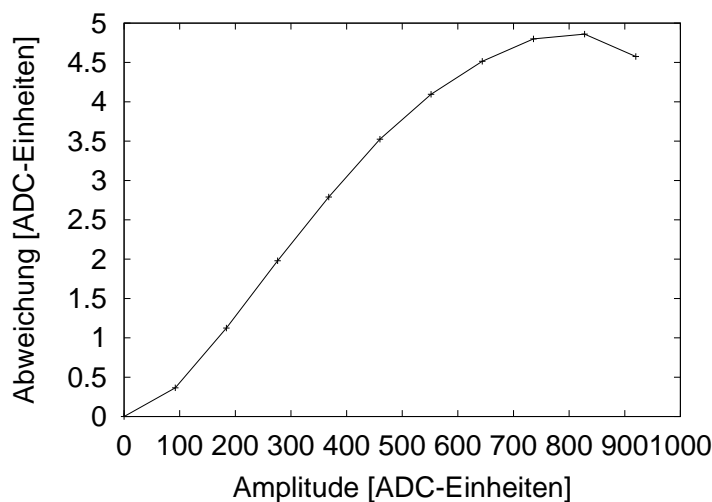


Abbildung 4.4: Durch die Nichtlinearität verursachte Abweichung des Verhaltens des PASAs von einem linearen ($\frac{\partial V}{\partial Q} = 12,264 \frac{mV}{fC}$, $1ADC - Einheit \sim 2,0mV$) ([pasa0])

Diese Abweichungen werden in einer Tabelle ('Look-Up-Table', LUT) gespeichert, die über den globalen E/A-Bus zugänglich ist. Aufgrund der oben beobachteten Begrenzung können die Einträge in der Tabelle auf vier Vorkommat

beschränkt werden. Zur Verringerung numerischer Fehler sind die Einträge um zwei Nachkommabits ergänzt worden:

$$A(t) = E(t) \cdot 4 + LUT\left(\frac{E(t)}{16}\right) \quad (4.5)$$

Der nur langsam veränderlichen Abhängigkeit von der Signalamplitude wird durch eine Komprimierung der LUT Rechnung getragen: So können die Korrekturen zu jeweils 16 Amplituden zusammengefasst werden (vgl. Abb. 4.4).

4.3.2 Architektur

Das Nichtlinearitätskorrekturfilter entscheidet für jeden der 10Bit–Eingangswerte, welchem wahren Wert bei linearer Verstärkung des PASAs dieser entsprochen hätte (vgl. Abb. 4.5). Zu diesem Zweck existiert im globalen Adressraum eine

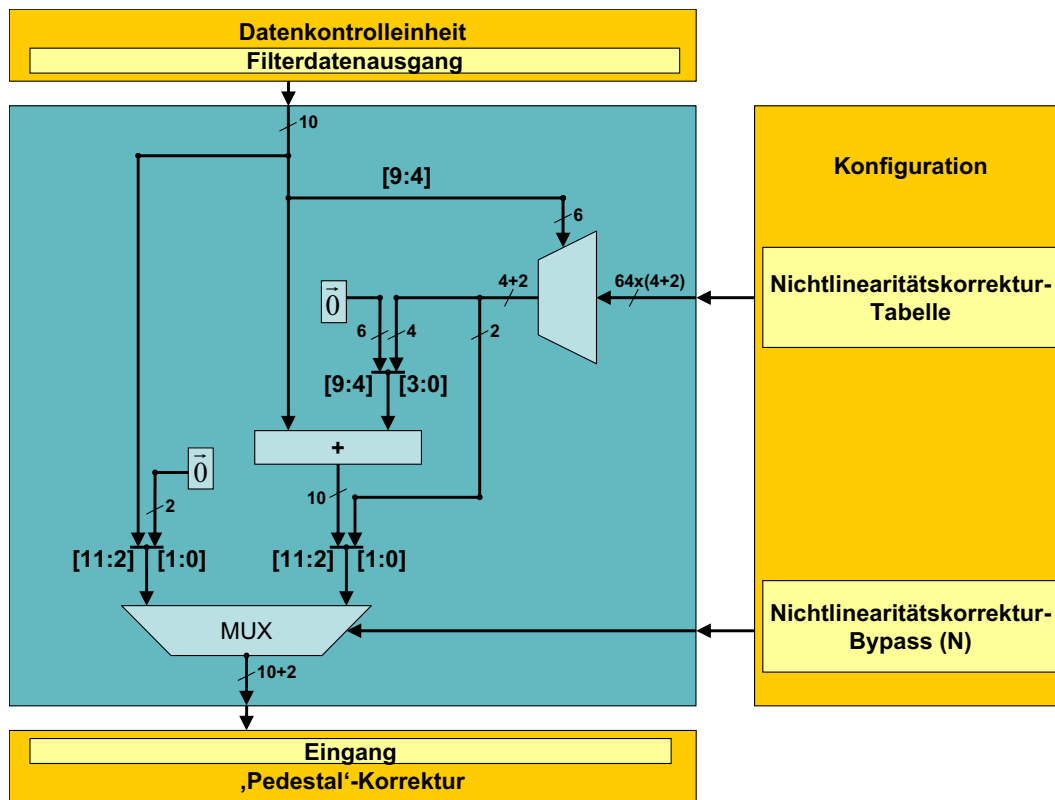


Abbildung 4.5: Das Nichtlinearitätskorrekturfilter

Tabelle, die die entsprechenden, allen Kanälen gemeinsamen, kleinen Abweichungen beinhaltet (Nichtlinearitätskorrektur-LUT). Zur Darstellung der Korrektur stehen Zahlen mit vier Bitstellen vor und zwei Bitstellen nach dem Komma zur Verfügung. Es ist keine individuelle Korrektur für jeden Wert vorhanden, sie

wird vielmehr für jeweils 16 Werte zusammengefasst. Die LUT hat daher eine Größe von $\frac{2^{10}}{16} \cdot (4 + 2) = 384 \text{Bit}$. Daher werden bei der Korrektur die oberen sechs Bit (Nummer 3 bis 9) des Eingangswertes zur Adressierung innerhalb der LUT verwendet. Der dort gefundene Wert wird addiert (obere vier Bit) bzw. als Nachkommaanteil hinzugefügt (untere zwei Bit). Das Abfangen eines möglichen Überlaufs ('Wrapping') findet nicht statt. Ein Multiplexer ermöglicht das Umgehen dieser Filterstufe (Nichtlinearitätskorrektur-Bypass, 'low-active').

4.4 Sockelwertkorrektur (*'Pedestal-Correction'*)

4.4.1 Schwankungen der Sockelspannung

Um innerhalb der Analogelektronik die Polarität der Signale (Spannungen) gleich zu halten, werden zur Sicherheit kleine Sockelspannungen eingeführt. Diese werden innerhalb der Schaltungen aus der Versorgungsspannung erzeugt. Daher ergeben sich Schwankungen dieser Spannungen aus den Variationen der Prozessparametern bei der Produktion. Der zu erwartende Sockelwert liegt bei 30 LSBs ([pasa0]).

Da keine Erfahrungswerte für die Schwankungen vorliegen wurde die Möglichkeit der Korrektur einer Schwellenspannung von bis zu $2^7 - 1 = 127 \text{LSB}$ vorgesehen. Der individuelle Sockelwert jedes Kanals wird außerhalb von Ereignissen automatisch ermittelt. Neben dem Abziehen des kanalspezifischen Sockelwertes wird die Addition einer allen Kanälen gemeinsamen Konstante ermöglicht.

4.4.2 Dynamische Sockelwertbestimmung

Der Sockelwert eines Signals f_t ist dem Wert $\hat{f}(\omega = 0)$ der Fouriertransformierten äquivalent. Das Filter zur Bestimmung des konstanten Anteils sollte daher einer Deltafunktion $\delta(\omega)$ möglichst nahe kommen. Im vorliegenden Fall wurde ein Relaxationsfilter konstruiert. Die verwendete Rekursion lautet:

$$R : A_t = \lambda \cdot A_{t-1} + (1 - \lambda) \cdot E_t \quad (4.6)$$

Dabei ist $0 \leq \lambda < 1$ die Relaxationskonstante, E_t die Eingabe und A_t die Ausgabe des Filters. Die Impulsantwort des Filters P_t ist dessen Antwort auf einen Deltapuls δ_t . Sie lautet:

$$P_t = \mathbf{1}_{(t \geq 0)} \cdot (1 - \lambda) \cdot \lambda^t \quad (4.7)$$

Das ist ein exponentielles Abklingen nach einem Sprung von 0 auf $(1 - \lambda)$ bei $t = 0$. Wenn man $\lambda = e^{-\kappa}$ setzt, erhält man:

$$P_t = \mathbf{1}_{(t \geq 0)} \cdot \frac{1 - \lambda}{\kappa} \cdot \kappa \cdot e^{-\kappa \cdot t} \quad (4.8)$$

$$\hat{P}(\omega) = \frac{1 - \lambda}{\kappa} \cdot \frac{1}{1 + \frac{i\omega}{\xi\kappa}} \quad (4.9)$$

Hierbei ist $\hat{P}(\omega)$ der Frequenzgang des Filters, ξ die Abtastrate (10MHz). Diese Gleichungen lassen sich mit $1 - \lambda \rightarrow 0$ nähern. Es gilt dann $\kappa \rightarrow 0$ und $\lambda \approx 1 - \kappa$. Die Rechtfertigung dieser Näherung ergibt sich weiter unten. Gleichung 4.8 bzw. 4.9 nehmen damit ihre endgültige Form an:

$$P_t = \mathbf{1}_{(t \geq 0)} \cdot \kappa \cdot e^{-\kappa \cdot t} \quad (4.10)$$

$$\hat{P}(\omega) = \frac{1}{1 + \frac{i\omega}{\xi\kappa}} = \frac{1}{1 + \frac{i\omega}{\xi(1-\lambda)}} \quad (4.11)$$

Der Frequenzgang skaliert linear mit $1 - \lambda$. Die Annäherung an die Deltafunktion kann anhand von Abbildung 4.6 für vier verschiedene Werte von λ beobachtet werden. Zur Charakterisierung dient die Frequenz $\bar{\nu} = \frac{\bar{\omega}}{2\pi}$, bei der die Trans-

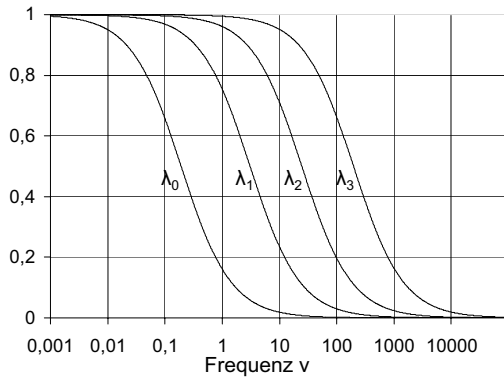


Abbildung 4.6: Frequenzgang der Sockelwertbestimmung bei verschiedenen Relaxationskonstanten λ

ferfunktion auf $|\hat{P}(\bar{\omega})| = \frac{1}{e}$ abgefallen ist und die Relaxationszeit $\tau = \frac{1}{\xi\kappa}$. Es gilt:

$$\bar{\nu} = \frac{\xi}{2\pi} (1 - \lambda) \sqrt{e^2 - 1} \quad (4.12)$$

In Tabelle 4.1 sind die Kenngrößen für die vier verschiedenen Werte von λ aufgeführt, die implementiert und bereits in Abbildung 4.6 verwendet wurden.

$1 - \lambda$	τ [ms]	τ [Takte]	$\bar{\nu}$ [Hz]	Auswahlnummer
2^{-13}	0,82	8.192	491,1	0
2^{-16}	6,55	65.536	61,4	1
2^{-19}	52,43	524.288	7,7	2
2^{-23}	838,86	8.388.608	0,5	3

Tabelle 4.1: Kenndaten zum Sockelwertbestimmungsfiler bei vier verschiedenen Relaxationskonstanten. Die Auswahlnummer werden in 4.4.3 eingeführt.

4.4.3 Architektur

Das Sockelwertkorrekturfilter bestimmt dynamisch den Sockelwert ('Pedestal') innerhalb jeden Kanals und ersetzt diesen durch einen allen Kanälen gemeinsamen, frei einstellbaren (vgl. Abb. 4.7). Für den Signalweg bedeutet dies, dass zunächst der eingestellte Sockelwert ('New-Pedestal', 7 Vor- und 2 Nachkommabit) zum Eingangswert addiert wird. Das Ergebnis wird dabei durch einen größeren Bitvektor ($11 + 2\text{Bit}$) ausgedrückt, um Überläufe zu vermeiden. Im Anschluss daran wird der für diesen Kanal bekannte Sockelwert abgezogen. Überläufe werden hier nicht abgefangen. Am Ende befindet sich ein Multiplexer zur Umgehung der Sockelwertkorrektur ('Pedestal-Correction-Bypass', 'low-active').

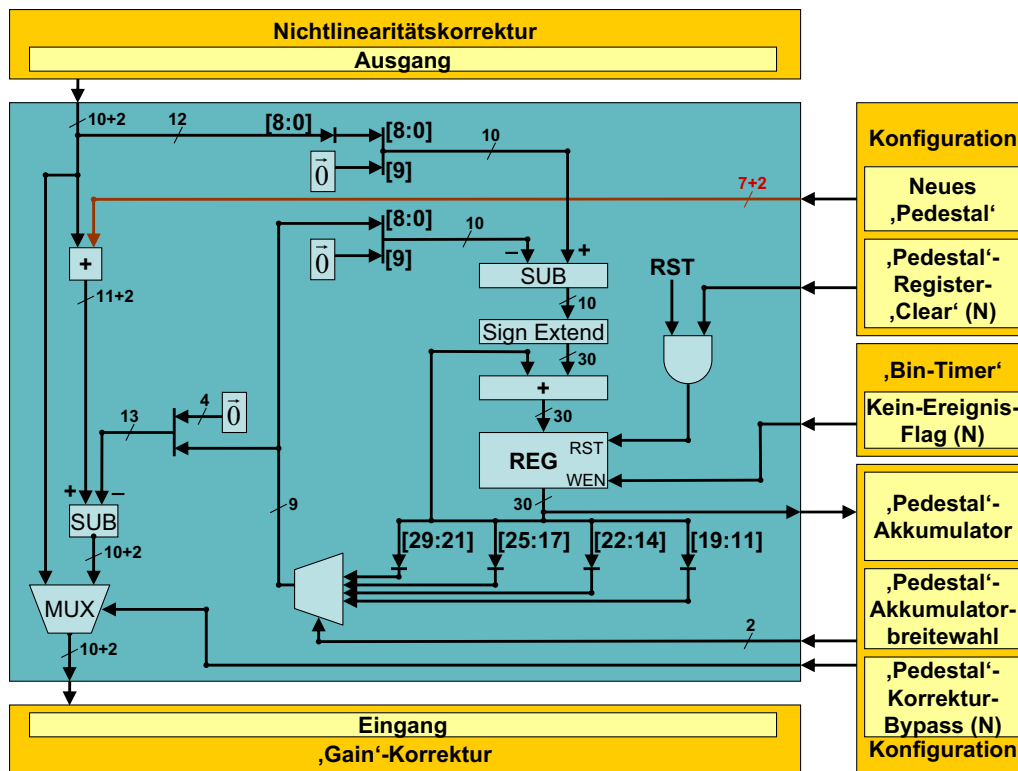


Abbildung 4.7: Das Sockelwertkorrekturfilter

Der Sockelwert eines Kanals wird außerhalb von Ereignissen dynamisch bestimmt und ist über den globalen E/A-Bus nur lesbar ('Pedestal-Akkumulator'). Die zu nutzende Größe des Akkumulators von 20, 23, 26 oder 30 Bit wird durch die Konfiguration festgelegt ('Pedestal-Akkumulatorbreitewahl'). So ergibt sich der Wert des aktuellen gespeicherten 'Pedestals' aus dem des Akkumulators durch Division mit 2^{13} , 2^{16} , 2^{19} bzw. 2^{23} modulo 128. Dabei wird davon ausgegangen, dass der Sockelwert kleiner als $2^7 = 128$ ist. Die Größe des verwendeten Akkumulators wirkt sich vor allem auf das zeitliche Verhalten des Filters aus.

Während jeden Taktes, der nicht zu einem Ereignis gehört (Kein-Ereignis-Flag, 'low-active'), wird der so gespeicherte Sockelwert aktualisiert: Vom gegebenen Kanalwert (modulo 128) wird das derzeitige 'Pedestal' (s.o.) abgezogen. Beide positiven Werte werden hierzu in vorzeichenbehaftete Darstellungen mit je acht Vorkomma- und zwei Nachkommabit gebracht. Das ebenfalls vorzeichenbehaftete Ergebnis aus $8 + 2 = 10\text{Bit}$ wird dann vorzeichentreu auf 30 Bit erweitert, um es mit dem aktuellen Akkumulatorwert, der dieselbe Breite hat, zu addieren. Das Ergebnis stellt den neuen Wert des Akkumulators dar. Dieser lässt sich mittels eines Konfigurationsbits ('Pedestal-Akkumulator-Clear', 'low-active') zu Null zwingen.

4.5 Korrektur inhomogener Verstärkung ('Gain-Correction')

4.5.1 Schwankungen der linearen Verstärkung

Die Schwankungen in der linearen Verstärkung der detektierten Ladungen können von mechanischen Abweichungen im Detektor wie z. B. dem Durchhängen der Anodendrähte, Inhomogenitäten der Hochspannung im Detektor, der Analogelektronik oder den ADCs herrühren. Während die ersten beiden Beiträge vor allem auch im Einflussbereich eines Chips vernachlässigbar sind ([tdr]) gebührt den letzteren das Hauptaugenmerk: Der dynamische Bereich der ADCs skaliert mit dem des Ausgangs der Analogelektronik (PASA). Daher ist die einzige wesentliche Quelle für eine variierende lineare Verstärkung die ladungsempfindliche Vorverstärkung und anschließende Signalformung im PASA. Der zu erwartende Unterschied der

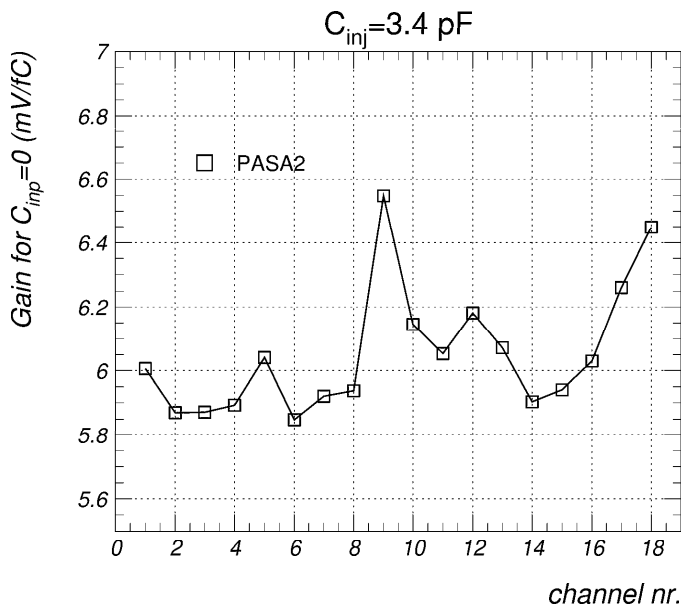


Abbildung 4.8: Verstärkungsfaktoren in verschiedenen Kanälen desselben Chips des PASA-Prototypen ([pasa0])

linearen Verstärkung zweier Kanäle auf einem Chip liegt bei ungefähr 5% ([pasa0], vgl. Abb. Abbildung 4.8). Die Variationen zwischen den Kanälen auf verschiedenen PASA-Chips sind größer. Da hier nur die Signalverhältnisse innerhalb eines Chips betrachtet werden, ist eine Korrektur hiervon an dieser Stelle allerdings nicht nötig. Die Korrektur sollte also eine kanalweise Skalierung um einen Faktor von maximal 1,05 bewerkstelligen. Da das voreingestellte 'Pedestal' (siehe 4.4.3) mitskaliert wird, muss eine der Verstärkungskorrektur entsprechende Konstante addiert werden.

4.5.2 Bestimmung der linearen Verstärkungskorrektur

Die Korrektur erfolgt durch Multiplikation mit einem für jeden Kanal einzeln über den globalen E/A-Bus einstellbaren Faktor. Die Bestimmung dieser Faktoren ist durch ein Programm auf den Prozessoren des 120MHz-Kerns zu bewerkstelligen. Hierzu wird die erwartete Verteilung der Amplituden eines Kanals benutzt (vgl. Abb. 4.9). Diese Verteilung skaliert mit dem Verstärkungsfaktor. Dieser kann be-

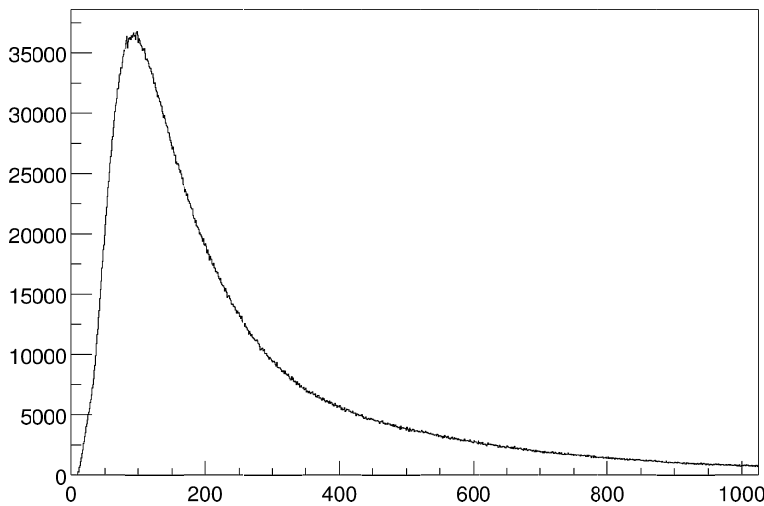


Abbildung 4.9:
Verteilung der
Amplituden
innerhalb eines
Kanals

reits ohne die Kenntnis der genauen Verteilung eines Kanals bestimmt werden: Man vergleicht die Anzahl der Fälle unterhalb und oberhalb einer Schwelle. Mittels einer weiteren Schwelle werden Rauschen und Sockelwert ausgeblendet. Ziel ist es, die Verhältnisse der Zahlen in allen Kanälen anzugleichen. Dieser Prozess kann durchaus mehrere Iterationen durchlaufen. Die Korrektur, die durch die Skalierung des Sockelwertes nötig wird, ist ebenfalls zu berechnen und mittels des globalen E/A-Busses einzustellen:

$Faktor := 1$	Initialisierung
$Verhaeltnis := \frac{ZaehlerA}{ZaehlerB}$	Ein Iterationsschritt
$Faktor := \varrho \cdot Faktor + (1 - \varrho) \cdot Verhaeltnis$, z. B. $\varrho = \frac{1}{2}$	

4.5.3 Architektur

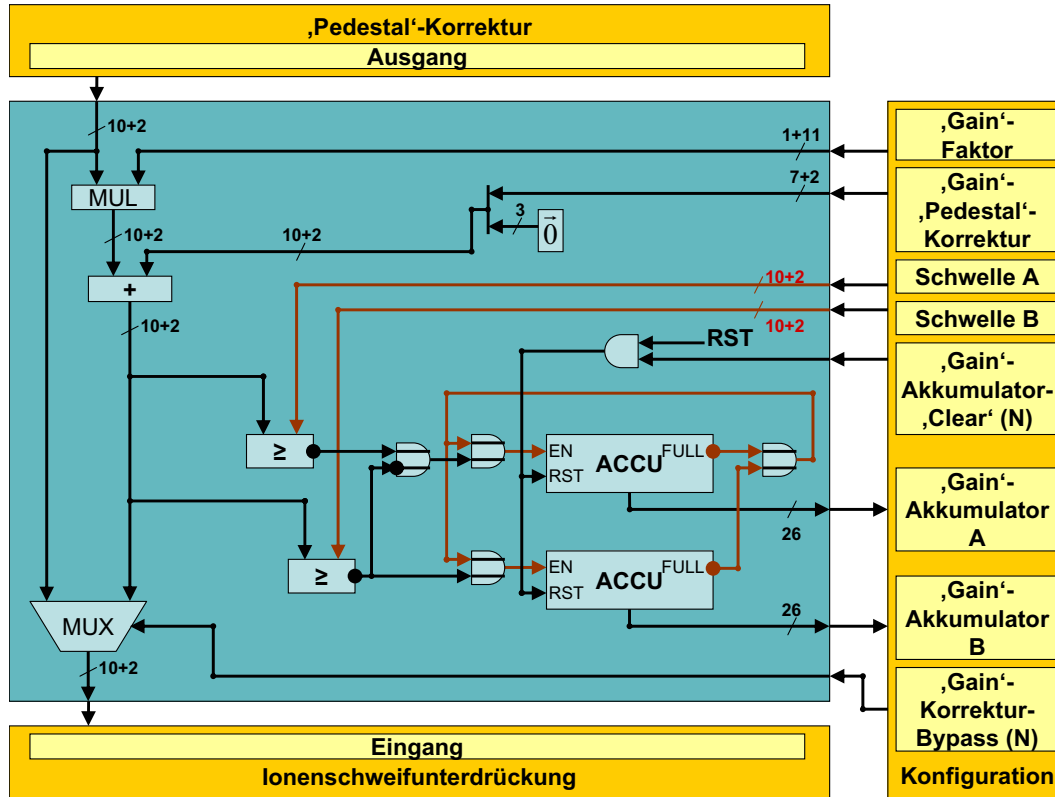


Abbildung 4.10: Das Filter zur Korrektur inhomogener Verstärkung

Das Filter zur Korrektur inhomogener Verstärkung besteht im Wesentlichen aus einem Multiplikator und einem anschließenden Addierer (vgl. Abb. 4.10). Sowohl der Multiplikationsfaktor als auch der Summand sind für jeden Kanal separat mittels des globalen E/A-Busses einstellbar. Aus dem dort vorzugebenden 7Bit-Vektor ergibt sich der Korrektur-Faktor durch Addition des 2^{-11} -fachen zu einer Eins mit 11 binären Nachkommastellen. Damit ist dieser Faktor auf den Bereich zwischen 1 und $1 + 2^{-4} - 2^{-11} \approx 1,062$ beschränkt. Das Ergebnis der Multiplikation wird wieder durch zehn Vorkomma- und zwei Nachkommastellen ausgedrückt, Überläufe ('Wrapping') werden nicht abgefangen.

$$\boxed{1,0000P_6P_5P_4P_3P_2P_1P_0}$$

(Korrekturfaktor, binär)

Der Summand besteht aus maximal vier Vorkomma- und zwei Nachkommabits und ist für die Korrektur des in der vorigen Filterstufe addierten und nunmehr mitskalierten 'Pedestals' gedacht. Er erreicht diese Stufe bereits um drei

führende Nullen erweitert. In diesem Modul wird er nun auf dieselbe Breite wie die des Ergebnisses der Multiplikation gebracht und dann mit diesem addiert. Auch hier findet kein Abfangen eines Überlaufes statt. Zuletzt befindet sich auch in dieser Stufe ein Multiplexer, der eine Umgehung ermöglicht ('Gain-Correction-Bypass', 'low-active').

Zur Bestimmung des individuellen Verstärkungsfaktors sind zwei 30Bit breite Zähler vorgesehen, deren Inhalt sich im über den globalen E/A-Bus auslesen lässt. Sie werden von zwei Komparatoren angesteuert, die den korrigierten Wert, also das Ergebnis obiger Addition, mit zwei einstellbaren Schwellen ('Gain-Threshold' A und B) vergleichen. Zähler A wird um eins erhöht, wenn der Wert oberhalb der ersten aber unterhalb der zweiten Schwelle liegt. Zähler B zählt weiter, wenn das Signal die zweite Schwelle übersteigt. Beide Zähler lassen ihren Inhalt unverändert, wenn einer von ihnen die maximal darstellbare Zahl ($2^{26} - 1$) erreicht hat. Sie lassen sich durch ein Konfigurationsbit auf Null setzen ('Gain-Counter-Clear', 'low-active').

4.6 Ionenschweifunterdrückung (*'Ion-Tail-Cancellation'*)

4.6.1 Ionenschweifbildung bei der Gasverstärkung

Am zylindersymmetrischen Feld des Anodendrahts des Übergangsstrahlungsdetektors findet die so genannte Gasverstärkung statt: Die Ladungswolken (Elektronen) bewegen sich aus dem Driftbereich in die Verstärkungsregion und dann auf den Draht zu (s. 2.3). Infolge der in der Nähe des Drahtes erfahrenen Beschleunigung steht genügend Energie zur Freisetzung weiterer Elektronen aus dem Gas zur Verfügung. Dieser Prozess wiederholt sich mit den Ladungsträgern viele Male, so dass eine Elektronenlawine ausgelöst wird, die über den Anodendraht abfließt (vgl. Abb. 4.11). Gemessen wird allerdings die Ladung, die auf den Kathodenpads induziert wird. Diese sind $0,75\text{ cm} \times 8,00\text{ cm}$ groß und befinden sich $3,5\text{ mm}$ vom Anodendraht entfernt. Aufgrund ihrer hohen Kapazität von $C_{\text{pad-ground}} = 6\text{ pF}$ reagieren diese allerdings nicht auf die schnellen Elektronen, sondern auf die zurückbleibenden positiv geladenen Ionen. Diese driften entgegen der Richtung der Elektronen, die Stärke der Einkopplung auf die Kathodenpads nimmt mit wachsender Entfernung ab. Hierdurch erfährt das zur Ladung auf den Pads proportionale Messsignal nach einem schnellen Anstieg ein vergleichbar langsames Abklingen.

Da die Anodenspannung mit ca. $1,4\text{ kV}$ vergleichsweise niedrig ist, kann von einem Betrieb der Gasverstärkung im Proportionalbereich ausgegangen werden. Das bedeutet, dass die erzeugten Ionen bzw. freien Elektronen in ausreichend geringer Dichte auftreten und sich gegenseitig nicht beeinträchtigen. Des Weiteren stehen jeder Zeit genügend Gasteilchen zu sich überlagernden Ladungslawinen zur

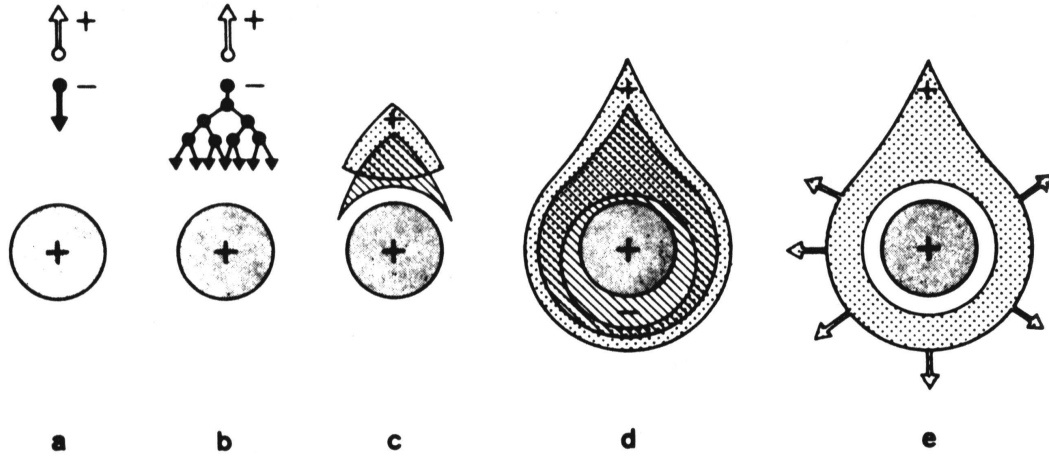


Abbildung 4.11: Gasverstärkung am Anodendraht (nach [kk], S. 100)

Verfügung. Daher kann an dieser Stelle von einer linearen Reaktion des Systems ausgegangen werden. Die lineare Filtertheorie ist daher anwendbar.

4.6.2 Approximation des Ionenschweifs

Nach einem im Vergleich zur Zeitauflösung der nachgestellten Elektronik beliebig schnellen Anstieg des Signals zeigt dieses ein allmähliches Abklingen. Das legt die Näherung durch die Summe von Exponentialfunktionen nahe:

$$S(t) = \mathbf{1}_{(t \geq 0)} \cdot \sum_{n=1}^N \alpha_n e^{-\kappa_n t} + R_N(t) \quad (4.13)$$

Diese Funktion ist nicht direkt beobachtbar. Stattdessen muss man die Faltung dieser Funktion mit der Antwortfunktion des PASAs verwenden (vgl. Abb. 4.12). Es gibt nun die Möglichkeit, die Impulsantwort des separaten PASAs zu messen und eine Faltung von deren Inversen und der Gesamtantwort vorzunehmen. Die Bildung der Inversen aus Messdaten wurde jedoch nicht weiter verfolgt. Insbesondere bei vollständiger Unterdrückung von Frequenzbestandteilen im Vergleich zum Rauschen ist dies nicht möglich.

Als Alternative bietet sich die Näherung im Sinne der Minimierung eines Fehlermaßes an. Hier wurde eine verwandte Methode verwendet: Nach Modellierung durch eine bestimmte Anzahl von Exponentialfunktionen und die entsprechenden Parameter (α_n, κ_n) wurde die sich daraus ergebende Inverse F_{Tail}^{-1} auf das Signal S angewendet (Faltung). Da sich die ideale Antwort des PASAs gaußförmig verhält, wurde die Abweichung des Ergebnisses der obigen Faltung von einer Gaußkurve $G_{t_0, \sigma}(t) = \frac{1}{\sigma\sqrt{2\pi}} \cdot e^{-\frac{(t-t_0)^2}{2\sigma^2}}$ bestimmt. Hierzu wurde ein quadratisches Fehlermaß

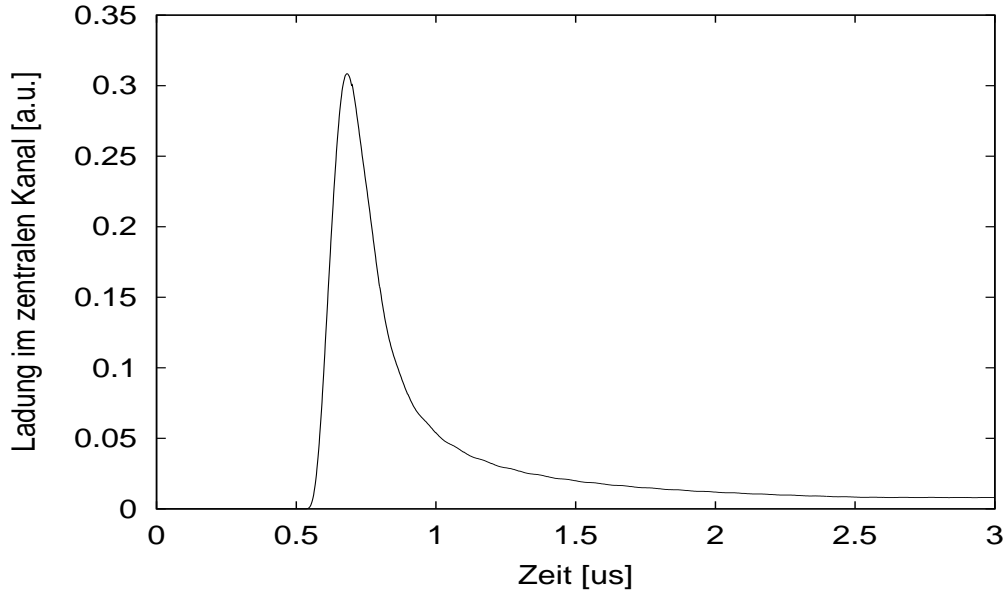


Abbildung 4.12: Impulsantwort der Gasverstärkung bezüglich eines isolierten Kathodenpads

verwendet:

$$\tilde{E}(t_0, \sigma, \{\alpha_n\}, \{\kappa_n\}) = \int ((F_{Tail}^{-1} | S)(t) - G_{t_0, \sigma}(t))^2 dt \quad (4.14)$$

Diese Fehlerfunktion wurde bei fester Breite der Gaußfunktion σ und Anzahl der verwendeten Exponentialfunktionen N minimiert. Variiert wurden dabei die Parametersätze $\{\alpha_n\}_{1 \leq n \leq N}$, $\{\kappa_n\}_{1 \leq n \leq N}$ sowie die relative Lage der Gaußkurve t_0 :

$$E(\sigma, N) = \min_{t_0} \min_{(\alpha_1, \kappa_1)} \dots \min_{(\alpha_N, \kappa_N)} \tilde{E}(t_0, \sigma, \{\alpha_n\}, \{\kappa_n\}) \quad (4.15)$$

Die Modellfehlerfunktion $E(\sigma, N)$ ist in Abbildung 4.13 dargestellt. Dieser liegt

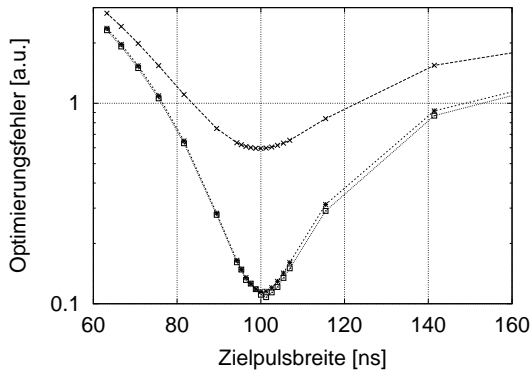


Abbildung 4.13: Das Verhalten der Modellfehlerfunktion für die verwendete Approximation des Ionenschweifs als Funktion der Zielbreite (von oben nach unten: 1, 2, 3 Exponentialfunktionsnäherung)

das zu erwartende Signalverhalten des Detektors zugrunde ([pasa0]). Man erkennt für festes N jeweils ein Minimum um $101ns$, der angestrebten Signalbreite des PASAs. Betrachtet man das Verhalten der Fehlerfunktion mit steigender Zahl von verwendeten Exponentialfunktionen, so erkennt man, dass bereits bei mehr als zwei Beiträgen die Verringerung des Fehlers nur noch bescheiden ausfällt. In Übereinstimmung mit anderen Näherungsmethoden ([bv0]) ist für den vorliegenden Detektor die Approximation durch zwei Exponentialfunktionen ausreichend und findet sich in der Implementierung wieder.

4.6.3 Diskrete Beschreibung

Die Betrachtungen des vorigen Abschnitts vernachlässigen, dass es sich bei den gemessenen und damit auch bei den digital zu bearbeitenden Daten um diskret abgetastete Werte handelt. Dies rechtfertigt sich aus dem Vergleich des Frequenzspektrums des (quasikontinuierlichen) Eingangssignals mit der Abschneidefrequenz der Abtastung (vgl. Abb. 4.14). Daher sind die Betrachtungen des

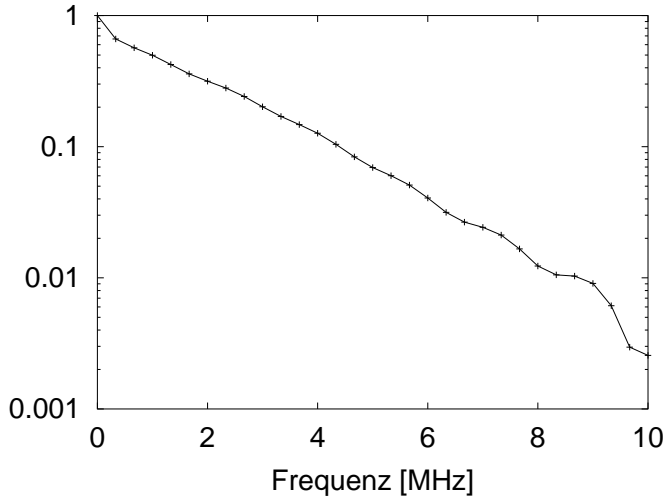


Abbildung 4.14:
Frequenzspektrum
der Detektorant-
wort

quasikontinuierlichen Eingangssignals und der abgetasteten Werte äquivalent. Die Parameteroptimierung im Sinne des vorigen Abschnitts wurde dabei an abgetasteten Signalen vorgenommen:

$$s_{\varphi}(n) = S(n \cdot \Delta t - \varphi) \quad (4.16)$$

Dabei ist $\varphi \in [0, \Delta t[$ die Phase zwischen dem quasikontinuierlichen Signal und der Abtastung, $\Delta t = \frac{1}{\xi}$ deren Intervalllänge. Die Fehlerfunktion \tilde{E} geht dabei über in:

$$\tilde{E}(t_0, \sigma, \{\alpha_n\}, \{\kappa_n\}) = \sum_{n, \varphi} ((F_{Tail}^{-1} | s_{\varphi})(n) - g_{t_0 + \varphi, \sigma}(n))^2 \quad (4.17)$$

F_{Tail}^{-1} bezeichnet nun den diskreten Operator. Es wird zusätzlich über die Phase φ summiert. Die diskrete Summation wird verwendet, weil das Signal nur aus

Messungen mithilfe einer höheren Abtastrate (100MHz bei den Prototypenmessungen, 500MHz bei analogen Simulationen im Vergleich zu 10MHz im Detektor) bekannt ist. Eine Schar abgetasteter Signale ist in Abbildung 4.15 dargestellt. Die unterschiedlichen Phasen zwischen Abtastung und Signal sind durch eine nachträgliche Rückverschiebung berücksichtigt worden.

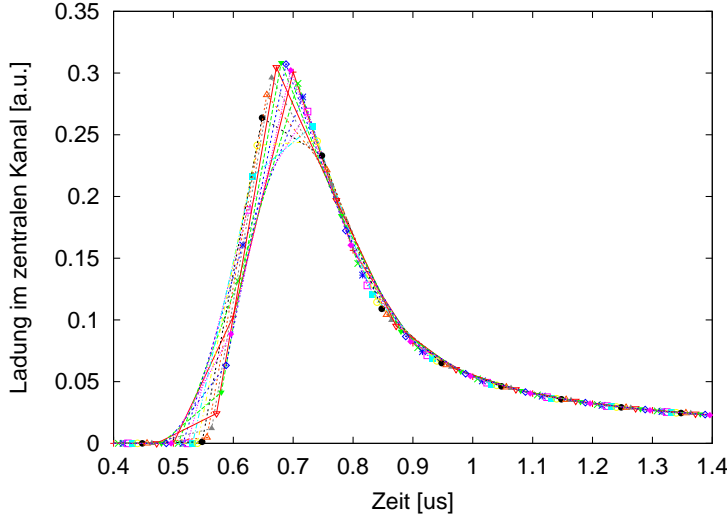


Abbildung 4.15:
Abgetastete
Signale mit variierender
Phasenbeziehung zwischen
Abtastung und
quasikontinuierlichem
Signal.

Die Erzeugung des Ionenschweifs lässt sich als ein Filter mit unendlich ausgehnter Antwortfunktion auffassen ('Infinite-Impulse-Response', IIR). Die Möglichkeit der Approximation durch die Summe von Exponentialfunktionen ermöglicht eine anschauliche rekursive Beschreibungsweise. Eine Exponentialfunktion schreibt sich für $n \geq 0$ mit $\lambda = e^{-\kappa}$ als:

$$\tilde{a}_n = \alpha \cdot \lambda^n \quad (4.18)$$

$$\iff \tilde{a}_n = \lambda \cdot \tilde{a}_{n-1}, \quad \tilde{a}_0 = \alpha \quad (4.19)$$

Die Antwortfunktion eines Filters, die sich durch eine Exponentialfunktion ausdrücken lässt, kann man rekursiv darstellen als:

$$\tilde{a}_n = \lambda \cdot \tilde{a}_{n-1} + \alpha \cdot e_n \quad (4.20)$$

Dabei ist $\{e_n\}$ die Eingangsfunktion. Dieses Konzept lässt sich durch die Einführung von N Hilfsgrößen $\{a_n^{(i)}\}_{1 \leq i \leq N}$ auf Filter erweitern, deren Antwortfunktion sich durch die Summe von N Exponentialfunktionen auffassen lässt:

$$\begin{aligned} a_n^{(1)} &= \lambda^{(1)} \cdot a_{n-1}^{(1)} + \alpha^{(1)} \cdot e_n \\ &\vdots \\ &\vdots \\ a_n^{(N)} &= \lambda^{(N)} \cdot a_{n-1}^{(N)} + \alpha^{(N)} \cdot e_n \end{aligned} \quad (4.21)$$

Die eigentliche Antwortfunktion ergibt sich als:

$$a_n = \sum_{i=1}^N a_n^{(i)} \quad (4.22)$$

Es ist unmittelbar ersichtlich, dass sich ein so definiertes Filter F_{Tail} linear und verschiebungsinvariant verhält und eine Antwortfunktion gemäß Gleichung 4.13 erzeugt.

4.6.4 Diskrete Inversion der Ionenschweifbildung

Das inverse Filter F_{Tail}^{-1} ist ebenfalls ein IIR-Filter und durch einen rekursiven Ansatz erschließbar. Zur Konstruktion der Inversen werden die Gleichungen 4.21 in 4.22 eingesetzt und der erhaltene Zusammenhang nach der Eingangsfunktion aufgelöst:

$$\begin{aligned} a_n &= \sum_{i=1}^N (\lambda^{(i)} \cdot a_{n-1}^{(i)} + \alpha^{(i)} \cdot e_n) \\ \Leftrightarrow a_n &= \sum_{i=1}^N (\lambda^{(i)} \cdot a_{n-1}^{(i)}) + e_n \cdot \sum_{i=1}^N \alpha^{(i)} \\ \Leftrightarrow (\sum_{i=1}^N \alpha^{(i)}) \cdot e_n &= a_n - \sum_{i=1}^N (\lambda^{(i)} \cdot a_{n-1}^{(i)}) \end{aligned} \quad (4.23)$$

Der dynamische Bereich vor und nach dem Filter sollte gleich bleiben. Daher wird dieses Filter nicht maßerhaltend sondern näherungsweise amplitudenerhaltend konstruiert: Ein Eingangspuls mit Schweif sollte nach der Filterung eine vergleichbare Amplitude aufweisen. Dieser Bedingung wird durch die Relation

$$\sum_{i=1}^N \alpha^{(i)} = 1 \quad (4.24)$$

Rechnung getragen. Schließlich werden die Ersetzungen $e_n \rightarrow a_n$ und $a_n \rightarrow e_n$ durchgeführt. Damit nimmt 4.23 seine endgültige Form an:

$$a_n = e_n - \sum_{i=1}^N (\lambda^{(i)} \cdot a_{n-1}^{(i)}) \quad (4.25)$$

Das so definierte Filter F_{Tail}^{-1} ist offenbar linear und verschiebungsinvariant. Aus den Äquivalenzumformungen ergibt sich, dass es sich tatsächlich um die Inverse von F_{Tail} handelt. Man erkennt in der Summe einen Schweifgenerator wieder: Vom Eingangssignal wird der Wert abgezogen, der sich aus der Historie als Schweifanteil ergibt.

4.6.5 Dynamisches Verhalten des Filters

Die diskrete Variante von F_{Tail}^{-1} lässt sich in einem Rechner implementieren. Unter Vorgabe verschiedener Zahlen zu verwendender Exponentialfunktionen N wurden Parameteroptimierungen gemäß der Methode aus Abschnitt 4.6.2 unter Berücksichtigung der diskreten Anpassungen in 4.6.3 durchgeführt. Als Nebenbedingung wurde die andauernde Positivität des gefilterten Signals gefordert ([bv0]). Nach der Betrachtung des Modellfehlers in Abbildung 4.13 (S. 38) beschränken sich die weiteren Betrachtungen auf den Spezialfall von $N = 2$ Exponentialfunktionen. Die oben definierten Größen t_0 und φ sind nur im Rahmen der Vergleiche während der Optimierung wichtig. Die charakteristischen Eigenschaften des Filters sowie die hierdurch erreichbare Signalbreite unter Berücksichtigung des PASAs sind in Tabelle 4.2 zusammengefasst. Das Filter hat mit diesen Parametern gemäß Gleichung 4.23 die in Abbildung 4.16 dargestellte Impulsantwort. Der Betrag der

α_L	0,12016998822
α_S	0,8798300118
λ_L	$0,8892547 \frac{1}{T_{takt}}$
λ_S	$0,3528557 \frac{1}{T_{takt}}$
κ_L	$0,11737158281 \frac{1}{T_{takt}}$
κ_S	$1,04169608749 \frac{1}{T_{takt}}$
σ	50ns

Tabelle 4.2: Kenndaten zum Ionenschweifunterdrückungsfilter.

Transferfunktion des Filters wird in Abbildung 4.17 gezeigt. Die Abbildungen wurden numerisch generiert. Das Filter verhält sich im Wesentlichen als Hochpassfilter.

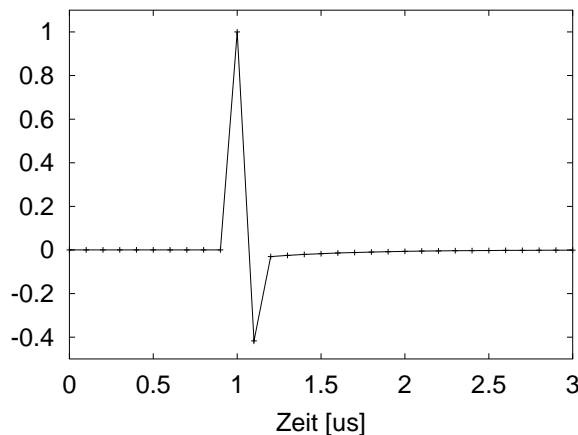


Abbildung 4.16: Die Impulsantwort des Ionenschweifunterdrückungsfilters.

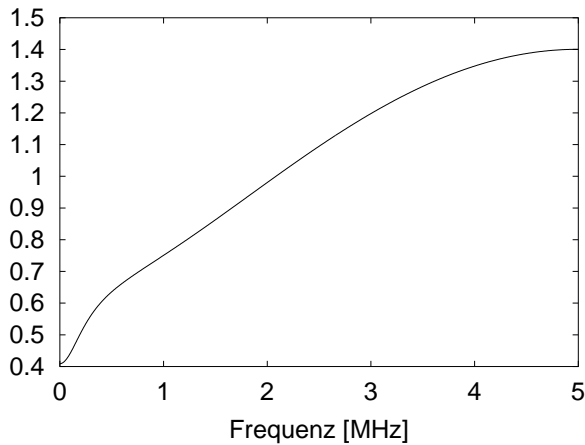


Abbildung 4.17: Das spektrale Verhalten des Ionenschweifunterdrückungsfilters.

4.6.6 Anwendung auf Detektordaten

Das Filter wurde mit dem in Tabelle 4.2 angegebenen Parametersatz auf Daten des Detektors ([pasa0]) angewendet. Es wurden 50 verschiedene Phasen zwischen Abtastung und Messsignal berücksichtigt. Das Ergebnis ist in Abbildung 4.18 zu sehen. Unter Verwendung der bekannten Phase kann ein quasikontinuierliches Signal rekonstruiert werden. Die Rekonstruktionen der Eingangs- und Ausgangssignalverläufe wird in Abbildung 4.19 verglichen. Man beobachtet die erwünschte Verkürzung des Signals auf einen gaußartigen Verlauf. Der zweite, kleine Puls stellt den angesetzten Modellfehler dar. Sein Verlauf wird nicht zuletzt durch die bei der Parameteroptimierung angesetzte Fehlerfunktion \tilde{E} (vgl. Gl. 4.17, S. 39) bestimmt. Abbildung 4.20 zeigt dieselben Signale im Frequenzraum. Das Spektrum wird nun im Wesentlichen vom PASA bestimmt. Dieser bewirkt eine an die Abtastung angepasste Tiefpassfilterung.

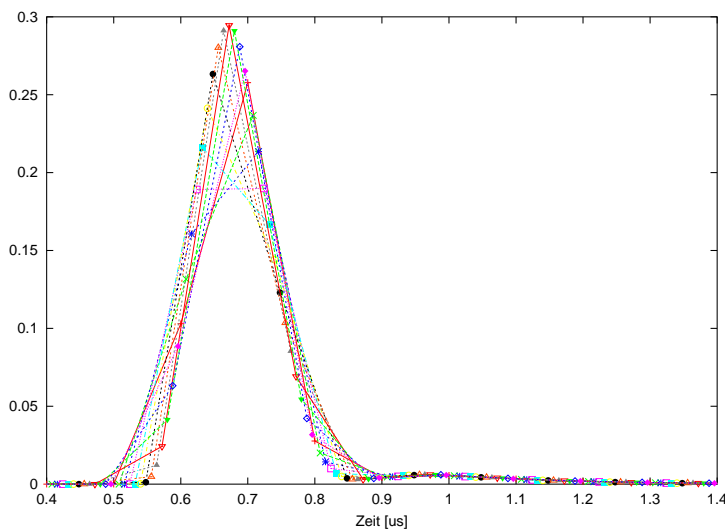


Abbildung 4.18: Anwendung des Ionenschweifunterdrückungsfilters auf eine Schar von Eingangssatzen

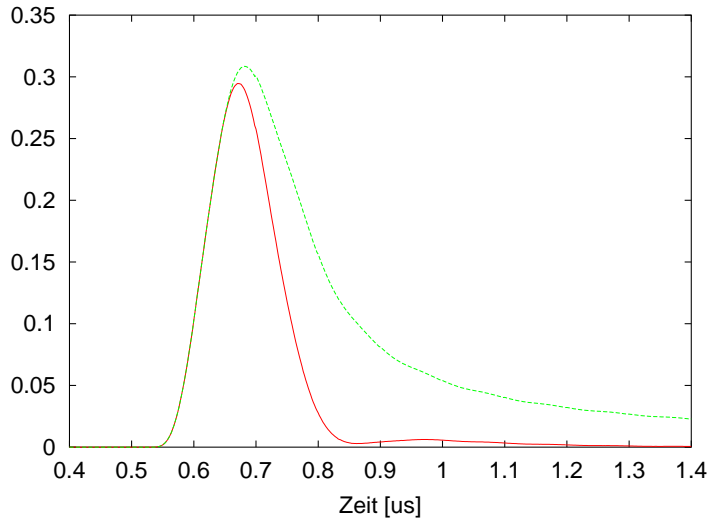
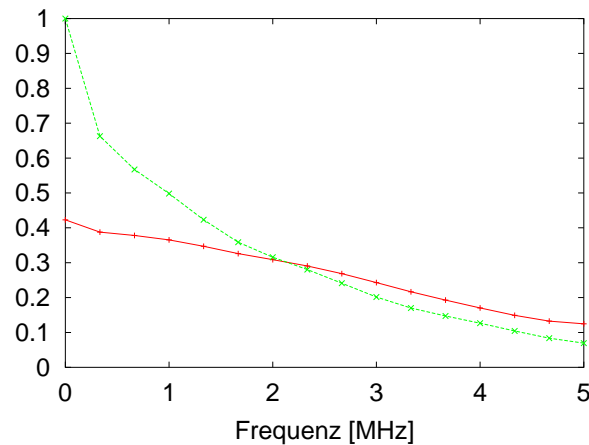


Abbildung 4.19:
Vergleich der quasikontinuierlichen Eingangssignale (grün) und Ausgangssignale (rot) des Filters

Abbildung 4.20: Das spektrale Verhalten des Signals nach der Filterung (rot) im Vergleich zu vor der Filterung (grün)



4.6.7 Architektur

Das Ionenschweif- oder 'Tail'-Unterdrückungsfilter arbeitet rekursiv: Von Eingangswert wird die Größe abgezogen, die sich als Schweif aus den vorigen Werten ergibt. Das Ergebnis wird im Falle eines Überlaufs durch Null ersetzt. Es ist zum einen der Ausgabewert des Filters und zum anderen ein Stimulus für die weitere Schweifbestimmung (vgl. Abb. 4.21). Auch hier befindet sich ein Multiplexer vor dem Ausgang, der die Umgehung des Filters ermöglicht ('Tail-Cancellation-Bypass', 'low-active').

Der Schweif wird durch zwei Exponentialfunktionen approximiert, die entsprechenden Generatoren sind Teil dieser Filterstufe. Die Anregung des ersten ergibt sich durch das Produkt des gefilterten Signals mit einem Faktor α_L , der sich zwischen Null und $\frac{1}{2} - 2^{-11} \approx 0,4995$ einstellen lässt. Sie errechnet sich aus dem zehn Bit breiten Konfigurationswert durch Multiplikation mit 2^{-11} . Die Zerfallskonstante λ_L der Exponentialfunktion dieses Generators kann im Bereich

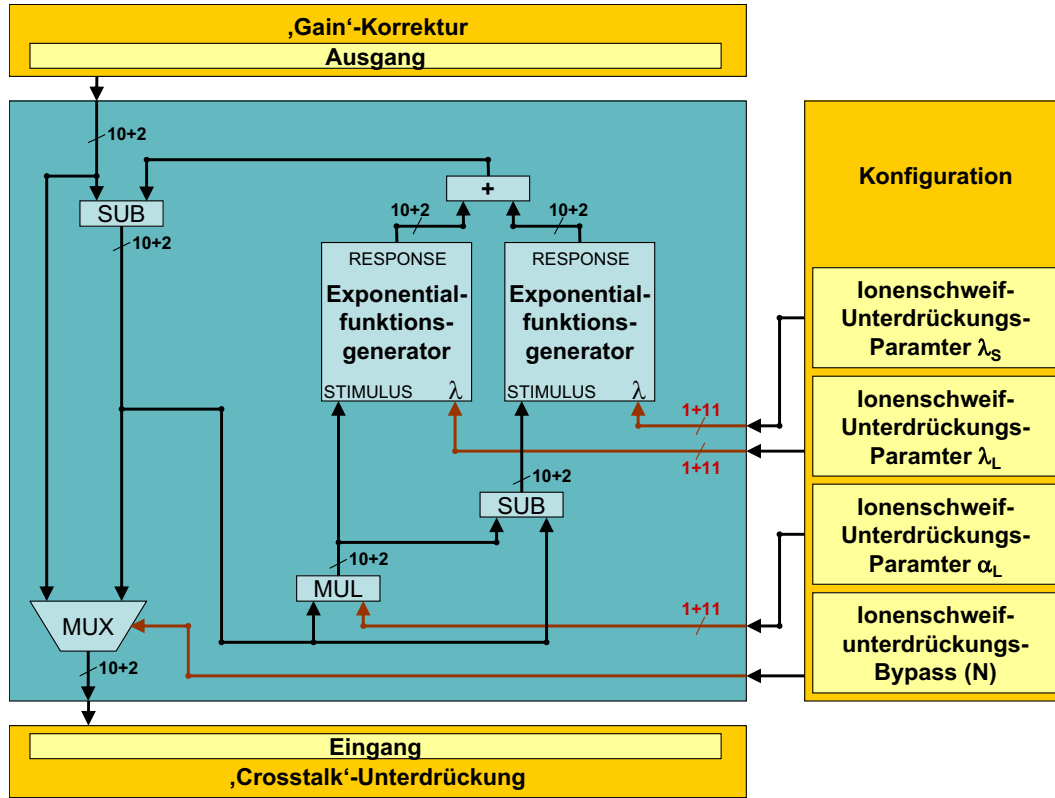


Abbildung 4.21: Das Ionenschweifunterdrückungsfilter

von $0,75$ bis $1 - 2^{-11} \approx 0,9995$ gewählt werden. Sie ergibt sich durch Addition des 2^{-11} -fachen des Konfigurationswertes zur Darstellung von $\frac{3}{4}$ mit 11 binären Nachkommastellen.

$$\boxed{0,0A_9A_8A_7A_6A_5A_4A_3A_2A_1A_0}$$

(Parameter α_L , binär)

$$\boxed{0,11L_8L_7L_6L_5L_4L_3L_2L_1L_0}$$

(Parameter λ_L , binär)

Der Stimulus des zweiten Exponentialfunktionsgenerators ist die Differenz des gefilterten Signals und der Anregung des ersten. Das ist folgt unmittelbar aus Gleichung 4.24 für $N = 2$. Es gilt:

$$\begin{aligned} \alpha_L + \alpha_S &= 1 \\ \Leftrightarrow \alpha_S \cdot a_n &= a_n - \alpha_L \cdot a_n, \quad a_n \text{ beliebig} \end{aligned}$$

Hier ist es nicht nötig, Überläufe abzufangen, da das Ergebnis immer positiv ist. Die Zerfallskonstante λ_S der zweiten Exponentialfunktion liegt zwischen $0,25$ und $\frac{1}{2} - 2^{-11} \approx 0,4995$. Sie ergibt sich analog aus der Summe des 2^{-11} -fachen des entsprechenden Konfigurationswertes mit $0,25$.

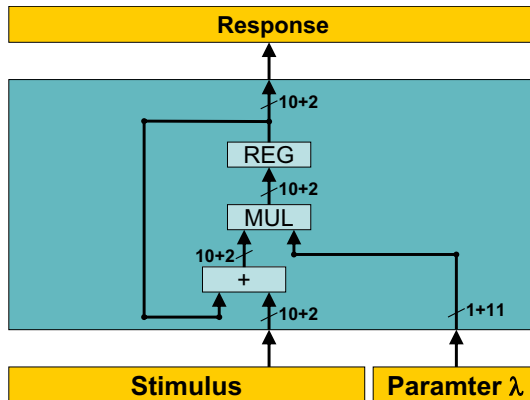


Abbildung 4.22: Der Generator einer Exponentialfunktion im Ionenschweifunterdrückungsfilter

$$= 1 - \alpha_L \text{ (implizit)}$$

(Parameter α_S)

$$0,01L_8L_7L_6L_5L_4L_3L_2L_1L_0$$

(Parameter λ_S , binär)

Die Antwort der beiden Generatoren wird wie der Stimulus durch zehn Vorkomma- und zwei Nachkommabits ausgedrückt. Die Summe der beiden wird nicht auf Überläufe getestet. Sie wird vom Eingangswert abgezogen. Die Differenz stellt das gefilterte Signal dar. Hier findet eine Überlaufkontrolle statt: Sollte das Ergebnis negativ sein, so gibt der hier eingesetzte Subtrahierer eine Null zurück.

Der Generator einer Exponentialfunktion besteht aus einem Addierer, einem Multiplizierer und einem Register (vgl. Abb. 4.22). Sowohl der Stimulus wie auch das Register besitzen eine Darstellung aus zehn Vorkomma- und zwei Nachkommabits. Ihre Summe besitzt dieselbe Breite, Überläufe werden nicht abgefangen. Sie wird mit der Zerfallskonstanten λ multipliziert. Das Ergebnis wird als neuer Wert des Registers übernommen. Die Antwort des Generators wird vom Ausgang des Register abgeleitet.

4.7 'Crosstalk'–Unterdrückung

4.7.1 Kapazitative Kopplung benachbarter Kathodenpads

Die Signale benachbarter Kathodenpads sind nicht unabhängig voneinander. Zum einen induzieren die nach der Gasverstärkung zurückbleibenden Gasionen Ladungen in mehreren Kathodenpads (Ladungsteilung). Dies wird zur Positionsbestimmung der Ladungswolke mit einer weit unter der Padbreite liegenden Genauigkeit verwendet (vgl. Kapitel 5). Neben diesem gewollten Effekt gibt es jedoch noch weitere Einflüsse: Die Kathodenpads besitzen aufgrund ihrer großen Fläche von $0,75\text{cm} \times 8,00\text{cm} = 6,00\text{cm}^2$ nicht nur eine recht große Kapazität zur Erdung von $\approx 25\text{pF}$, sondern mit $\approx 6\text{pF}$ auch zu den jeweiligen Nachbarpads. Abbildung 4.23 stellt den zeitlichen Verlauf eines in ein Kathodenpad induzierten Signals dem des Nachbarpads gegenüber.

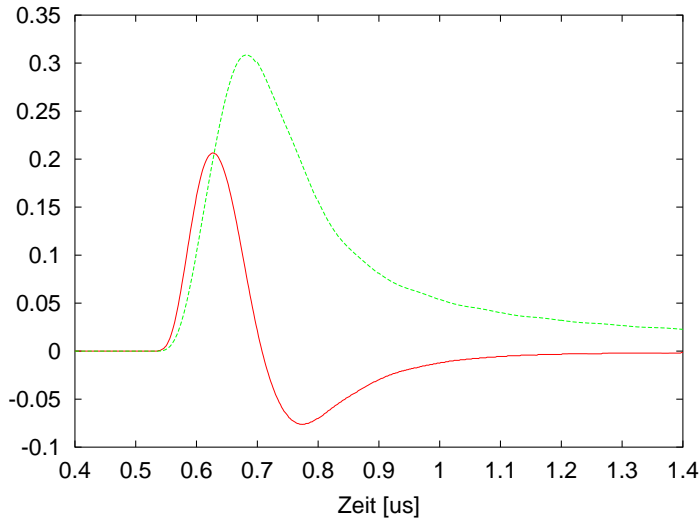


Abbildung 4.23: Signalverlauf in einem Kanal und das hierdurch im Nachbarkanal eingekoppelte Nebensprechen ('Crosstalk', rot, Vergrößerung $\times 10$)

Die Signale wurden dabei durch den PASA modifiziert, so dass der ohne die oben beschriebene Ladungsteilung direkt auf dem Pad angelegte Deltapuls zu einer gaußähnlichen Form verbreitert wurde. Auch die Nebensprechsignale erfahren eine entsprechende Veränderung. Der Vergleich der Amplituden von Haupt- und Nebensprechsignal ergibt ein Verhältnis von $\approx 6\%$. Da das Zeitliche Verhalten von Haupt- und Nebensprechsignal unterschiedlich ist, sind die Signalhöhenverhältnisse zeitabhängig. Daher kann die entsprechende Störung auch durch eine angepasste Positionsbestimmung aus der Ladungsverteilung, wofür die Signale letzt Endes genutzt werden, nicht vernachlässigt werden.

Das Nebensprechen ('Crosstalk') in den dem Nachbarpad zugeordneten Kanal wird vorwiegend durch die Ladungen auf den Pads induziert. Beeinflussungen in der nachgestellten Elektronik sind vernachlässigbar. Analytisch kann der 'Crosstalk' durch eine langsame Ableitung des Hauptsignals beschrieben werden

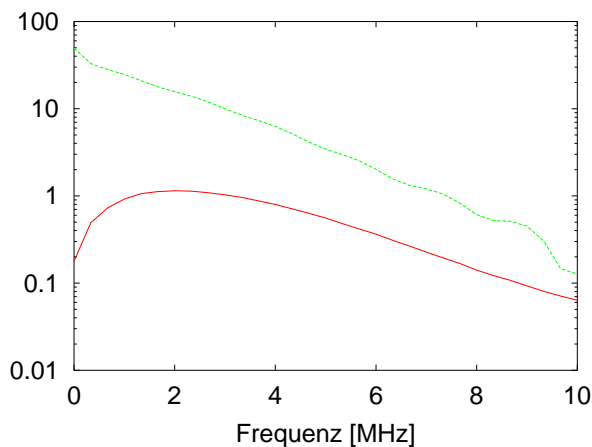


Abbildung 4.24: Frequenzspektrum des 'Crosstalks' (rot) im Vergleich zu dem des zentralen Kanals (grün)

([xt0]). Leider ist eine im Rahmen des Modells exakte Unterdrückung wie beim Ionenschweif nicht möglich: Ein nicht zu vernachlässigender Teil des Spektrums des 'Crosstalks' befindet sich oberhalb der durch die Abtastung bedingten Abschneidefrequenz (vgl. Abb. 4.24).

Deshalb kann das kontinuierliche Signal nicht mehr exakt aus den abgetasteten Werten rekonstruiert werden. Daher zeigt der 'Crosstalk' ein entsprechend der Phase zwischen Signal und Abtastung qualitativ unterschiedliches Verhalten. Es ist somit prinzipiell unmöglich, den 'Crosstalk' exakt auszulöschen. Das weitere Augenmerk gilt daher der Unterdrückung eines geeignet gemittelten Nebensprechsignals.

4.7.2 Modellierung des 'Crosstalks'

Der 'Crosstalk' weist in Übereinstimmung mit der analytischen Beschreibung als (langsame) Ableitung des Hauptsignals eine recht kurze Ausdehnung von wenigen hundert Nanosekunden auf. Da sich das Nebensprechen linear und verschiebungsinvariant (bei geeigneter Abtastung) verhält, kann es als (lineares) Filter mit endlicher Impulsantwort ('Finite-Impulse-Response', FIR) aufgefasst werden. Ein solches Filter F_{Xtalk} lässt sich durch eine Faltung mit einer geeigneten Filtermatrix $M_{i,j}$ darstellen¹ ([dbv0]):

$$A_{i,j} = (M * E)_{i,j} \equiv \sum_{m,n} M_{i-m,j-n} \cdot E_{m,n} \quad (4.26)$$

Dabei stellen $\{E_{i,j}\}$ und $\{A_{i,j}\}$ die Eingangs- bzw. die Ausgangsfunktion dar. Die Matrix ist zweidimensional, was der Ausdehnung der Impulsantwort entlang der Richtung der Kathodenpads und dem Verlauf in Zeitrichtung Ausdruck verleiht. Wie Gleichung 4.26 zu entnehmen ist, gehen Filtermatrix und Impulsantwort des Filters unmittelbar auseinander hervor. Die zu erwartende Impulsantwort

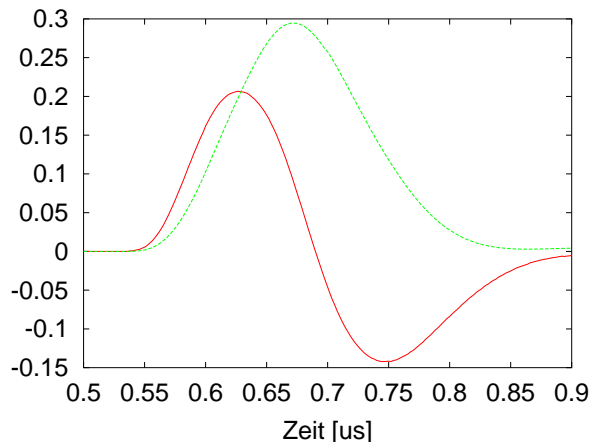


Abbildung 4.25: Impulsantwort des 'Crosstalk-Erzeugungsfilters' im Nachbarkanal (rot, Vergrößerung $\times 10$) und im zentralen Kanal (grün)

¹Eine solche Darstellung ist für alle linearen, verschiebungsinvarianten Filter möglich.

wort ist in Abbildung 4.25 dargestellt. Das Signal erstreckt sich in Padrichtung nur bis zu den Nachbarn, d. h. in der Filtermatrix $M_{i,j}$ sind lediglich die Koeffizienten mit $-1 \leq i \leq +1$ von Null verschieden. In Zeitrichtung ist das Signal auf wenige hundert Nanosekunden begrenzt.

Auch hier kann die 'Crosstalk–Erzeugung' nicht direkt, sondern nur mit Hilfe des PASAs gemessen werden (vgl. 4.6.2). Daher sind die zu untersuchenden Signale als mit der PASA–Antwortfunktion gefaltet zu betrachten.

4.7.3 Ansatz zur 'Crosstalk–Unterdrückung'

Das Filter F_{Xtalk}^{-1} ist ebenso wie das den 'Crosstalk' beschreibende Filter F_{Xtalk} zweidimensional. Zur Inversion eines Filters, das nur wenige von der Identität abweicht, lässt sich ein Ansatz mittels der Störungsrechnung erreichen ([dbv0]). Bei Vergleich der beiden Relationen

$$A = F * E \quad \Longleftrightarrow \quad \hat{A}(\omega) = \hat{F}(\omega) \cdot \hat{E}(\omega) \quad (4.27)$$

$$E = F^{-1} * A \quad \Longleftrightarrow \quad \hat{E}(\omega) = \hat{F}^{-1}(\omega) \cdot \hat{A}(\omega) \quad (4.28)$$

ergibt sich die Inversion im Frequenzraum als einfache Kehrwertbildung $\hat{F}^{-1}(\omega) = \frac{1}{\hat{F}(\omega)}$. Hieraus ergibt sich als Forderung für das weitere Vorgehen die Bedingung $\hat{F}(\omega) > 0$ für alle Frequenzen aus dem Spektralbereich, in dem eine Informationsübertragung stattfindet. Die Entwicklung

$$\begin{aligned} \hat{F}^{-1}(\omega) &= \frac{1}{\hat{F}(\omega)} \\ &= \frac{1}{1 - (1 - \hat{F}(\omega))} \\ &= \frac{1}{1 - \hat{G}(\omega)} \quad \text{mit } \hat{G}(\omega) = 1 - \hat{F}(\omega) \\ &= 1 + \hat{G}(\omega) + \hat{G}^2(\omega) + \hat{G}^3(\omega) + \hat{G}^4(\omega) + \dots \end{aligned}$$

in eine geometrische Reihe bedeutet im Ortsraum:

$$F^{-1} = \delta + G + (G * G) + (G * G * G) + (G * G * G * G) + \dots \quad (4.29)$$

Dabei ist δ die Deltafunktion in der jeweiligen Ortsdarstellung. $G = \delta - F$ stellt die Abweichung des zu invertierenden Filters von der identischen Übertragung dar. Der Konvergenzradius der geometrischen Reihe ($|\hat{G}(\omega)| < 1$) bestimmt die Stabilität des Verfahrens.

Zur Illustration der Methode betrachten wir ein eindimensionales diskretes Glättungsfilter (Tiefpass):

M_{-1}	M_0	M_{+1}
$\frac{1}{8}$	$\frac{3}{4}$	$\frac{1}{8}$

Die weiteren Koeffizienten $M_a = 0$ mit $|a| > 1$ verschwinden. Bei Berücksichtigung einer wachsenden Zahl von Summanden der Reihe aus Gleichung 4.29 ergibt sich damit näherungsweise folgende Inverse:

M_{-3}^{-1}	M_{-2}^{-1}	M_{-1}^{-1}	M_0^{-1}	M_{+1}^{-1}	M_{+2}^{-1}	M_{+3}^{-1}
0	0	0	1,000	0	0	0
0	0	-0,125	1,250	-0,125	0	0
0	0,016	-0,188	1,344	-0,188	0,016	0
-0,002	0,027	-0,092	1,383	-0,092	0,027	-0,002

Man sieht, wie sich die inverse Filtermatrix über einen unbegrenzten Bereich ausdehnt. Die Inverse zu einem FIR–Filter ist nicht notwendigerweise auch ein FIR–Filter. Die Koeffizienten fallen jedoch rasch genug ab, um ein Abschneiden unter der Akzeptanz eines bestimmten Fehlers zu rechtfertigen.

Ähnliche Betrachtungen lassen sich beim vorliegenden zweidimensionalen Problem anstellen. Die aus den Inverse zur 'Crosstalk–Erzeugung' ist in Abbildung 4.26 dargestellt. Sie fällt insbesondere in Richtung der Kathodenpads schnell ab.

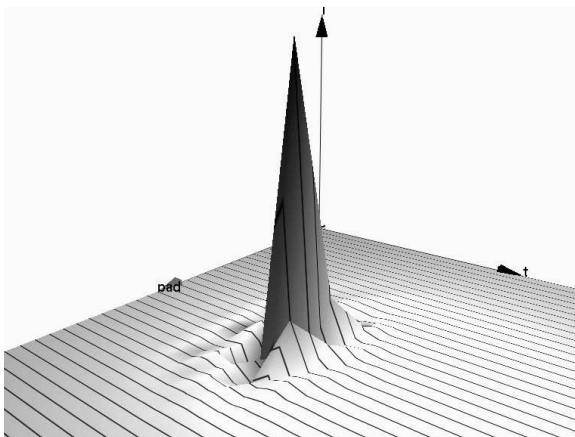


Abbildung 4.26: Inverse des 'Crosstalk–Erzeugungsfilters'

Daher ist die im weiteren Verlauf vorgenommenen Beschränkung der Matrixdarstellung der Inversen auf drei Pads nur mit einem moderaten Fehler verbunden: Die zu filternden Datensätze bestehen in der Regel aus isolierten Spuren, so dass die Beiträge nicht unmittelbarer Nachbarn verschwinden. Um den Ressourcenverbrauch auf des Filters gering zu halten wird in Driftrichtung ebenfalls eine möglichst geringe Ausdehnung angestrebt.

4.7.4 Optimierung des Filters

Durch die Beschränkung der Ausdehnung der Filtermatrix der 'Crosstalk–Unterdrückung' gibt es keine analytisch exakte Möglichkeit, die entsprechenden Koeffizienten zu bestimmen. Darüber hinaus ist aufgrund der zu geringen Abtastrate (vgl. Abb. 4.23) keine eindeutige Filterantwort gegeben. Sie hängt vielmehr von der Phase zwischen Signal und Abtastung ab. Daher muss eine über alle Phasen gemittelte Impulsantwort betrachtet werden ($\varphi \in [0, \Delta t[$ mit $\Delta t = \frac{1}{\xi}$ und der Abtastrate ξ).

Als Inverse des 'Crosstalk–erzeugenden' Filters F_{Xtalk}^{-1} wird das Filter aufgefasst, das als Antwort auf das gemessene Signale die Antwortfunktion des PASAs hervorbringt:

$$\begin{aligned} S &= F_{Xtalk} * F_{PASA} \\ \implies F_{Xtalk}^{-1} * S &= F_{Xtalk}^{-1} * (F_{Xtalk} * F_{PASA}) \\ &= F_{PASA} \end{aligned} \quad (4.30)$$

Dabei wird die Kommutativität der Faltung ausgenutzt. Analog zu den Betrachtungen in 4.6.2 wird hierzu ein Fehlermaß definiert:

$$\tilde{E}(t_0, \sigma, \{M_{a,b}\}) = \sum_{i=0, \pm 1} \int ((F_{Xtalk}^{-1} | S)(t, i) - G_{t_0, \sigma}(t, i))^2 dt \quad (4.31)$$

Dabei stellt $G_{t_0, \sigma}(t, i)$ die ideale, durch eine Gaußfunktion beschreibbare, Antwortfunktion des PASAs dar:

$$G_{t_0, \sigma}(t, i) = \begin{cases} \frac{1}{\sigma\sqrt{2\pi}} \cdot e^{-\frac{(t-t_0)^2}{2\sigma^2}} & , i = 0 \\ 0 & , i \neq 0 \end{cases}$$

Beim Übergang zu diskreten Werten geht das Integral in eine Summation über. Die oben geforderte Mittelung über die Phase erfolgt durch eine weitere Summation:

$$\tilde{E}(t_0, \sigma, \{M_{a,b}\}) = \sum_{i=0, \pm 1, n, \varphi} ((F_{Xtalk}^{-1} | s_\varphi)(n, i) - g_{t_0+\varphi, \sigma}(n, i))^2 \quad (4.32)$$

Dabei stellen $s_\varphi(n, i) \equiv S(n \cdot \Delta t + \varphi, i)$ und $g_\varphi(n, i) \equiv G(n \cdot \Delta t + \varphi, i)$ die abgetasteten Werte dar. Zur Optimierung des Filters werden unter bestimmten Nebenbedingungen die Koeffizienten der Filtermatrix variiert:

$$E(\sigma, N) = \min_{t_0} \min_{\{M_{a,b}\}} \tilde{E}(t_0, \sigma, \{M_{a,b}\}) \quad (4.33)$$

Es ergeben sich folgende Nebenbedingungen bzw. Annahmen, die die Freiheit der Variation einschränken und das Optimierungsverfahren damit kompakter gestalten:

- Das gefilterte Signal im zentralen Kanal sollte positiv sein:

$$A_{0,b} \geq 0 \quad \forall b$$

- Der Betrag des verbleibenden 'Crosstalks' sollte unterhalb einer gegebenen Schwelle χ bleiben:

$$|A_{\pm 1,b}| \leq \chi \quad \forall b$$

- Die Symmetrie der Ausbreitung des 'Crosstalks' auf beide Nachbarn bedingt die Symmetrie der zu bestimmenden Koeffizientenmatrix:

$$M_{a,b} = M_{-a,b}$$

- Die Zahl nichtverschwindender Einträge der Matrix ist auf einen kleinen Bereich beschränkt (vgl. Ende von 4.7.3):

$$M_{a,b} = 0 \text{ für } |a| > 1 \text{ oder } |b| > B \\ (\text{hier: } B = 1, 2, 3)$$

Die Optimierung wurde für verschiedene Matrixausdehnungen durchgeführt. Ausgewählt wurde, vor allem aus Gründen des Flächenverbrauchs auf dem Chip (vgl. 4.7.7, eine Filtergröße von 3×5 ($B = 2$)).

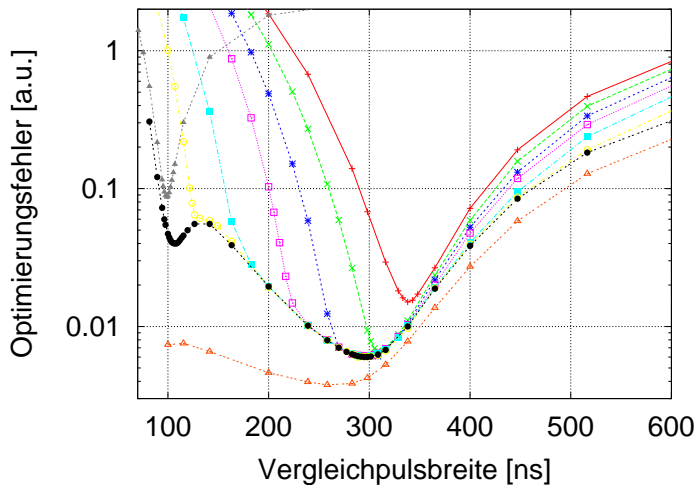


Abbildung 4.27: Modellfehler als Funktion der Breite der Zielfunktion (von oben nach unten: 'Crosstalk-Toleranz' = 0,01%, 0,12%, 0,15%, 0,2%, 0,4%, 0,8%, 1,6%, ∞ ; graue Kurve: Verlauf des Fehlers vor dieser Filterstufe)

Der Vergleich der Modellfehlerfunktionen bei verschiedenen Toleranzschwellen χ für den nach der Filterung verbleibenden 'Crosstalk' wird in Abbildung 4.27 vorgenommen. Man erkennt deutlich die Möglichkeit der Unterdrückung durch

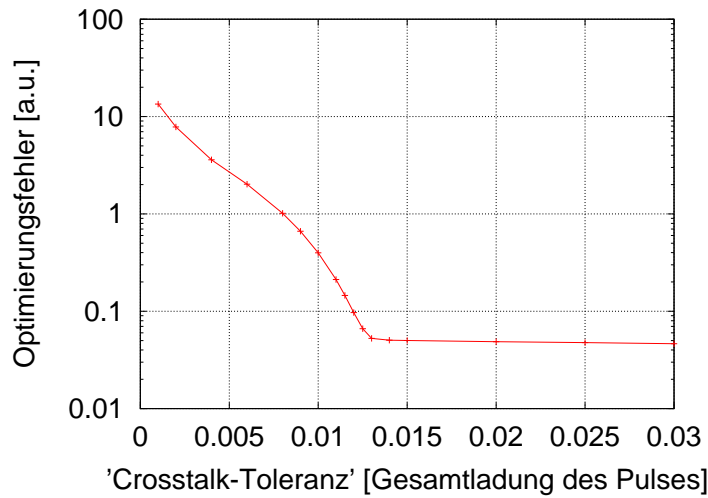


Abbildung 4.28: Modellfehler als Funktion der 'Crosstalk-Toleranz' bei einer Breite des Vergleichspulses von $100ns$

extreme Tiefpassfilterung. Es ergibt sich jedoch ein lokales Minimum bei der gewünschten Zielbreite um $100ns$.

Zum weiteren Verständnis des Verhaltens der Modellfehlerfunktion ist sie in Abbildung 4.28 bei konstanter Breite der Zielfunktion und variierender 'Crosstalk-Toleranz' χ dargestellt. Man erkennt deutlich, wie das Verfahren bei einer Unterdrückung unter 1,3% den Gesamtfehler des Signals deutlich ansteigen lässt.

- Nach einer Betrachtung der mit den obigen Bedingungen gefundenen Resultate und der Notwendigkeit, die Anzahl der viel Chip-Fläche verbrauchenden Multiplikatoren zu verringern, wurden die zentralen Koeffizienten festgelegt:

$$M_{0,0} = 1, M_{0,b} = 0 \text{ für } b \neq 0$$

Mit dieser zusätzlichen Randbedingung konvergiert das obige Optimierungsverfahren für $\chi \leq 0,8\%$ nicht mehr. Für die weiteren Betrachtungen wurde der Parametersatz verwendet, der dieser maximalen Unterdrückung entspricht.

4.7.5 Dynamisches Verhalten des Filters

	$M_{-1,b}$	$M_{0,b}$	$M_{+1,b}$
$M_{a,-2}$	0,02910888	0	0,02910888
$M_{a,-1}$	-0,04309046	0	-0,04309046
$M_{a,0}$	-0,02579803	1	-0,02579803
$M_{a,+1}$	0,07202855	0	0,07202855
$M_{a,+2}$	-0,01659233	0	-0,01659233

Tabelle 4.3: Die Koeffizientenmatrix des Filters

Die Filtermatrix hat gemäß den Vorgaben des vorangegangenen Abschnitts die in Tabelle 4.3 zusammengefassten Koeffizienten. Die Impulsantwort geht unmittelbar aus der Koeffizientenmatrix hervor (vgl. Abb. 4.29).

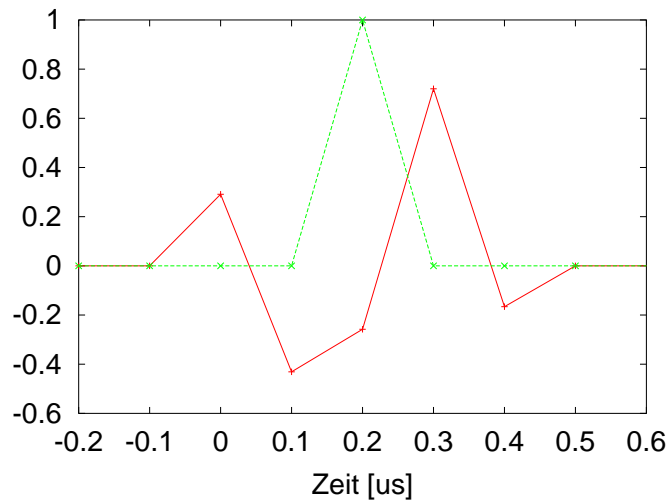


Abbildung 4.29: Punktantwort des Filters im Nachbarkanal (rot, Vergrößerung $\times 10$) und im zentralen Kanal (grün)

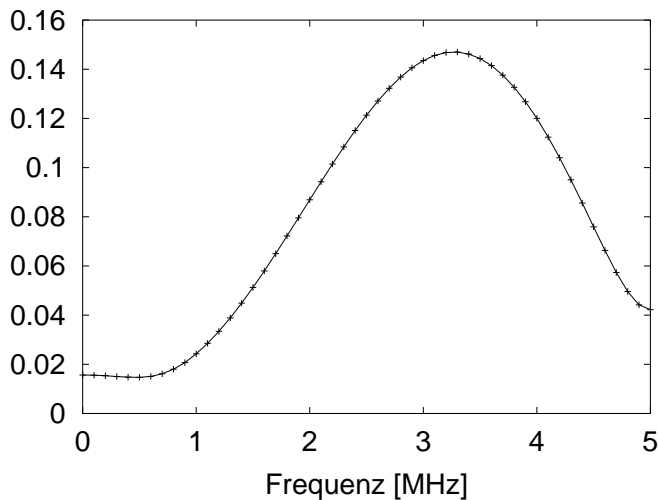


Abbildung 4.30: Spektrales Verhalten des Filters im Nachbarkanal (das Spektrum des zentralen Kanals ist konstant eins)

In Abbildung 4.30 ist das spektrale Verhalten des Filters dargestellt. Es zeigt, wie sich die unterschiedlichen Frequenzkomponenten des zentralen Kanals auf den Nachbarkanal auswirken.

4.7.6 Anwendung auf Detektordaten

Das 'Crosstalk-Unterdrückungsfilter' wurde mit dem Parametersatz aus Tabelle 4.3 auf Daten des Detektors ([pasa0]) angewendet. Es wurden 50 verschiedene

Phasen zwischen Messsignal und Abtastung berücksichtigt. Das Ergebnis ist in Abbildung 4.32 zu sehen. Unter Verwendung der bekannten Phase kann ein quasikontinuierliches Signal rekonstruiert werden. Die Rekonstruktion der Eingangs- und Ausgangssignalverläufe wird in Abbildung 4.33 verglichen.

Man beobachtet einen geringfügig gestörten Verlauf in zentralen Kanal. Der 'Crosstalk' wurde seinem Betrage nach unter die Schwelle von 0,8% der Amplitude des Signals im zentralen Kanal gedrückt. Die Auswirkungen auf den übernächsten Nachbarkanal liegen unter 0,2% und sind somit vernachlässigbar. Weiter entfernt liegende Kanäle werden nicht beeinflusst. Das spektrale Verhalten der Ausgangssignale wird in Abbildung 4.31 verdeutlicht.

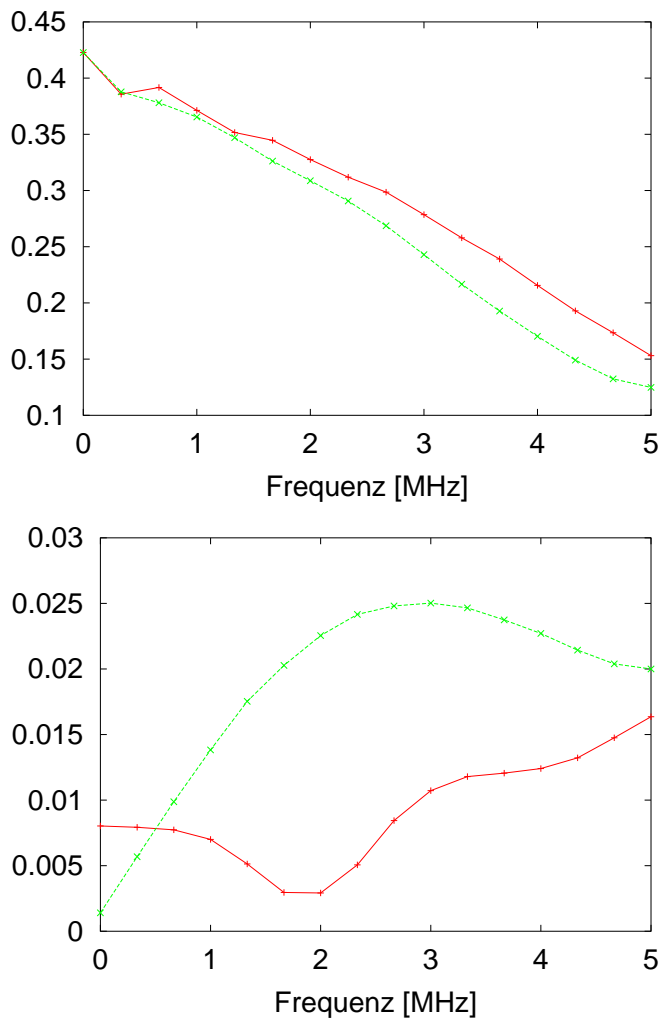


Abbildung 4.31: Das spektrale Verhalten des Signals nach der Filterung (rot) im Vergleich zu vor der Filterung (grün) im Zentralkanal (oben) und im Nachbarkanal (unten)

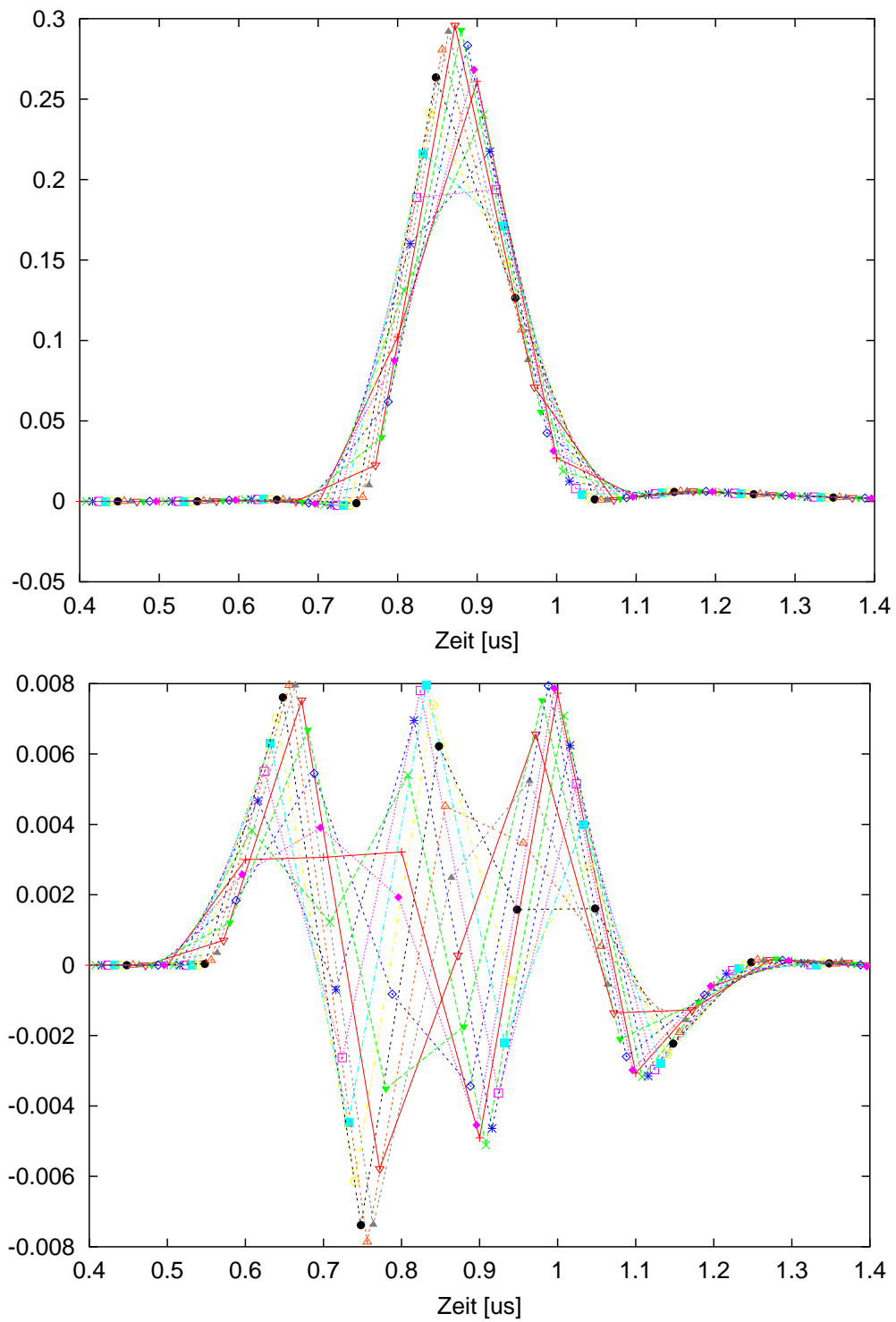


Abbildung 4.32: Anwendung des 'Crosstalk-Unterdrückungsfilter' auf eine Schar von Eingangsdatensätzen (oben: zentraler Kanal, unten: Nachbarkanal)

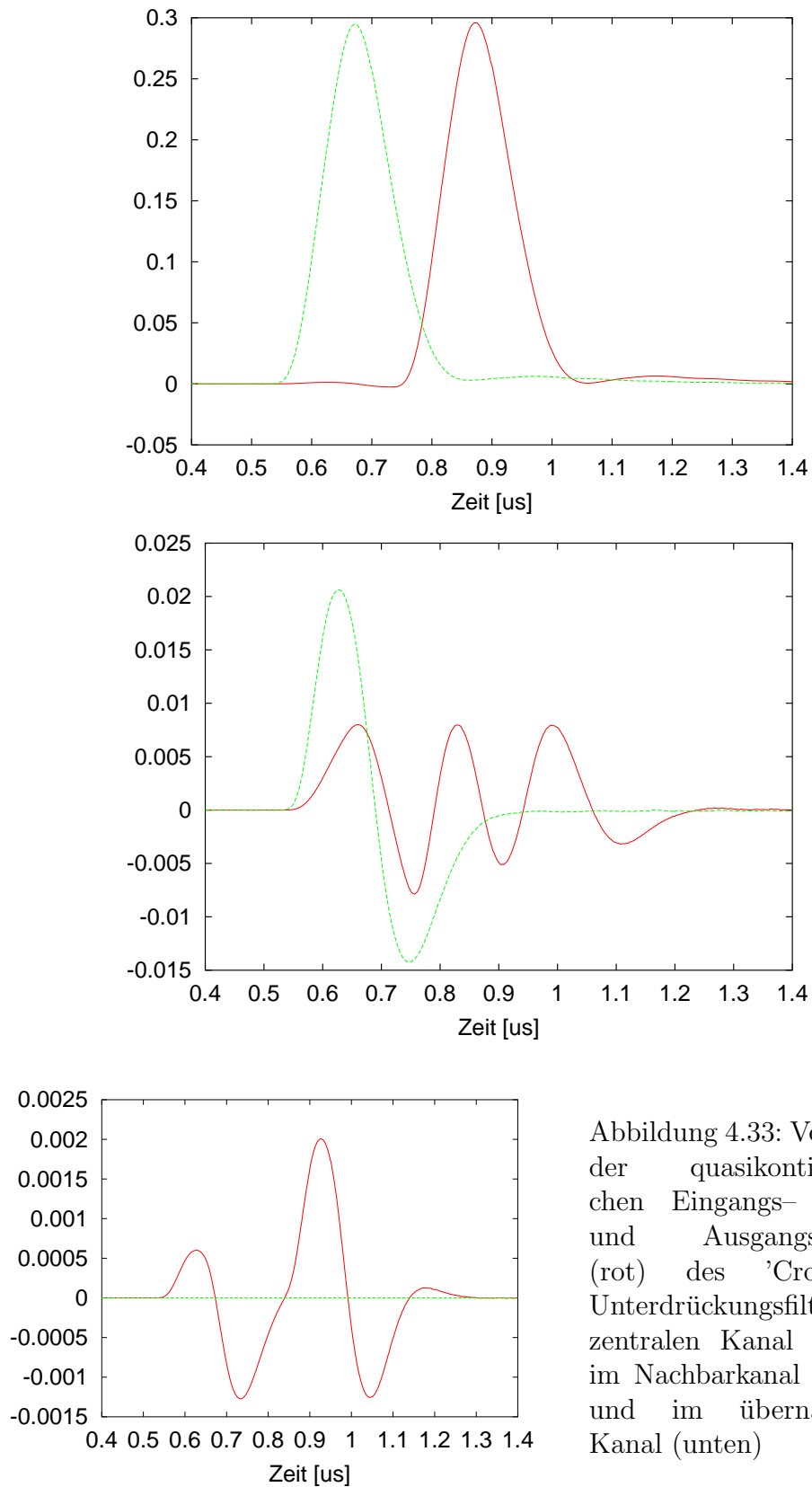


Abbildung 4.33: Vergleich der quasikontinuierlichen Eingangssignale (grün) und Ausgangssignale (rot) des 'Crosstalk-Unterdrückungsfilters' im zentralen Kanal (oben), im Nachbarkanal (mitte) und im übernächsten Kanal (unten)

4.7.7 Architektur

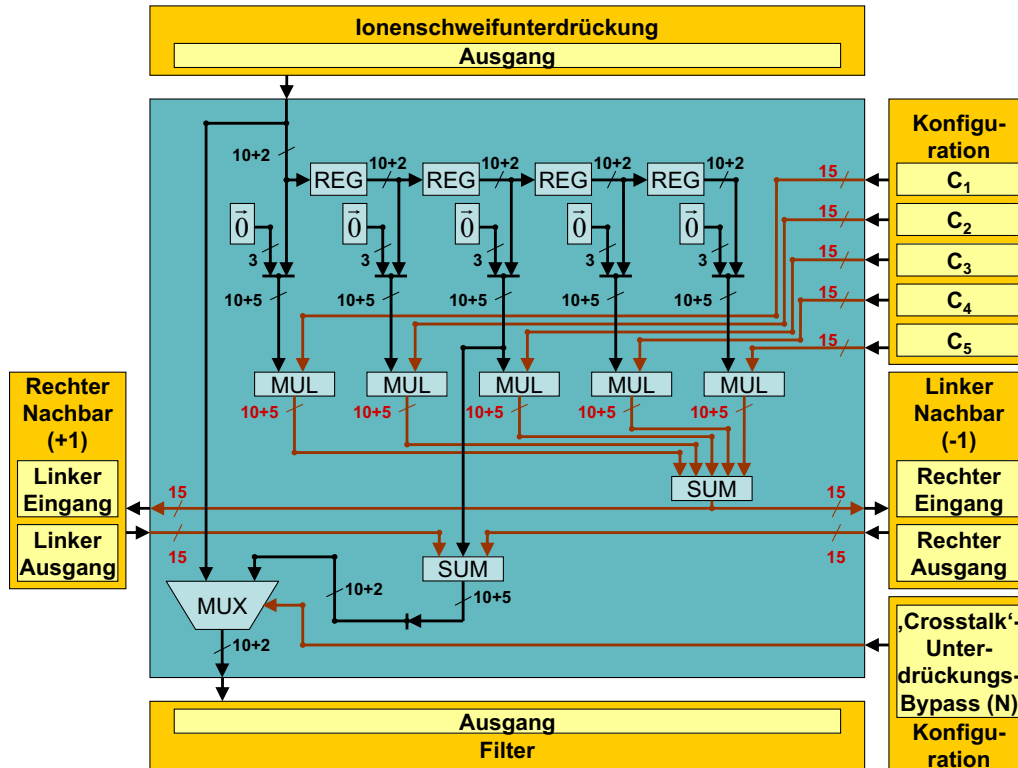


Abbildung 4.34: Das 'Crosstalk-Unterdrückungsfilter'

Das 'Crosstalk-Unterdrückungsfilter' besteht aus einem vierstufigen Shift-Register, aus dem mittels Multiplizierern und Addierern die Werte für den betreffenden Kanal und Korrekturen für seine Nachbarn errechnet werden (vgl. Abb. 4.34).

Der Eingangswert wird dem Shift-Register übergeben. Der um zwei Takte verzögerte Wert wird auf fünf Nachkommastellen erweitert und dann mit den Korrekturwerten der beiden Nachbarn (linker-/rechter-Nachbar-Korrektur), die dieselbe Genauigkeit aufweisen, addiert. Beim Ergebnis werden die letzten drei Stellen verworfen, so dass nun wieder ein Wert mit zwei Nachkommabit vorliegt. Dieser liegt ebenso wie der Eingang der Stufe an einem Multiplexer an, der zur Umgehung des Filters geschaltet werden kann ('Crosstalk-Cancellation-Bypass', 'low-active').

Sowohl der Inhalt aller Shift-Register-Stufen als auch der Eingangswert werden zur weiteren Berechnung auf eine Darstellung aus zehn Vorkomma- und fünf Nachkommabit erweitert. Sie werden dann jeweils mit einem vorzeichenbehafteten Koeffizienten, der sich durch 14+1 Nachkommastellen ausdrückt, multipliziert (Nachbar-Koeffizient 1 bis 5). Die Faktoren ergeben sich aus den Werten

der Konfiguration durch Skalierung mit 2^{-11} und vorzeichentreuer Erweiterung. Die unteren vier Bits der Faktoren wurden im Laufe einer Anpassung des Filters an die zur Verfügung stehende Chip-Fläche auf Null gesetzt. Die Größe der Multiplikatoren nach der Design-Optimierung ist entsprechend geringer.

$$\boxed{\underbrace{P_7, P_7 P_7}_{\text{Vorzeichenerw.}} \quad P_7 P_6 P_5 P_4 P_3 P_2 P_1 P_0 \quad 0 \quad 0 \quad 0 \quad 0}$$

(Filterkoeffizient, binär)

Damit sind die vorzeichenbehafteten Gewichtungsfaktoren im Bereich zwischen $-\frac{1}{8}$ und $+\frac{1}{8} - 2^{-10}$ in einer Schrittweite von 2^{-10} einstellbar. Für die Darstellung der fünf Produkte stehen ebenfalls jeweils zehn Vorkomma- und fünf Nachkommastellen zur Verfügung. Ihre Summe, die mit derselben Bitbreite dargestellt wird, stellt sowohl die an den linken als auch die an den rechten Nachbarn zu übergebende Korrektur dar.

Kapitel 5

Der Preprozessor

5.1 Übersicht

Der Preprozessor besteht aus der Hit-Erkennungseinheit ('Hit-Detection'), der Hit-Auswahleinheit ('Hit-Selection'), vier Rechenwerken ('Processing-Lines') und dem 'Fit-Register-File' (vgl. Abb. 5.1). Einige der Kanäle werden als mögliche

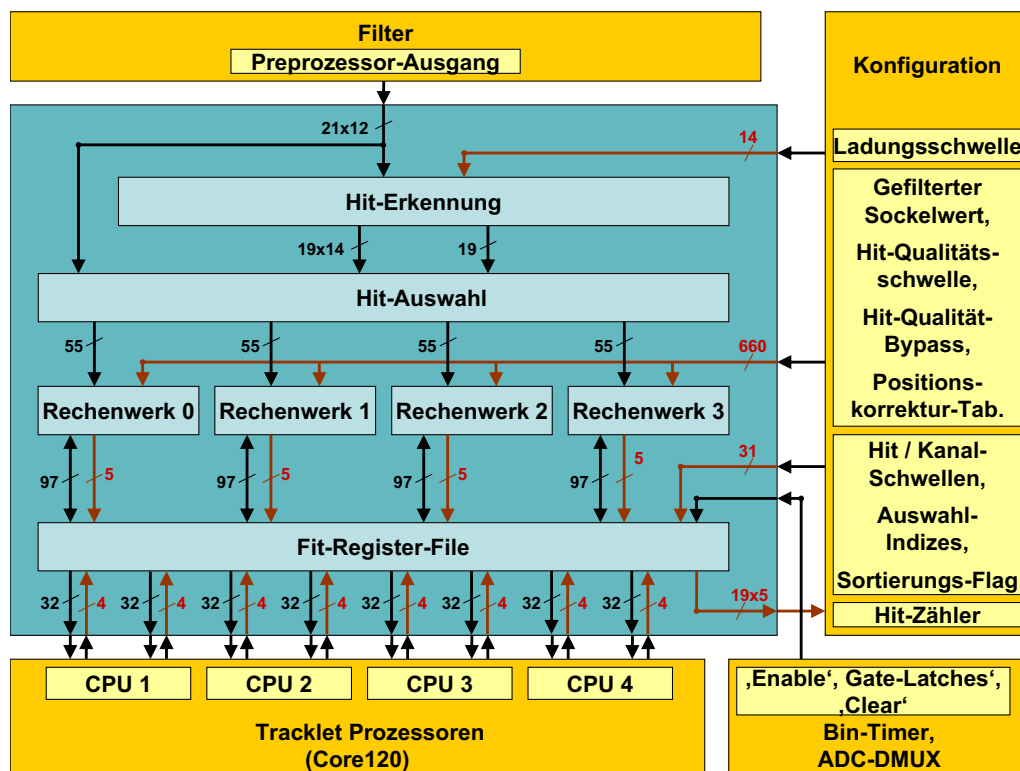


Abbildung 5.1: Der Preprozessor

Träger von so genannten Hits (s.u.) markiert. Daraus werden maximal vier ausgesucht und ihre Werte an die Rechenwerke übergeben. Diese parametrisieren die Hits als Beitrag zu Geradenstücken ('Tracklets') im entsprechenden Kanal. Die Parameter werden im 'Fit-Register-File' gespeichert und von dort in sortierter Form den Prozessoren (vgl. Abb. 3.1, Seite 20) zur Verfügung gestellt.

5.2 Hiterkennung und -auswahl

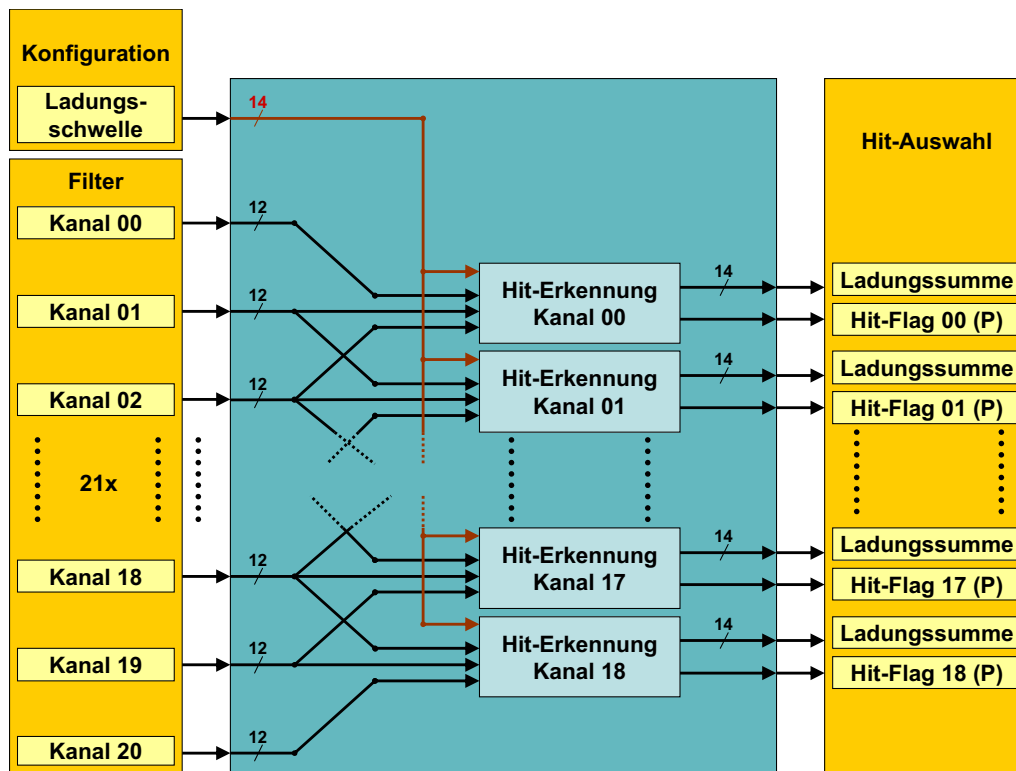


Abbildung 5.2: Kanalzuweisung bei der Hit-Erkennung

Die Hiterkennung ist für alle inneren Kanäle identisch, die beiden außen liegenden werden nur als Nachbarn verwendet (vgl. Abb. 5.2). Dabei gilt es zu beachten, dass sich aufgrund der verschiedenen Anzahl von gefilterten Kanälen (21) und zu bearbeitenden Kanälen (19) die Kanalnumerierung ändert.

Damit ein Kanal als einen Hit tragend markiert wird, müssen mehrere Bedingungen erfüllt sein: Komparatoren überprüfen, ob der Wert eines Kanals nicht kleiner als der des linken Nachbarn und größer als der des rechten Nachbarn ist. Außerdem muss die aus dem Wert des Kanals und denen seiner beiden Nachbarn gebildete Summe oberhalb einer einstellbaren Schwelle liegen (vgl. Abb. 5.3).

5.3. BESTIMMUNG DER FIT-PARAMETER IN DEN RECHENWERKEN⁶³

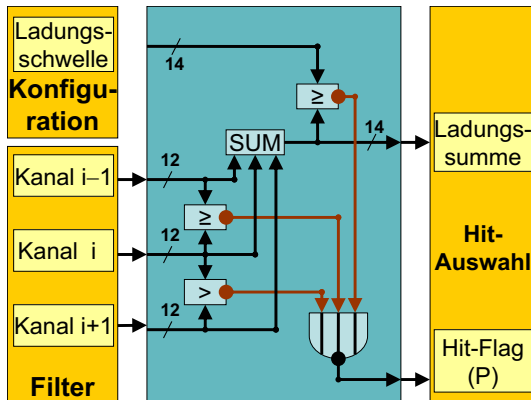


Abbildung 5.3: Schema der Hit-Erkennung

Aus den so markierten 19 Kanäle werden in der Hitauswahl maximal vier ausgesucht: Simulationen des Detektors haben eine zu erwartende Zahl von durchschnittlich zwei Hits pro Chip ergeben ([tdr]). In 21 Kanälen lassen sich bei einer Beanspruchung von drei bis vier Pads pro Hit maximal sechs Hits sicher bearbeiten. Zwei bis drei Pads sind durch die Ladungsteilung, s.u., belegt, ein freies Pad wird benötigt, um Überlapp zu vermeiden.

Daher werden bei der Sortierung nur maximal sechs Hits verglichen, die in einem Prioritätsenkoder aus der 19-Bit-Maske der Hit-Erkennung gewonnen werden([va0]). Ausgesucht werden hierbei die jeweils drei am weitesten links bzw. rechts gelegenen markierten Kanäle. Hiervon werden nun maximal die vier größten Hits ausgewählt. Als Bewertungsmaßstab dient hierzu die bei der Hit-Erkennung berechnete Ladungssumme. Aus Gründen der Ressourcenersparnis und Bearbeitungsdauer werden hier von den zur Verfügung stehenden 14 Bit allerdings nur die oberen acht genutzt.

Die ausgewählten Kanäle werden nun den vier Rechenwerken zugewiesen: Neben dem Kanalindex und der Ladungssumme werden dabei die gefilterten Werte des Kanals und seiner Nachbarkanäle übergeben. Sind weniger als vier Kanäle ausgewählt worden, so wird den frei bleibenden Rechenwerken der Index 31 übergeben.

5.3 Bestimmung der Fit-Parameter in den Rechenwerken

5.3.1 Übersicht

Jedes Rechenwerk bestimmt pro Zeitschritt in einem Kanal die genaue Position des zugeordneten Hits, bewertet diesen anhand eines Qualitätsmaßes und bestimmt daraus die Fit-Parameter, die dann in einem 'Read-Modify-Write-Zyklus' im entsprechenden Eintrag des 'Fit-Register-Files' akkumuliert werden

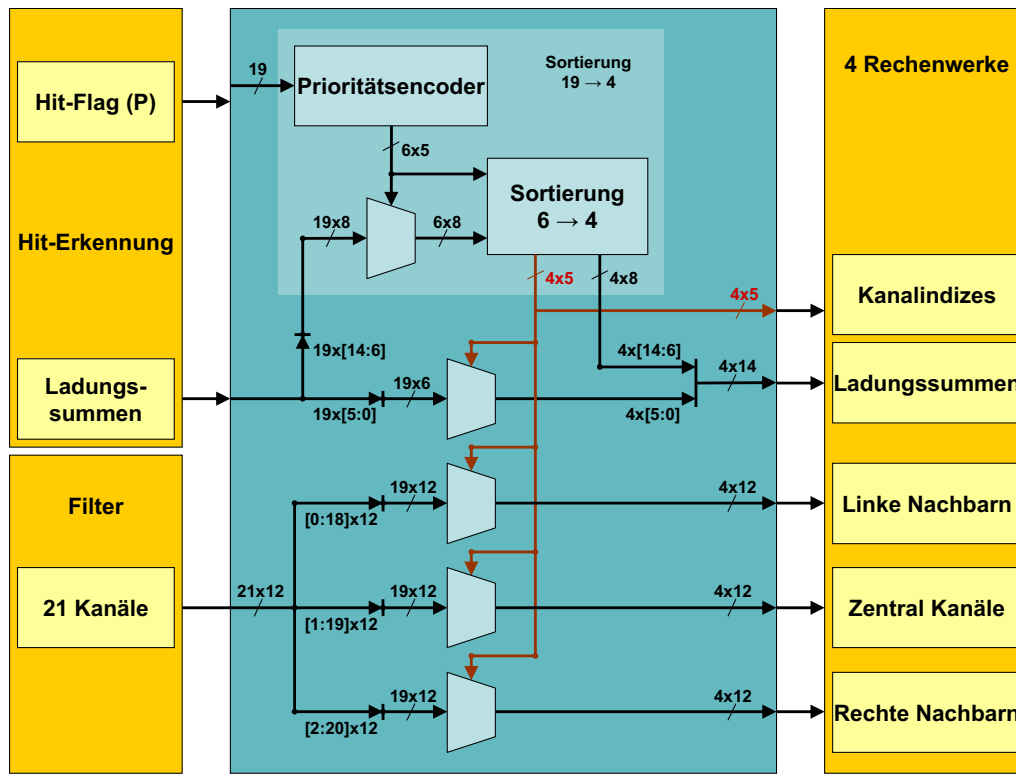


Abbildung 5.4: Schema der Hit-Auswahl

(vgl. Abb. 5.5). Zunächst wird von den gefilterten Daten ein gemeinsamer Konfigurationswert abgezogen. Dieser gleicht den bei der Sockelwertkorrektur aufaddierten homogenen Sockelwert aus. Im Falle eines Überlaufes wird das Ergebnis auf Null gesetzt. Aus den Resultaten in den drei Kanälen wird nun die Subpixelgenaue Position des Hits im ausgesuchten Kanal berechnet. Das Ergebnis bedarf dabei noch einer Korrektur, die der genauen Ladungsverteilung bei der Signalgewinnung an den Kathodenpads Ausdruck verleiht (vgl. 5.3.2). Aus Position und aktuellem 'Zeit-Bin' sowie der Ladungssumme ergeben sich die Summanden für die Parametrisierung der Spurabschnitte.

Neben der Position wird aus den Werten in den drei Kanälen ein Qualitätsmaß zur Bewertung des vorliegenden Hits gebildet (vgl. 5.3.2). Sollte dieses oberhalb einer Schwelle liegen, so wird der Hit verworfen. Dieses wird durch die Ersetzung des aktuellen Kanalindex durch 31 kenntlich gemacht. Die Bewertung lässt sich durch ein 'Bypass-Flag' aussetzen.

Die Akkumulation der Fit-Parameter wird im 'Fit-Register-File' vorgenommen. Zur Adressierung dient hierbei der Index des ausgewählten Kanals. Ist der Index ungültig, d. h. größer als 18, so findet keine Akkumulation statt.

5.3. BESTIMMUNG DER FIT-PARAMETER IN DEN RECHENWERKEN65

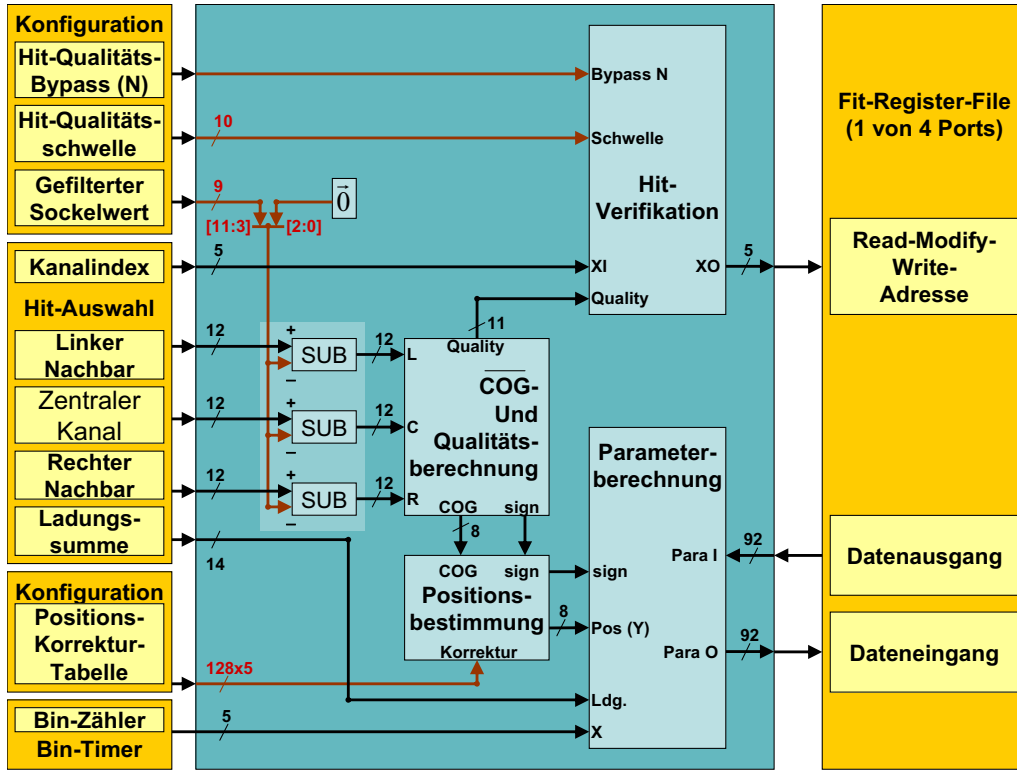


Abbildung 5.5: Gliederung des Rechenwerks

5.3.2 Positionsbestimmung und Ladungsclusterbewertung

In der Regel die zu bearbeitenden Hits isoliert. Daher kann bei bekannter Aufteilung der induzierten Ladung auf benachbarte Kathodenpads die Position des Hits weitaus genauer als eine Padbreite ($7,5\text{mm}$) bestimmt werden. Die Ladungsteilung wird durch die für den Detektor charakteristische Pad-Antwort-Funktion ('Pad-Response-Funktion', PRF) beschrieben. Die PRF des aktuellen Detektorprototypen zeigt Abbildung 5.6. Die Ladung auf einem Pad ergibt sich durch Integration der PRF entlang der Längsrichtung. Aus den Ladungen auf den Pads lassen sich Größen bilden, die eindeutige Rückschlüsse auf die Position zulassen. Geeignet erscheint neben der Schwerpunktsberechnung ('Center-of-Gravity', COG).

$$COG = \frac{Q_{Links} - Q_{Rechts}}{Q_{Links} + Q_{Zentrum} + Q_{Rechts}} \quad (5.1)$$

auch die Größe

$$\widetilde{COG} = \frac{Q_{Links} - Q_{Rechts}}{Q_{Zentrum}}. \quad (5.2)$$

In diesem Experiment wird die Variante \widetilde{COG} benutzt ([bv0]). Wie man in Abbildung 5.7 erkennt, zeigt \widetilde{COG} nur geringe Abweichungen von einem linearen

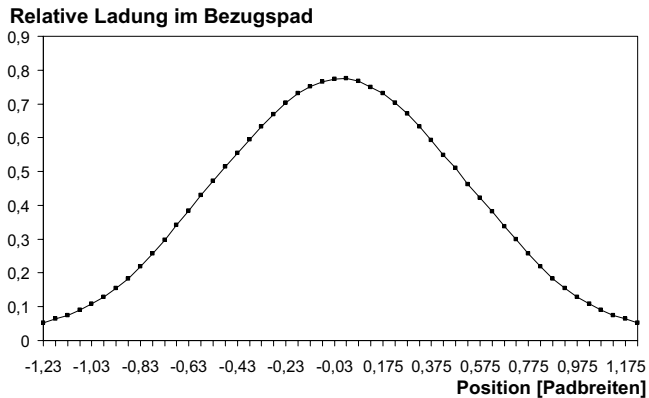


Abbildung 5.6:
Die Pad-Antwort-
Funktion ('Pad-
Response-Funktion',
PRF) ([aa0])

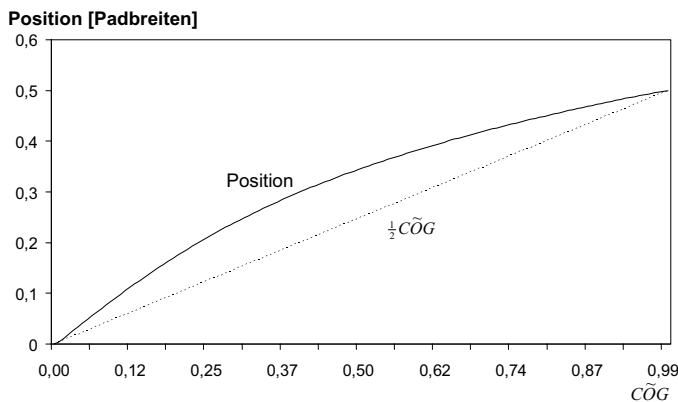


Abbildung 5.7: Die Hit-
position als Funktion
von $\widetilde{CÖG}$ ([bv0])

Verhalten. Der erste Schritt zur Positionsbestimmung ist also die Bildung des Verhältnisses $\widetilde{CÖG}$. Daran schließt sich eine Korrektur mithilfe einer LUT an, deren Einträge gemäß der zu messenden PRF des Detektors konfiguriert werden müssen. Eine Betrachtung der positiven Abweichungen vom Linearen Verhalten

$$Position \sim \frac{1}{2} \widetilde{CÖG} \quad [Padbreiten]$$

zeigt, dass bei einer angestrebten Genauigkeit von $\frac{1}{2} 2^{-7}$ Padbreiten eine Datenbreite der LUT von fünf Bit ausreichend ist. Die Betrachtungen sind spiegelsymmetrisch, also unabhängig vom Vorzeichen der Position. Abbildung 5.8 enthält die Darstellung der Berechnung der Position. Zunächst werden die beiden Nachbar Kanäle verglichen. Daraus resultiert das Vorzeichen der Position, das bis zur Parameterberechnung mitgeführt wird. Die weitere Berechnung erfolgt vorzeichenfrei: Die Differenz der beiden Nachbarn (größerer minus kleinerer) wird durch den Wert des zentralen Kanals geteilt. Das Ergebnis besteht aus einem Vorkomma und sieben Nachkommabits. Aufgrund der vorausgegangen Hit-Erkennung liegt das Ergebnis zwischen Null und Eins.

5.3. BESTIMMUNG DER FIT-PARAMETER IN DEN RECHENWERKEN67

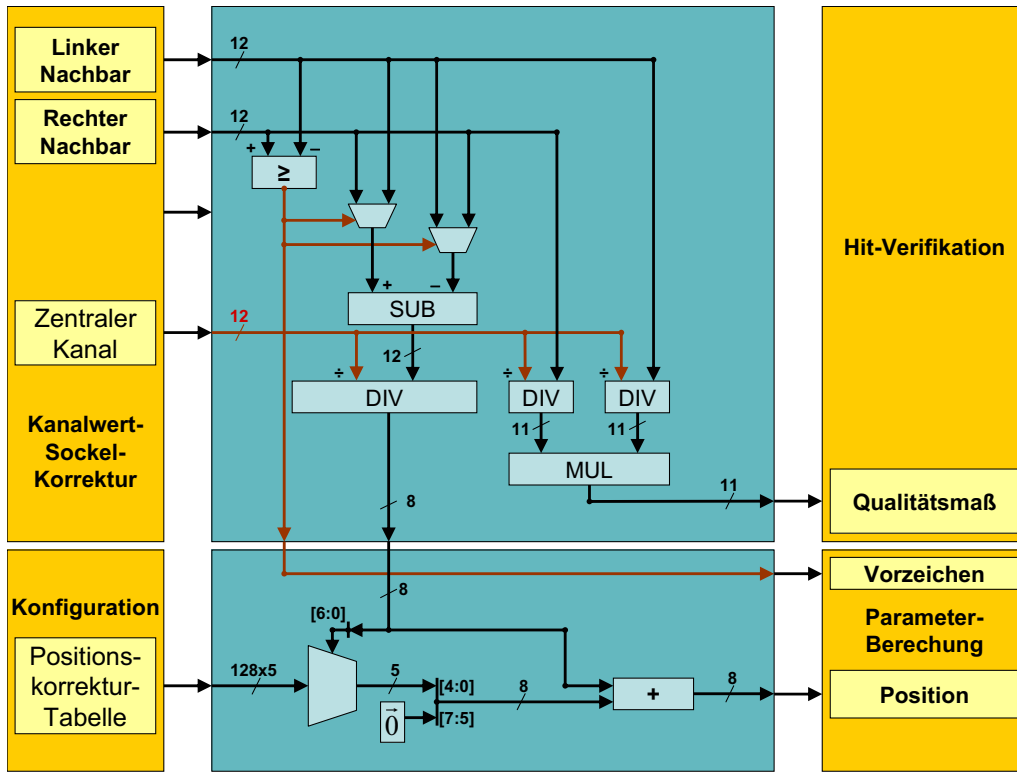


Abbildung 5.8: Berechnung von Position und Qualitätsmaß im Rechenwerk

Der Nachkommaanteil, also die unteren sieben Bit, steuert einem Multiplexer, der den zugeordneten LUT-Eintrag wählt. Die Halbierung des gebildeten Verhältnisses entspricht der Interpretation als volle acht Nachkommastellen. Diese werden mit dem die entsprechenden unteren fünf Bit repräsentierenden Korrekturwert addiert. Das Ergebnis ist die Position des Hits in Einheiten der Padbreite.

Damit ist die Positionsangabe mit einer Quantisierung von $\frac{1}{256} \approx 3,90 \cdot 10^{-3}$ Padbreiten bzw. $29,3 \mu\text{m}$ möglich. Der maximale Quantisierungsfehler liegt bei der Hälfte ($14,6 \mu\text{m}$).

Die Auflösung des Systems ist allerdings bedeutend schlechter, sie wird durch das nicht ideale Verhalten des Detektors, numerische Fehler bei der Filterung und durch die Digitalisierung der Werte bestimmt.

Zusätzlich wird aus den drei Kanälen ein Qualitätsmaß θ berechnet. Es dient dem Erkennen von überlagerten Ladungsklustern, wodurch die subpixelgenaue Positionsbestimmung mit dem vorliegenden Verfahren verhindert wird.

$$\theta = \frac{Q_{Links} \cdot Q_{Rechts}}{Q_{Zentrum}^2} = \frac{Q_{Links}}{Q_{Zentrum}} \cdot \frac{Q_{Rechts}}{Q_{Zentrum}} \quad (5.3)$$

Bei Betrachtung des Histogramms dieser Größe (Aliroot-Simulationen) ergibt sich eine gute Separierbarkeit von gewollten und ungewollten Ladungsclustern (vgl. Abb. 5.9). Bei einer gaußförmigen PRF hat das Histogramm die Gestalt eines

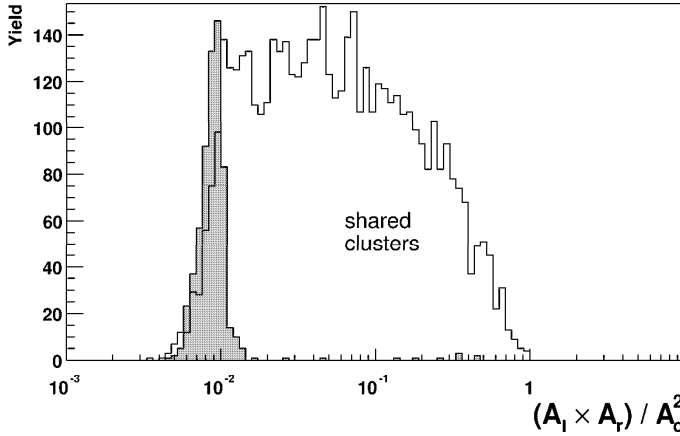


Abbildung 5.9: Histogramm des Qualitätsmaßes θ gewünschter und ungewünschter Ereignisse, ([tdr] S. 89)

Deltapeaks. Zur Beurteilung des vorliegenden Ladungshaufens und dem Vergleich mit einer geeignet zu wählenden Schwelle wird zusätzlich zur Position die Größe θ berechnet (vgl. Abb. 5.8). Hierzu werden die Verhältnis der Nachbarn mit dem Zentrum gebildet (je ein Vorkomma- und zehn Nachkommabits) und anschließend multipliziert. Das Produkt wird in einer Darstellung aus einem Vorkomma- und zehn Nachkommabits zur Verfügung gestellt. Der Vergleichswert, den θ nicht überschreiten darf ist zwischen Null und $2^{-4} - 2^{-10} \approx 0,0615$ in einer Schrittweite von 2^{-10} einstellbar:

$$\boxed{0,0000P_5P_4P_3P_2P_1P_0}$$

(Qualitätsmaßschwelle, binär)

5.3.3 Parametrisierung der Spurabschnitte

Die Spurabschnitte werden durch Ausgleichsgeraden parametrisiert:

$$Y = a + b \cdot X \quad (5.4)$$

Innerhalb des Preprozessors werden die Punkte innerhalb eines Kanals in einem Spurabschnitt zusammengefasst. Das Zusammenfügen von Spuren, die über mehrere Kanäle verteilt sind, wird in den Prozessoren (Core120) vorgenommen. Zur Vereinfachung der Arithmetik des Preprozessors werden die Spuren relativ zum Kanal betrachtet. Daher ist bei einer übergeordneten Parametrisierung eine Verschiebung in Y-Richtung vorzunehmen. Bei Betrachtung der Gleichungen der Ausgleichsgeraden

$$A = \bar{Y} - b \cdot \bar{X} \quad (5.5)$$

$$B = \frac{\sum_i (X_i - \bar{X})(Y_i - \bar{Y})}{\sum_i (X_i - \bar{X})^2} \quad (5.6)$$

wird bei Spurabschnitten, die mehrere Kanäle überstreichen deutlich, dass folgende Größen unabhängig zur Verfügung stehen müssen:

$$\boxed{\sum_i X_i, \sum_i X_i^2, \sum_i X_i Y_i, \sum_i Y_i, \sum_i Y_i^2} \quad \boxed{\sum_i Q_i}$$

Die Gesamtladung eines Spurabschnitts wird zur Unterscheidung zwischen Elektronen und Pionen genutzt (vgl. Abb. 5.10). Aufgrund der höheren Masse der

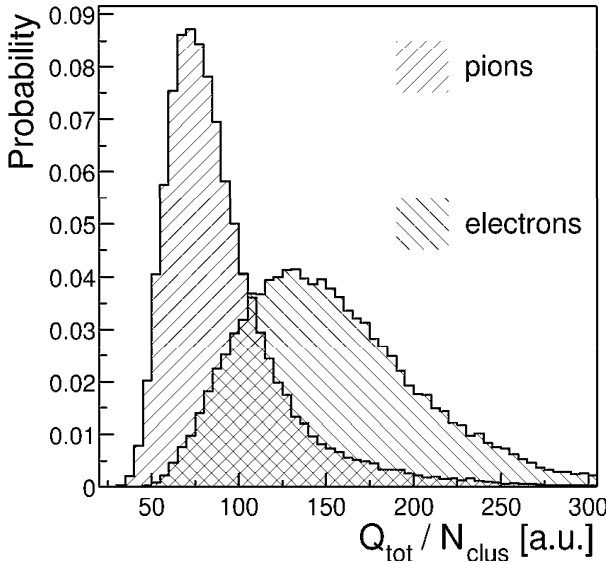


Abbildung 5.10: Histogramm der Ladung pro Cluster für Elektronen und Pionen ($3\text{GeV}/c \leq p_T \leq 5\text{GeV}/c$) ([tdr] S. 102)

Pionen ($m_{\pi^\pm} \approx 140\text{MeV}/c^2$) im Vergleich zu der der Elektronen bzw. Positronen ($m_{e^\pm} \approx 511\text{keV}/c^2$) ist bei gleichem Impuls das Energie–Ruheenergie–Verhältnis γ und damit die Energie der Übergangsstrahlung geringer ([jedi]). Diese ist direkt proportional zur Ladung, die sie in der Driftkammer auslöst ([kk]).

Der zweite Beitrag zur freigesetzten Ladung im Detektor, der von der Ionisation des Gases durch das bewegte geladene Teilchen selbst herrührt, ist nur von der Geschwindigkeit des Teilchens abhängig (Bethe–Bloch–Formel, [pheap], [ptk]):

$$\frac{dE}{dx} = \frac{4\pi N_0 z^2 \alpha_{em}^2 Z}{m_e v^2} \frac{Z}{A} \left\{ \ln \left[\frac{2m_e v^2}{I(1 - \beta^2)} \right] - \beta^2 \right\} \quad (5.7)$$

Bei gegebener Energie und größerer Masse eines Teilchens verringert sich der Energieverlust entsprechend der Geschwindigkeit (Notation s. C).

Die Akkumulation der Parameter wird gemäß der Architektur, wie sie in Abbildung 5.11 dargestellt ist, vorgenommen. Neben den Multiplikationen wird zuletzt die Umwandlung der Zahlendarstellung vorgenommen. Während die bisherige Arithmetik ausschließlich positive Zahlen behandelt und die Richtungsinformation lediglich in einem Vorzeichenbit kodiert ist, erfolgt die Akkumulation der Fit-Parameter in der Zweierkomplementdarstellung.

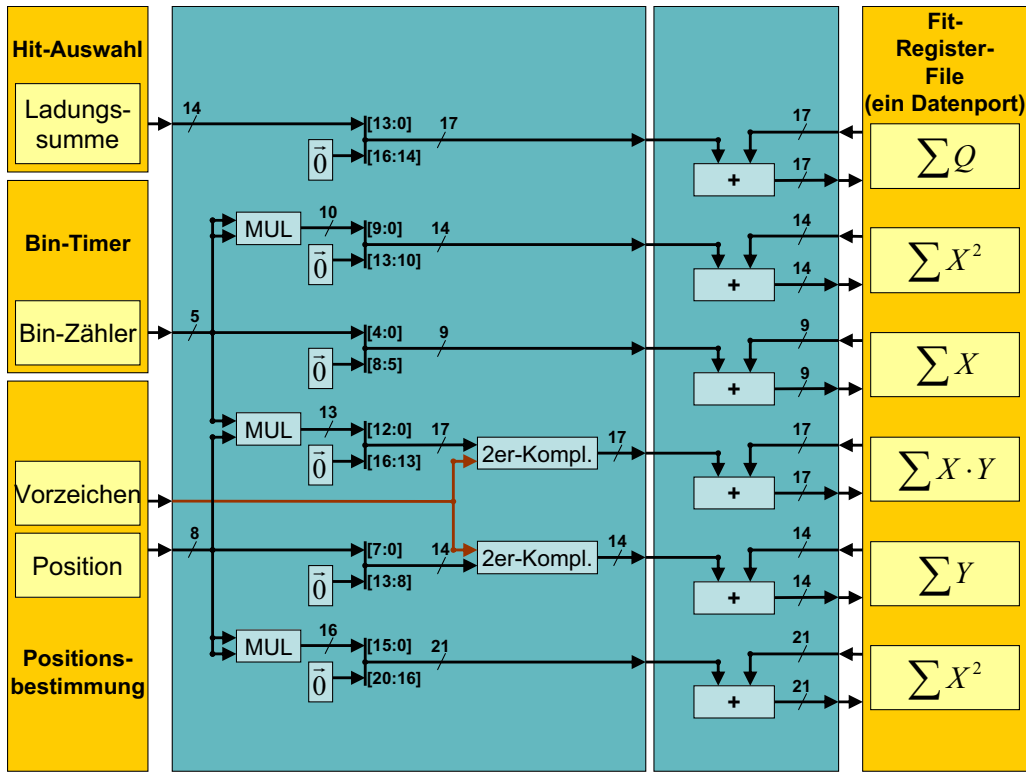


Abbildung 5.11: Akkumulation der Fit-Parameter

5.4 Speicherung und Ausgabe der Fit-Parameter

5.4.1 Zugriff auf das 'Fit-Register-File'

Der Zugriff auf den Speicher, der die Fit-Parameter der 19 Kanäle enthält erfolgt üblicherweise in zwei verschiedenen Modi, eine dritte Möglichkeit wurde zu Testzwecken hinzugefügt:

- Während der Datenakquisition wird auf vier Ports von den Rechenwerken gleichzeitig zugegriffen. Dabei werden die Daten jeweils von derselben Adresse gelesen, verändert und dann zurück geschrieben ('Read-Modify-Write', RMW).
- Nach der Datenakquisition werden vier feste Adressen ausgewählt, die mit ihrem jeweils rechten Nachbarn als Tracklet-Kandidaten für registerdirekte Zugriffe auf ihre Fit-Parameter zur Verfügung stehen. Dabei wird jeder CPU ein individuelles Adress- und damit Kanalpaar zugeordnet.
- Die Zahl der bearbeiteten Hits in den jeweiligen Kanälen kann für alle Kanäle über den globalen E/A-Bus gelesen werden. Alternativ zu den intern festgelegten Kanälen können unter gewissen Beschränkungen (s.u.)

über den globalen E/A-Bus festgelegte Kanäle zur registerdirekten Parameterauslese ausgesucht werden.

Obwohl der Speicher im vorliegenden Chip auf Flip-Flop-Basis realisiert wurde steht aufgrund der endlichen Verbindungsressourcen nur eine überschaubare Anzahl von Anschlüssen ('Ports') zur Verfügung. Analog zur Anzahl der Rechenwerke wurde ein 'Quad-Port-Memory' (QPM) gewählt. Daher müssen die Anschlüsse geteilt werden (vgl. Abb. 5.12).

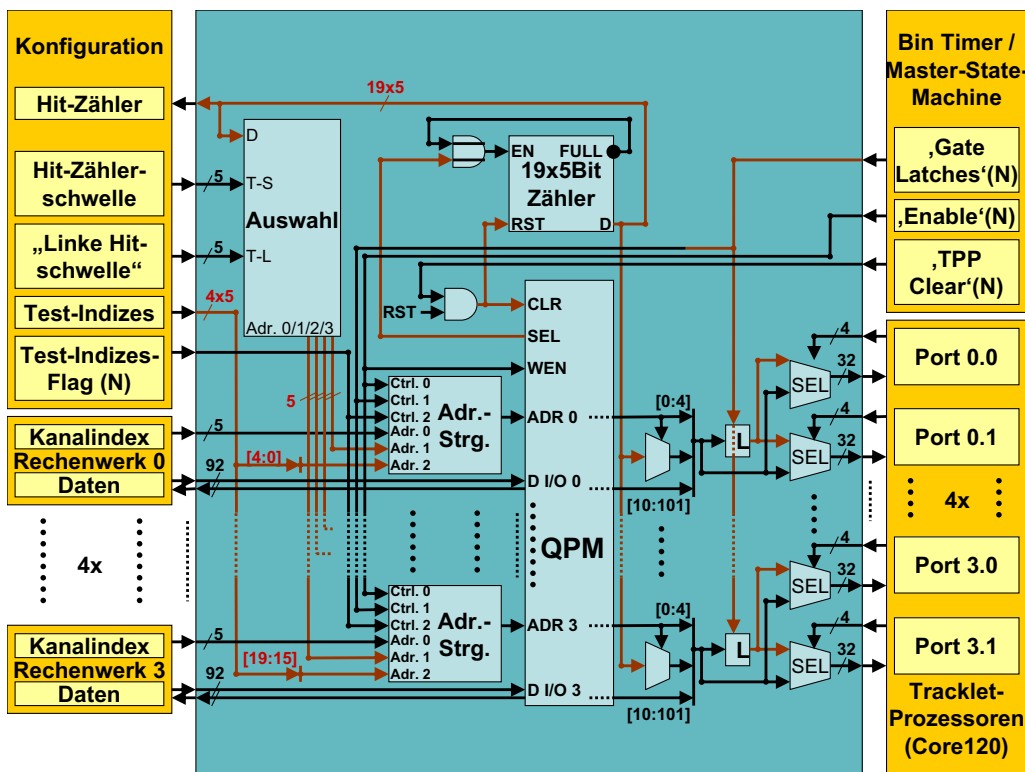


Abbildung 5.12: Organisation der Datenspeicherung

Die entsprechende Schaltung der Adresse findet in einer Steuerungseinheit statt, die entscheidet, welche der zur Verfügung gestellten Adressen (RMW-Adresse vom Rechenwerk, Konfigurierte Adresse, automatisch intern bestimmte Adresse oder ihr Nachbar) an einen Anschluss des Speichers angelegt werden (vgl. Abb. 5.13). Das 'Enable-Signal' des 'Bin-Timers' indiziert den Datenakquisitionsmodus. Die RMW-Adresse des zugeordneten Rechenwerks wird zum QPM durchgeschaltet. Nur in diesem Zustand kann der Speicher beschrieben werden (vgl. Abb. 5.12, S. 71). Außerhalb der Datenakquisition wird eine konfigurierbare Adresse angelegt, wenn ein entsprechendes Flag ('Use-Configuration-Address-Flag', 'low-active') gesetzt wurde. Andernfalls wird eine Adresse angelegt, die von einer internen Auswahllogik bestimmt wird.

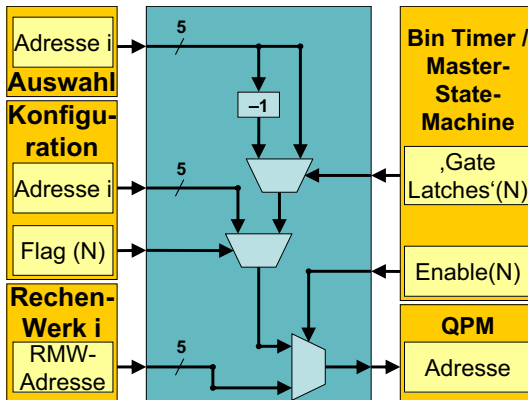


Abbildung 5.13: Adresskontrolle vor dem 'Quad-Port-Memory' des 'Fit-Register-Files'

Das 'Gate-Latches-Signal' geht durch eine Verzögerung um 0 bis 15 120-MHz-Takte aus dem 'Enable-Signal' des Preprozessors hervor. Die Verzögerung ist über den globalen E/A-Bus einstellbar und soll der empirisch zu ermittelnden Verzögerung der internen Auswahlinheit und des Speichers nach der Datenakquisition Rechnung tragen. Somit liegt zunächst die niedrigere Adresse eines ausgewählten Kanalpaars an, deren entsprechende Daten aus dem Speicher dann in einem 'Latch' gepuffert werden. Nach dem Schalten des 'Gate-Latches-Signal' von 'low' nach 'high' wird die höhere Adresse des Paares an das QPM angelegt, das 'Latch' hält nun seinen vorigen Wert. Die diesem Kanal entsprechenden Daten aus dem Speicher können analog zur angelegten Adresse für den weiteren Verlauf als konstant angesehen werden. Sie stellen zusammen mit den im 'Latch' gespeicherten Werten den vollständigen Satz von Fit-Parametern eines Kanalpaars dar.

Pro Kanal umfassen die Daten die oben eingeführten Parameter, die im QPM gespeichert werden, den Kanalindex, der mit der Adresse identisch ist, und die Anzahl der bearbeiteten Hits (Hitzzähler), die in einem Registersatz parallel zum QPM gespeichert werden. Pro Kanalpaar steht der Datensatz jeweils einem der vier Prozessoren in zwei parallelen Anschlüssen zur unmittelbaren Verknüpfung zur Verfügung (vgl. Tabelle 5.1). Obwohl die Daten zu den Prozessoren über 32Bit breite Anschlüsse übermittelt werden, wurde intern eine Anpassung der Speichergröße an die zu erwartenden Werte vorgenommen. Bei vorzeichenbehafteten Zahlen wird eine vorzeichenreue Erweiterung vorgenommen, ansonsten eine Ergänzung um Nullen.

Die Hitzzähler wurden separiert, da sie als Kriterium zur Hitkandidatenauswahl (s. 5.4.2) dienen und daher für alle Kanäle gleichzeitig verfügbar sein müssen. Die Auswahl zur Auslese erfolgt durch Multiplexierung. Die Werte der Zähler sind nicht direkt beschreibbar, vielmehr werden die Einträge inkrementiert, wenn die entsprechenden Kanäle adressiert werden. Der Adressdekoder des QPM ('Select-Signale') wird für diese Aufgabe mitverwendet. Sowohl die Hitzzähler als auch der QPM werden vom globalen 'Reset' oder von einem 'Clear-Signal' des 'Bin-

Adresse	Kanal	Parameter	Wertebereich	interne Bitbreite
0	unterer Kanal	Index	0 - 17, 31	5
1		'Hit-Count'	≤ 20	5
2		$\sum_i Q_i$	≤ 61360	17
3		$\sum_i X_i$	≤ 190	9
4		$\sum_i X_i^2$	≤ 2470	14
5		$\sum_i Y_i$	$\parallel \leq 2560$	14
6		$\sum_i X_i Y_i$	$\parallel \leq 24320$	17
7		$\sum_i Y_i^2$	≤ 327680	21
8	oberer Kanal	Index	1 - 18, 0	5
9		'Hit-Count'	≤ 20	5
10		$\sum_i Q_i$	≤ 61360	17
11		$\sum_i X_i$	≤ 190	9
12		$\sum_i X_i^2$	≤ 2470	14
13		$\sum_i Y_i$	$\parallel \leq 2560$	14
14		$\sum_i X_i Y_i$	$\parallel \leq 24320$	17
15		$\sum_i Y_i^2$	≤ 327680	21

Tabelle 5.1: Registerdirekte Parametrisierung der Fit-Parameter

Timers' auf Null gesetzt.

5.4.2 Auswahl der Spurabschnitte, Kanalaufteilung

Als Kriterium für die Auswahl eines Kanalpaares als Tracklet-Kandidat dient die Anzahl der Cluster, die in den jeweiligen Kanälen für den Geradenfit genutzt wurden: Dabei müssen die Anzahl der Hits im linken Kanal ebenso wie die Gesamtzahl der Hits jeweils über konfigurierbaren Schwellen liegen.

Aus den Kanalpaaren, die diesen Bedingungen genügen, werden nun die vier mit der größten Anzahl von Hits ausgesucht. Die Parametersätze dieser Kanalpaare werden jeweils einem Prozessor für Registerdirekte Zugriffe zur Verfügung gestellt. Die Sortierung wurde auf die Zahl von acht bis 20 Hits beschränkt, was zum einen der Mindestforderung an Hits pro Tracklet und zum anderen einer Spur, die sich über die gesamte Kammer erstreckt.

Sollten weniger als vier Tracklet-Kandidaten die Bedingungen erfüllen, so werden nur die Prozessoren mit niedriger Nummer mit brauchbaren Daten versorgt. Die restlichen Prozessoren erhalten als Kanalpaar die Indizes 31 (unterer Kanal) und Null (oberer Kanal). Eine Bearbeitung eines Trackletkandidaten sollte daher die Indizes der zur Verfügung gestellten Kanäle prüfen.

Ein Chip bearbeitet einen kleinen Ausschnitt aus einer größeren Reihe von Da-

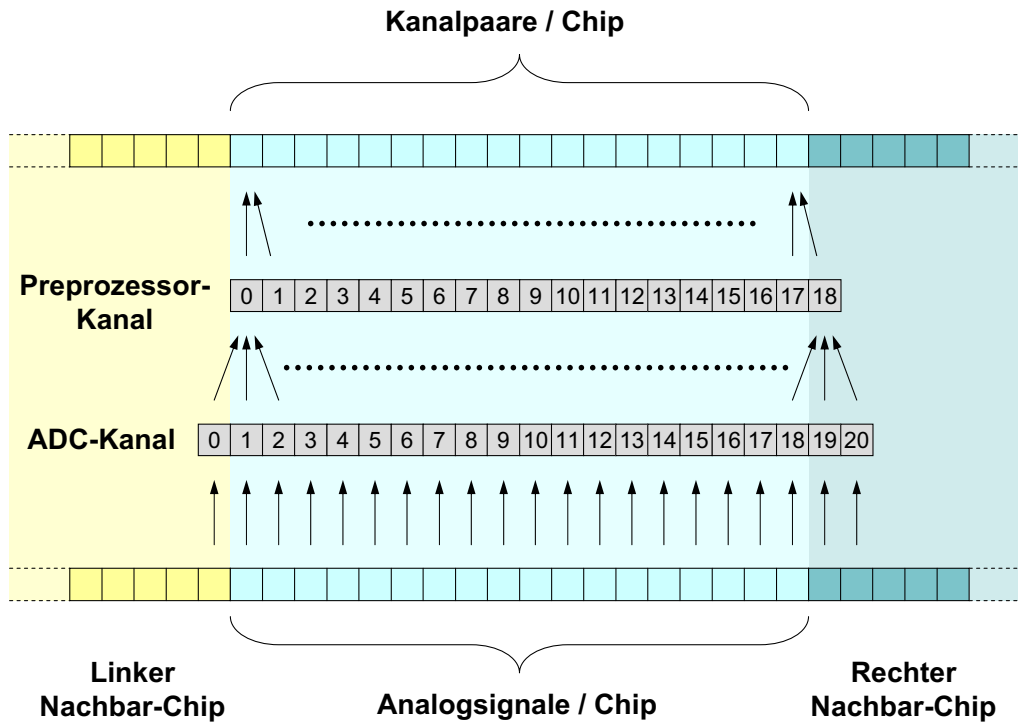


Abbildung 5.14: Kanalzuordnung benachbarter Chips

tenkanälen. Ein besonderes Augenmerk gilt der Datenverarbeitung an der Grenze des Zuständigkeitsbereichs zweier Chips: Jedem Chip sind 18 Kanäle zugeordnet. Die zu findenden steifen Spuren erstrecken sich über maximal zwei Kanäle. Das gilt auch unter Berücksichtigung der Spurverzerrung durch den Einfluss des Magnetfeldes auf die Bewegung der Ladungsträger in den Driftregionen des Detektors (Lorentzwinkel). Um eine deckende Bearbeitung von Kanalpaaren zu gewährleisten, errechnet jeder Chip Spuren in einen weiteren Kanal (Kanal 18, vgl. Abb. 5.14).

Um die Spuren in einem Kanal aus der Position der Cluster bestimmen zu können, wird die Ladungsaufteilung zwischen benachbarten ADC-Kanälen betrachtet (vgl. 5.3.2). Daher sind für die zu bearbeitenden Kanäle in jedem Chip neben den direkt zugeordneten auch die jeweils benachbarten Signale zur Verfügung zu stellen. Daher werden an den Rändern zwei weitere Kanäle hinzugenommen. Abbildung 5.14 zeigt alle 21 Kanäle, in denen Rohdaten empfangen werden. Die Verteilung der Analogsignale erfolgt hierbei nach der Verarbeitung durch den PASA.

Kapitel 6

Die weiteren Komponenten des Digitalen Frontends

6.1 Der ADC–Demultiplexer (ADC–DMUX)

6.1.1 Architektur

Diese Komponente des Designs, die von Dr. V. Angelov implementiert wurde, fasst mehrere Funktionen zusammen ([va0]): Neben dem Abrufen der ADC–Werte und deren Abbildung auf die internen 21 Kanäle erfüllt sie bestimmte Aufgaben als Teil der 'Master–State–Machine' des Chips. Außerdem stellt sie eine in 120MHz–Perioden (8,33ns) einstellbare Verzögerung von maximal 16 Takten eines Signals des Preprozessors bereit (Kapitel 5).

Die Werte der 16 externen und die der 3 internen Kanäle werden auf die 21 vom Filter erwarteten abgebildet (vgl. Abb. 6.1). Diese Anzahl entspricht bereits der, die auch im finalen Chip zu verarbeiten ist.

Um die Aufteilung der Tracklets zwischen verschiedenen Chip im Detektor testen zu können (vgl. 5.4.2) werden die 16 Kanäle des ALTRO–Chips in zwei Achtergruppen am Rand positioniert. Die beiden inneren (ALTRO–Chip–Kanal Nummer 7 und 8) werden auf benachbarte Kanäle doppelt abgebildet. Darin eingebettet sind die drei internen ADC–Kanäle. Im finalen Chip werden die Werte für alle 21 Kanäle intern generiert.

Je vier ADC–Werte des ALTRO–Chip teilen sich einen Auslesebus (Zeitmultiplexverfahren). Die Auswahl erfolgt über ein allen vier Bussen gemeinsames 2Bit–'Select'–Signal. Die weitere Ansteuerung der ADCs aus dieser Komponente heraus (ALTRO–ADCs: 'Clock', interne ADCs: 'Enable', 'Sample', 'Reference') ist in Zusammenhang mit der 'Master–State–Machine' zu sehen([va1]). So werden Steuersignale für den PASA (serielle Daten–, 'Clock–' und Strobe–Bits) wie zum

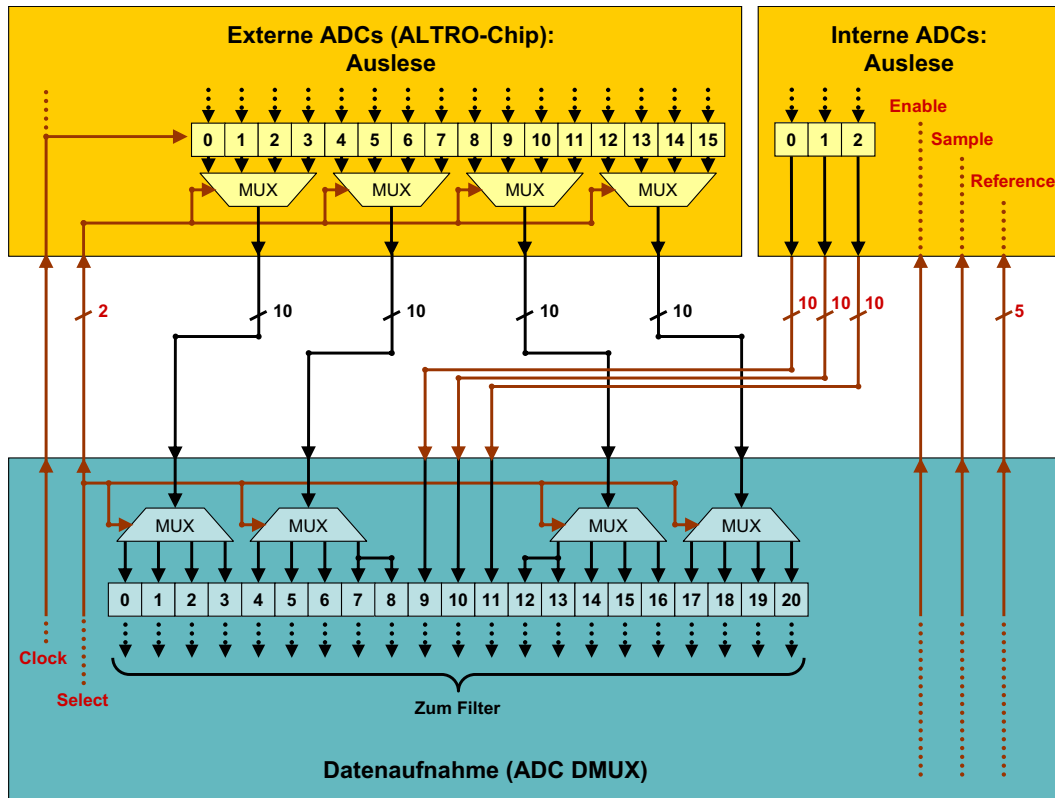


Abbildung 6.1: Auslese und Abbildung der ADC-Werte auf die internen Kanäle

Beispiel zur Erzeugung eines Testpulses für die ADCs erzeugt.

Des Weiteren findet in dieser Komponente die Erzeugung der beiden getrennten 10MHz-'Clocks' für das Filter und den Preprozessor statt. Diese werden durch Signale des separaten Teils der 'Master-State-Machine' (MSM) ein- und ausgeschaltet. Das Filter-Taktsignal wird zu Synchronisationszwecken an die MSM weitergereicht.

Darüber hinaus ist diese Komponente für die Ansteuerung der Chipidentifikationspins (Chip-ID) verantwortlich. Hier werden die Chip-ID-Bits seriell abgerufen und dann parallel durch den globalen E/A-Bus abrufbar zur Verfügung gehalten.

Zuletzt stellt diese Komponente eine in 120MHz-Perioden (8,33ns) einstellbare Verzögerung eines Signals des Preprozessors bereit. Diese Komponente ist mittels verschiedener Parameter, die im globalen Adressbereich der Einstellungen von Digitalem Frontend und Preprozessor liegen konfigurierbar (vgl. Anhang A).

6.2 Der Event-Buffer

Der Event Buffer besteht aus 21 Speichermodulen, die je 64 Wörter aufnehmen können, und der dazugehörigen Kontroll-Logik (vgl. Abb. 6.2). Es ist jedoch die Option der Erweiterung auf 128 Wörter im finalen Chip vorgesehen. Dabei besteht jedes Wort aus 10 Daten- und einem Paritätsbit.

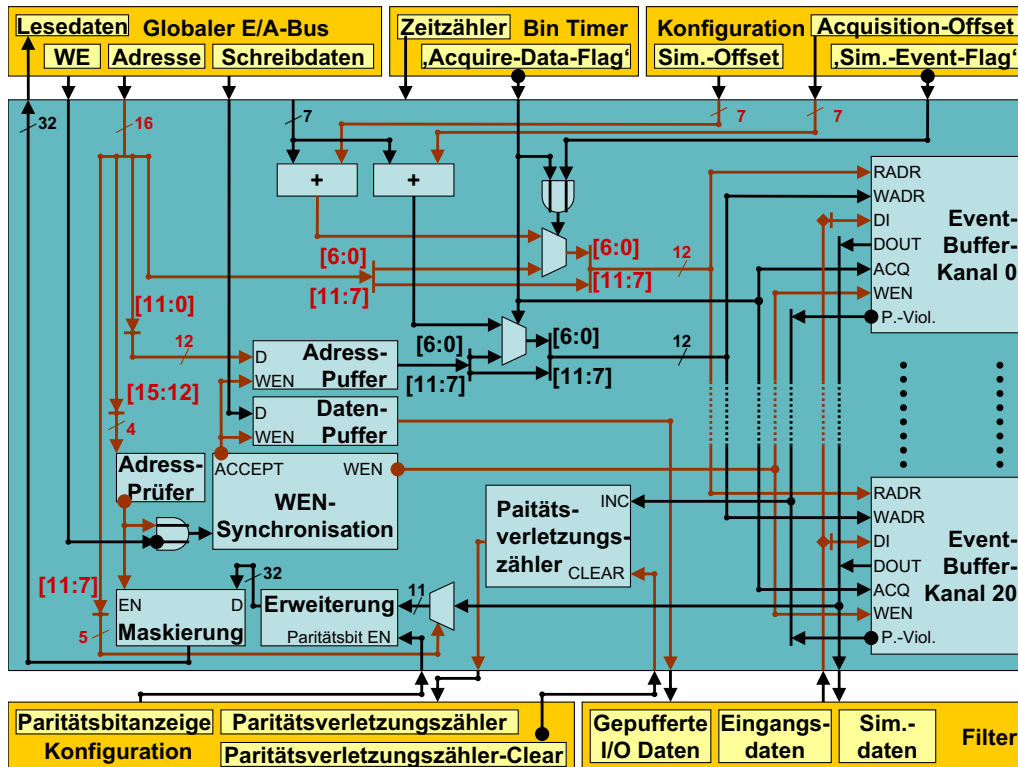


Abbildung 6.2: Zur Struktur des Event-Buffers

Die im jeweiligen Kanal zu speichernden Daten werden in der Datenkontroll-einheit des entsprechenden Filterkanals bestimmt (vgl. 4.2). Dies können die verzögerten Rohdaten der ADCs, die gefilterten Daten oder eine Eingabe über den globalen E/A-Bus sein. Das ausgesuchte Datum liegt um ein Paritätsbit (Bit 10) ergänzt am Eingang des Speichers des entsprechenden Kanals an. Damit sollen mögliche Störungen der Daten wie z. B. durch Strahlung entdeckt werden.

Die zu interpretierende Adresse ist vom jeweiligen Zustand des Systems abhängig: Während eines Ereignisses wird in allen 21 Kanälen geschrieben, die Wortadresse ergibt sich als Summe von relativer Ereigniszeit, die vom 'Bin-Timer' zur Verfügung gestellt wird, und einem konfigurierbaren 'Offset' ('Akquisitions-Offset'). Gelesen wird dabei von der Speicherstelle, die sich als Summe von relativer Ereigniszeit und einem weiteren einstellbaren 'Offset' ('Simulations-Offset')

errechnet. Auf diese Art und Weise werden die Daten für die Simulation eines Ereignisses für das Filter und den Preprozessor zur Verfügung gestellt.

Nur wenn kein Ereignis zu bearbeiten ist, sind Speicherzugriffe über den global E/A-Bus möglich. Beim Lesen findet im jedem Kanal ein Zugriff auf die entsprechende Adresse (Adressbits 0 bis 5) statt. Dann wird eines der Daten ausgesucht (Adressbits 7 bis 11) und, falls der Event-Buffer als Gerät angesprochen wurde (Adressbits 12 bis 15), auf den globalen Datenbus freigeschaltet.

Beim Schreiben ergibt sich die Adresse aus den unteren sechs Bits der globalen Adressierung (Bits 0 bis 5). Die anderen Adressbestandteile wie Kanal (Bits 7 bis 11) und Gerät (Bits 12 bis 15) werden zur Generierung von Kontrollsignalen genutzt, die mit dem globalen 'Write-Enable' verknüpft den Schreibzugriff ermöglichen ('Write-Enable' des Speichers).

Der Event-Buffer wird mit einer Taktrate von 10MHz beschrieben während der globale E/A-Bus zu einem 120MHz schnellen Takt synchron ist. Daher ist bei Schreibzugriffen eine Synchronisationseinheit für das 'Write-Enable' implementiert worden, die auch die Pufferung der Adresse und Daten kontrolliert (s. u.).

Bei jedem Lesezugriff findet eine Überprüfung der Parität statt. Die Verletzungen werden in einer allen Kanälen gemeinsamen Einheit gezählt. Der Zähler ist über den globalen E/A-Bus auslesbar.

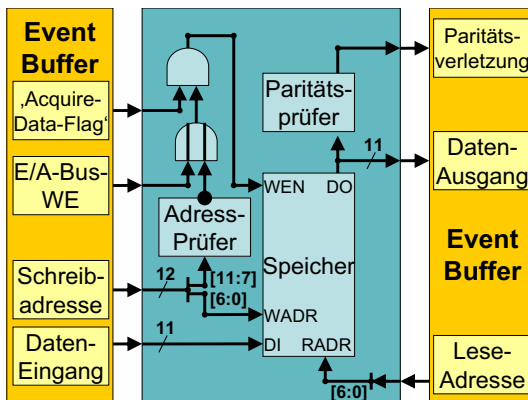


Abbildung 6.3: Struktur der Event-Buffer-Kanäle

In einem Kanal des Event-Buffers befindet sich ein Adressprüfer für den entsprechenden Kanalindex, ein Paritätsprüfer und der Speicher selbst (vgl. Abb. 6.3). Das Ergebnis der Adressprüfung ergibt mit dem gepufferten 'Write-Enable' des globalen E/A-Busses und dem 'Acquire-Data-Flag' das 'Write-Enable' des Speichers. Die unteren sechs Bit der Schreibadresse liegen an 'Write-Address' des Speichers an, die unteren sechs Bit der Leseadresse an 'Read-Address'. Das 'Read-Enable-Signal' des Speichers ist immer aktiv gesetzt. Der Paritätsprüfer gibt sein Ergebnis an den übergeordneten Zähler weiter.

Der so angesteuerte Speicher wurde als automatisch generierte 'Full-Custom-Komponente' der Firma Virtual Silicon eingesetzt.

Für Lesen und Schreiben stehen getrennte Takteingänge zur Verfügung. Der 10MHz-Schreibtakt entspricht dem der Datengewinnung in den ADCs und des digitalen Filters, der Lesetakts dem invertierten 120MHz schnellen Taktsignal des globalen E/A-Busses. Die Inversion findet statt, um für die anderen Geräte am Bus ein asynchrones Lesen emulieren zu können (vgl. Abb. 6.4): Die Adresssignale werden nach einer halben 120MHz-Periode (8,33ns) als stabil betrachtet ($T_{AV} < 4,16ns$) und synchron zur fallenden Taktflanke übernommen. Die verbleibende zweite Periodenhälfte wird zur Bereitstellung der Daten genutzt, die zur steigenden Taktflanke gültig anliegen ($T_{AD} \ll T_{DV} < 2,20ns$ nach Datenblatt).

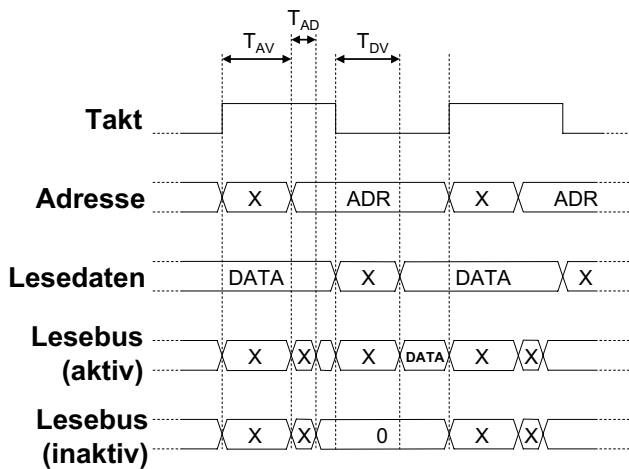


Abbildung 6.4: Lesezugriff auf den Event-Buffer

Die Synchronisation der schnellen Schreibbefehle auf dem globalen E/A-Bus mit den langsamen Schreibzugriffen des 'Event-Buffers' wird in einer separaten Einheit umgesetzt (vgl. Abb. 6.5). Ein Schreibzugriff kann, falls der 'Event-

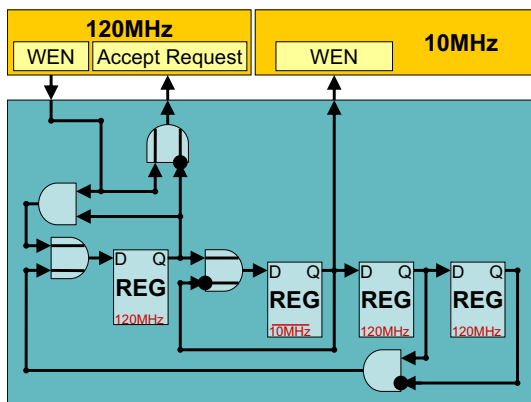


Abbildung 6.5: Synchronisationslogik zum Schreiben auf den Event-Buffer

Buffer' angesprochen wird, gepuffert und dann mit dem langsamen Schreibtakt abgearbeitet werden. Weitere Schreibzugriffe werden in dieser Zeit ignoriert. Nach

der Speicherung der Daten geht die Synchronisationseinheit in den Ausgangszustand zurück (vgl. Abb. 6.6):

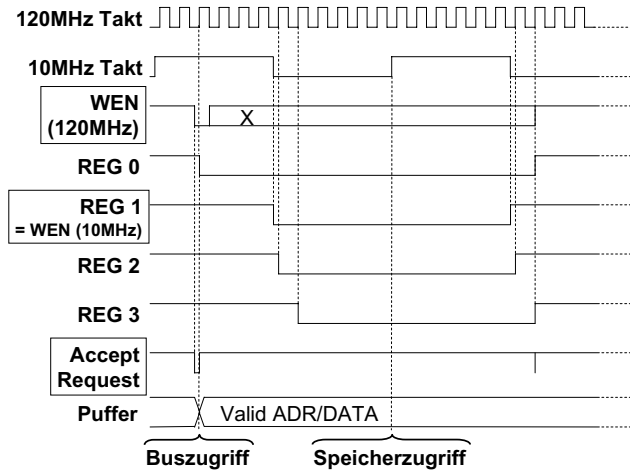


Abbildung 6.6: Schreibzugriff auf den Event-Buffer

Register 0 arbeitet synchron zum 120MHz schnellen Takt. Es hält so lange den Wert 'high' bis bei einer steigenden Taktflanke ein 'Write-Enable' gesetzt ('low-active') ist. Der Wert 'low' wird gehalten, bis der Schreibvorgang zum Speicher abgeschlossen wurde. Wenn das Register von 'high' nach 'low' übergeht wird parallel dazu in Registern die Adresse und das Datum gepuffert ('Accept-Request'). Register 1 verharrt im Zustand 'high' bis es synchron zum inversen 10MHz-Takt nach 'low' übergeht. Es ist identisch mit dem 'Write-Enable' des Speichers der einen halben Takt später den Schreibzugriff durchführt.

Synchron zur nächsten fallenden Flanke geht Register 1 wieder nach 'high' über. Die beiden Register 2 und 3 triggern auf diesen Übergang: Register 2 übernimmt mit dem 120MHz-Takt den Wert von Register 1 und gibt ihn an Register 3 weiter. Wenn Register 3 den Wert 'low' und Register 2 den Wert 'high' tragen, wird Register 0 synchron auf 'high' zurückgesetzt.

6.3 Ereigniskontrolle im 'Bin-Timer'

Der 'Bin-Timer' ist die zentrale Kontrollinstanz für die Arbeit von Filter, 'Event-Buffer' und Preprozessor. Er steht in direktem Kontakt mit der 'Master-State-Machine' (MSM) des Chips. Wie in Abbildung 6.7 zu erkennen ist, handelt es sich dabei im Wesentlichen um einen 7Bit-Zähler, der von der MSM in Gang gesetzt wird (Akquisitionsstartsignal, 'low-active') und nach einem vollständigen Durchlauf stehen bleibt. Das 'Clear-Signal' der MSM setzt sowohl den Zähler selbst als auch den Preprozessor zurück.

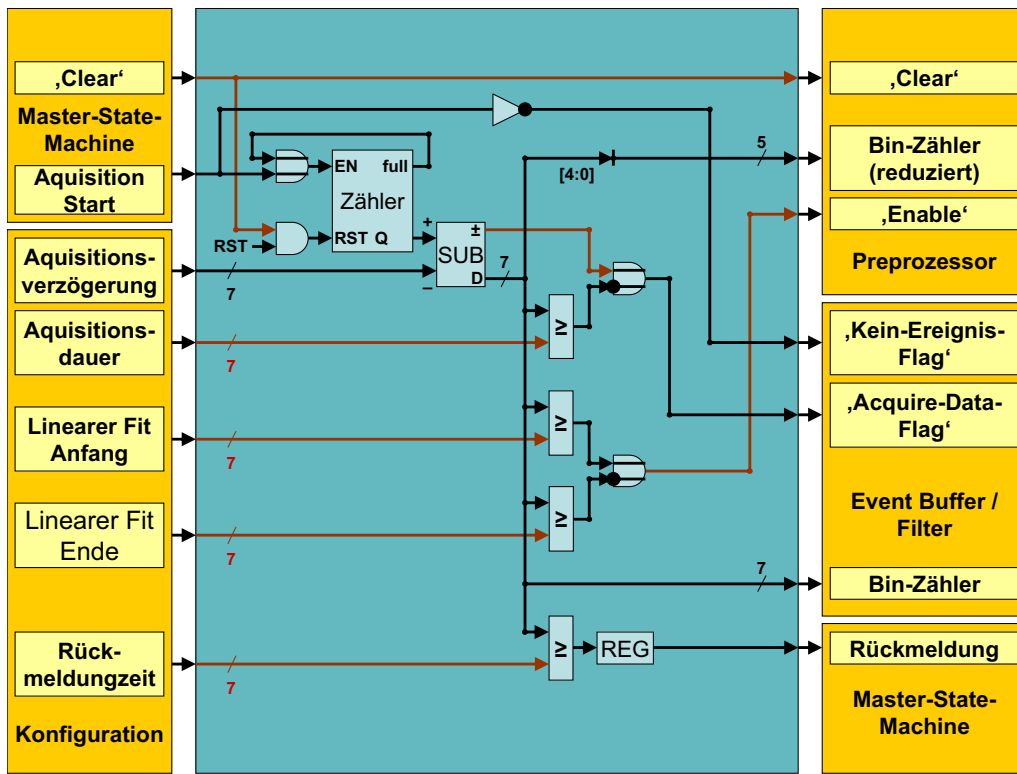


Abbildung 6.7: Die Struktur des 'Bin-Timers'

Der 'Bin-Timer' besitzt fünf konfigurierbare Parameter. Das erste bestimmt den Versatz zwischen dem Zähler und der zum Ereignis relativen Zeit (Akquisitionsverzögerung). Alle weiteren Parameter beschreiben hierauf bezogene Zeitmarken. Der hierzu eingesetzte Subtrahierer gibt nur positive Differenzen aus, andernfalls Null. Das Vorzeichen des Ergebnisses wird immer weitergegeben.

Wenn die zum Ereignis relative Zeit positiv ist und die Zeitmarke für das Ende der Datenakquisition noch nicht erreicht ist (Akquisitionsdauer), wird für den 'Event-Buffer' das 'Acquire-Data-Flag' ('low-active') gesetzt. Wenn die Zeit zwischen den Marken des Anfangs und des Endes des linearen Fits liegt (Linearer-Fit-Anfang und Linearer-Fit-Ende), erhält der Preprozessor sein 'Enable-Signal' ('low-active'). Das 'Gate-Latches-Signal' des Preprozessors wird über eine Verzögerungseinheit des ADC-DMUX hiervon abgeleitet. Der letzte Vergleich wird mit der Rückmeldezeit vorgenommen. Sie bestimmt, wann die MSM vom 'Bin-Timer' Nachricht erhält, dass Datenspeicherung und -vorverarbeitung abgeschlossen sind. Dieses Signal wird gepuffert weitergegeben, um 'Glitches' zu vermeiden.

Da in dieser Einheit die Zeit ermittelt wird, muss diese zum einen für die Berechnung der Fit-Parameter an den Preprozessor und zum anderen zur Adres-

sierung der zu schreibenden Daten an den 'Bin-Timer' weitergegeben werden. Da der Fit jedoch nur während maximal 20 Zeiteinheiten, was der Verarbeitung der Daten aus der gesamten Kammer entspricht, durchgeführt wird, werden an den Preprozessor nur die unteren fünf Bit der Zeit übermittelt. Die Tiefe des Zählers entspricht der maximal vorgesehenen Tiefe des 'Event-Buffers' (vgl. 6.2).

6.4 Konfiguration

Die Konfiguration stellt den Speicher, der die Werte der Parameter für den 'Bin-Timer', den 'Event-Buffer', das digitale Filter und den Preprozessor enthält, zur Verfügung. Außerdem macht sie unter Verwendung derselben Adressdekodierung Kontrollparameter aus den einzelnen Modulen zugänglich (vgl. Abb. 6.8). Lesen und Schreiben der Parameter von außerhalb wird über den globalen E/A-Bus vorgenommen. Die Parameter selbst sind immer mit den dazugehörigen Instanzen verbunden.

Lesezugriffe auf die Konfiguration werden direkt aus den Signalen des globa-

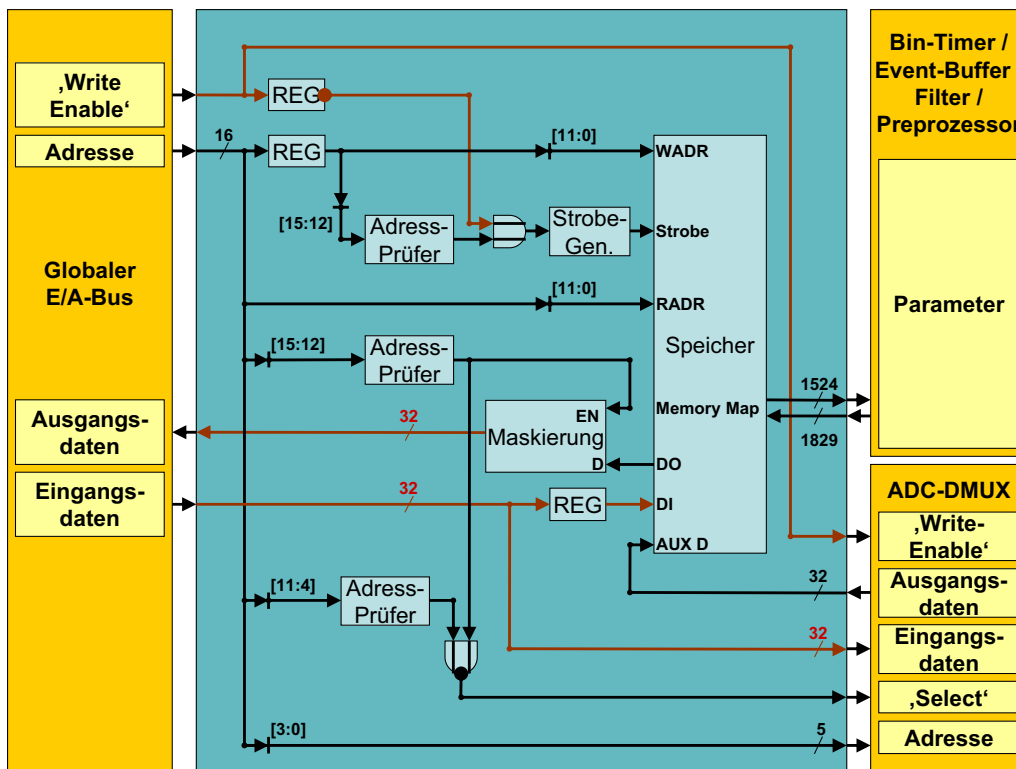


Abbildung 6.8: Die Struktur der Konfiguration

len E/A-Busses abgeleitet: Wenn die oberen Bits (Bit 12 bis 15) der Adresse mit der Gerätebezeichnung der Konfiguration übereinstimmen, wird das Datum,

das den unteren Adressbits (Bit 0 bis 11) entspricht, auf den Datenausgabebus durchgeschaltet.

Schreibzugriffe werden gepuffert vorgenommen. Damit wird der Forderung nach einem geringen Stromverbrauch Rechnung getragen: Allein die Eingangspuffer für Adresse, Daten und 'Write-Enable' sind am globalen E/A-Bus angeschlossen und arbeiten synchron zum dazugehörigen Taktsignal (120MHz). Die Flip-Flops des Speichers erhalten nur bei einem Schreibzugriff auf die Konfiguration ein 'Strobe-Signal'. Dieses wird ausgelöst, wenn in den entsprechenden Puffern die korrekte Geräteadresse (Bits 12 bis 15) gespeichert und das 'Write-Enable' gesetzt ist. Abbildung 6.9 zeigt, wie das 'Strobe-Signal' generiert wird. Es ist auf eine halbe Taktlänge beschränkt, so dass kontinuierliche Schreibzugriffe

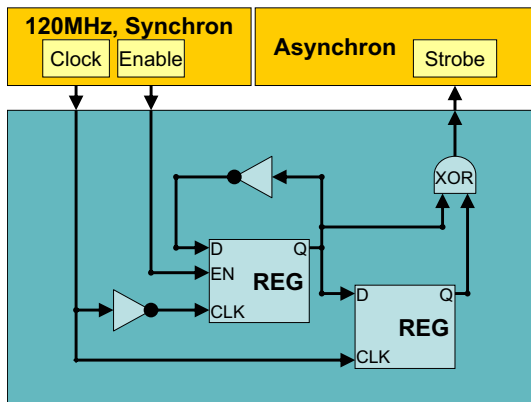


Abbildung 6.9: Der 'Strobe-Generator' der Konfiguration

auf die Konfiguration möglich sind.

Die Parameter des ADC-DMUX befinden sich zwar ebenfalls im Adressraum der Konfiguration, werden jedoch lokal in der Komponente selbst verwaltet. Alle hierfür bestimmten Signale ('Write-Enable', Eingangsdaten) werden ungepuffert abgeleitet. Die Komponente erhält einen Teiladressbereich, der mit den unteren Adressbits (Bit 0 bis 3) adressiert werden kann. Zusätzlich wird ein 'Select-Signal' aus den oberen Adressbits (Bit 4 bis 11) in Verbindung mit der Geräteadresse (Bit 12 bis 15) übergeben. Die Ausgangsdaten werden über die Speicherlogik ausgewählt. Der entsprechende Multiplexer besteht aus einer Reihe von 'Enable-Signalen' und einer anschließenden Veroderung. Die Adresszuweisungen und individuellen Wortbreiten werden in Anhang A aufgelistet. Zum globalen E/A-Bus werden alle Daten auf 32 Bit ergänzt.

Kapitel 7

'Designflow'

7.1 Simulation und Optimierung

Das Verhalten des Filters wurde in der Programmiersprache C beschrieben und mit dem 'GNU-C-Compiler' kompiliert. Die dazugehörigen Quelldateien befinden sich auf der beiliegenden CD.

Zur Optimierung der Filterparameter wurde das Filter in eine in C++ beschriebenen Optimierungsumgebung eingebunden. Die Optimierung bezüglich der gewählten Fehlermaße erfolgte durch Aufruf eines SQP¹-Algorithmus. Dies geschah in Zusammenarbeit mit Dr. S. Körkel (Interdisziplinäres Zentrum für Wissenschaftliches Rechnen, Universität Heidelberg).

Die Verarbeitung der Daten im Preprozessor wurde in Abstimmung mit Dr. B. Vulpescu (Physikalisches Institut, Universität Heidelberg) simuliert.

Die Übertragung der Verhaltensbeschreibung von Filter und Preprozessor in eine experimentspezifische Umgebung ([alroot]) erfolgt in Zusammenarbeit mit R. Schneider.

7.2 Synthese

Die Synthese eines Designs bedeutet die Abbildung einer definierten Architektur bzw. Verhaltensweise auf reale Rechenzellen, wie sie im Rahmen einer Bibliothek für bestimmte Chiptechnologien zur Verfügung stehen. Dabei kann eine Analyse und Optimierung des Designs durch geeignete Programme vorgenommen werden.

Zur Synthese des vorliegenden Designs wurde der 'Synopsis-Design-Analyzer' verwendet. Abgebildet wurde dabei auf eine Standardzellenbibliothek in der 0,18 μ m-Technologie von UMC. Die Komponente 'ADC-DMUX' (Kapitel 6.1), der 'Bin-Timer' (Kapitel 6.3), die Konfiguration (Kapitel 6.4 und der Veroderer

¹SQP - Sequentielle Quadratische Programmierung

für den 32Bit breiten Datenausgabebus des globalen E/A-Busses wurden dabei jeweils separat optimiert und auf die Zieltechnologie abgebildet. Der Filter wurde kanalweise optimiert, die festen Kanäle anschließend verknüpft (Kapitel 4).

Das im Preprozessor enthaltene, auf Flip-Flops basierende 'Quad-Port-Memory' (QPM) ist von Dr. V. Angelov synthesesnah implementiert, d. h. direkt durch Standardzellen der zu verwendenden Bibliothek ausgedrückt worden. Bei der Abbildung dieses Teils des Designs konnte daher der Großteil der Bausteine als unantastbar ('dont-touch') ausgezeichnet werden. Das QPM wurde dann als fixe Komponente in den Preprozessor eingefügt, der ansonsten frei optimiert werden konnte (vgl. Kapitel 5).

Die im Event-Buffer verwendeten Speicherbausteine sind fertige 'Full-Custom-Memory'-Komponenten, die von der Firma Virtual Silicon in der UMC-0, $18\mu\text{m}$ -Technologie zur Verfügung gestellt werden. Es sind Speicherbausteine mit getrennter Lese- und Schreibernschnittstelle. Sie wurden als vorgegebene Bestandteile in das Design des Ereignisspeichers eingebaut, die restliche Logik zur Optimierung und Abbildung freigegeben (Kapitel 6.2).

Bei der Optimierung und Abbildung des Designs wurden verschiedene Vorgaben gemacht. So wurde bei allen Komponenten, die Register, insbesondere Shift-Register, enthalten, eine minimale Verzögerung zwischen Datenausgabe und -eingabe von 600ps gefordert ('Minimum-Delay'). Die maximale kapazitative Last an der Ausgabe jeder Standardzelle wurde auf die von acht Zellen begrenzt ('Maximum-Fanout'). Direkte Übergabe von Eingangs- auf Ausgangssignale wurde unterbunden ('Prevent-Feedthrough'). Als Optimierungsziel wurde immer die minimale Fläche gewählt. Bis auf die oben festgestellten Einschränkungen bezüglich als fix einzubauender Komponenten wurden in allen Teildesigns nach einem ersten Synthesedurchgang die Hierarchien aufgelöst und ein zweiter Optimierungsdurchlauf gestartet.

Alle so synthetisierten Bestandteile des Designs wurden abschließend zu einer gemeinsamen Netzliste (Ausnahme: QPM) vereint. Das Verilog-Netzlisten-Format dient hierbei als Schnittstelle zur Gestaltung des Layouts.

7.3 Layout

Beim Layout eines Designs wird aus einer Ansammlung von Zellen und deren Verbindungen, wie sie nach der Synthese vorliegen, nun eine konkrete Platzierung und Verdrahtung gesucht. Diese entspricht unmittelbar der physikalischen Realisierung des Designs auf dem Chip.

Das Layout des Designs wurde mit Hilfe von 'Silicon-Ensemble' gestaltet. Als Eingabe dienen die Verilog-Netzlisten des Gesamtdesigns und des in 7.2 erwähnten QPM sowie Bibliotheksaustauschdateien ('Library-Exchange-Format', LEF)

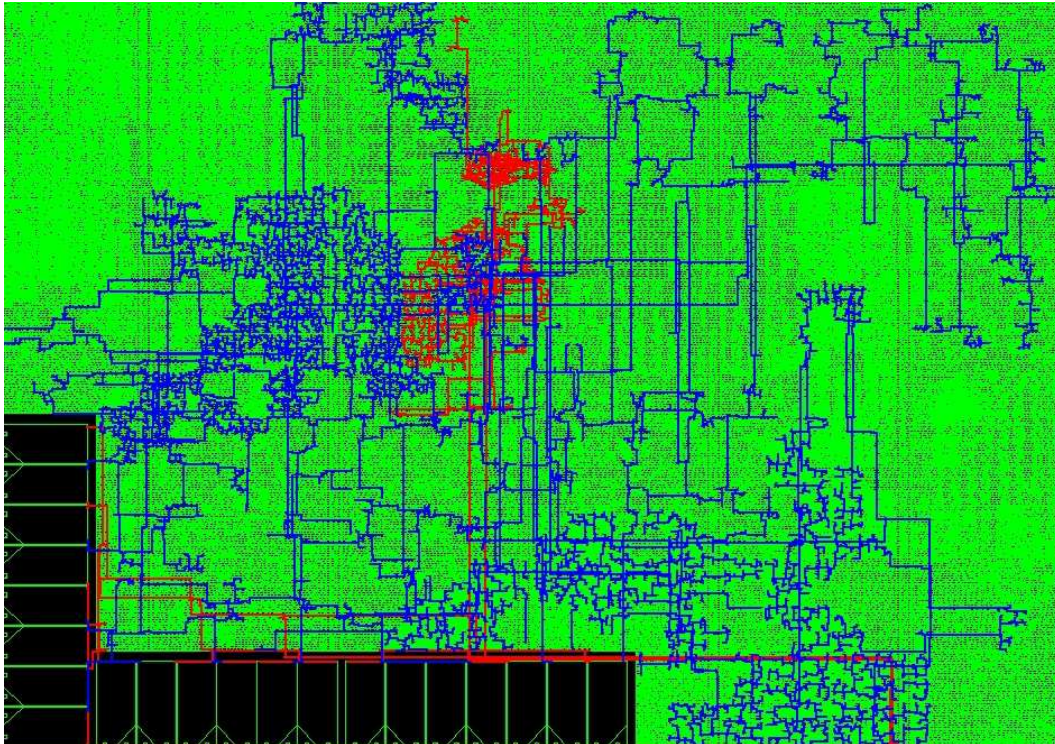


Abbildung 7.1: Das Layout des Digitalen Frontends mit Preprozessor nach Platzierung, Versorgungsspannungs- und Taktsignalverdrahtung (blau/rot: 10MHz-/120MHz-Taktsignale)

und Timing-Informationen zum 'Full-Custom-Memory' des Event-Buffers und zu den Standardzellen.

Nach einer groben Abschätzung des Platzbedarfs durch die Fläche der zu verwendenden Standardzellen und einer geschätzten Dichte derselben von 0,80 bezügliche einer lückenlosen Packung konnten dann die Dimensionen des Design festgelegt werden. Während die Breite aufgrund der geometrischen Gegebenheiten des Chips (vgl. Abb. 2.12, S. 18) auf $3,16\text{mm}$ vorgegeben war, bestimmte dies vor allem die Höhe von letztendlich $2,22\text{mm}$.

Passend zur Platzierung der anderen Komponenten auf dem Chip wurden die Ein- und Ausgabepins des Designs gesetzt. Die Signale von und zu den ALTRO-ADCs befinden sich an der Oberseite, die zu den internen ADCs in der oberen Hälfte der rechten Seite. Die im Zusammenhang mit dem 'ADC-DMUX' (Kapitel 6.1) besprochenen Pins zur Chipidentifikation sind links oben zu suchen. Alle anderen Signale durchlaufen die Unterseite der Designgrenze. Links werden keine Signale ausgetauscht.

Die Platzierung der 'Full-Custom-Memories' erfolgt mit abnehmender Ka-

nalnummer entlang der linken Seite in die untere Ecke (Kanal 13 bis 20) und von dort aus nach rechts (Kanal 0 bis 12).

Aufgrund der erheblichen Breite des Moduls wurden äquidistant jeweils fünf senkrechte Streifen von $10,56\mu\text{m}$ Breite zur Ergänzung der ansonsten horizontal verlaufenden Versorgungsspannungs- und Erdungsleitungen der Standardzellen hinzugefügt. Außerdem wurden in den für die Standardzellen vorgesehenen Zeilen Abstände zu den 'Full-Custom-Memories' definiert, in denen ebenfalls zusätzliche Leitungen für die Stromversorgung gezogen wurden. Die Festlegung von Anschlusspins und deren Verbindung an die oben genannten Leitungen für die Versorgungsspannung ('Power', VDD) und die Erdung ('Ground', VSS) vervollständigen den Stromversorgungsplan.

Der Großteil des Designs wird von den Standardzellen ausgemacht, die nach den beschriebenen Vorarbeiten automatisch platziert wurden ('Quick-Placer', QPLACE). Hierbei findet eine Optimierung der Platzierung in mehreren Inkrementierungsstufen statt. Dabei wird die Summe der Längen der direkten Verbindungen zwischen verknüpften Zellen minimiert.

Im Anschluss daran stehen nun die anzusteuern Pins der Taktsignalbäume fest. Als nächstes werden nun ausgehend vom der Quelle des Taktsignals ('Root-Pin') Hierarchien und Verzweigungspläne zu den Taktpins erstellt ('Clock-Tree-Generator', CTGEN). Unter der Berücksichtigung der Kapazitäten für die Taktsignale und der Verzögerung durch gegebene Laufzeiten wird dabei auf eine möglichst gleich lange Ausbreitungsverzögerungen der Signale an alle Blätter des Taktsignalbaumes geachtet. Jede Verzweigung des Baumes entspricht einem Signalverstärker ('Clock-Buffer'). Das durch das Einfügen der 'Clock-Buffer' veränderte Design wird für spätere Zwecke (LVS, s.u.) in Form einer Verilog-Netzliste exportiert.

Nach Festlegung des 'Clock-Baumes' werden in den zwischen den Standardzellen verbleibenden Lücken die Signalverstärker für die Taktsignale platziert (QPLACE). Die verbleibenden Freiräume füllt man danach mit so genannten Füllzellen ('Filler-Cells') aus. Diese erfüllen zwei Aufgaben. Zum einen stellen sie Kapazitäten zwischen VDD und VSS dar und tragen damit zur Stabilisierung der Spannungsversorgung bei. Zum anderen führen sie die Dotierungswannen der Standardzellen über die vormaligen Lücken weiter und verhindern damit mögliche Designregelverletzungen bezüglich dieser Wannen (minimaler Abstand zwischen benachbarten Wannen). Zusätzlich ermöglichen sie die Fortführung der horizontalen Leitungen der Versorgungsspannung bzw. Erdung innerhalb der Standardzellenreihen.

Nun kann die Verdrahtung für die kritischsten Signale, die Taktsignale, vorgenommen werden. Während für die Stromversorgung die Leitungen nur in zwei Metallschichten (MET1 - horizontal, MET2 - vertikal) verlaufen (Ausnahme: 'Full-Custom-Memories'), stehen für die 'Clock-Leitungen' und alle anderen Signale

sechs Metalllagen zur Verfügung. Verbindungen können nur zwischen benachbarten Metalllagen durch so genannte Vias hergestellt werden. Beim vorliegenden Design erfolgte das Legen der Metallbahnen bei ungerader Metallebenenummer in der Regel horizontal, bei gerader vertikal.

Mit Hilfe der Kapazitäten der Leitungen und der angeschlossenen Zellen lässt sich nun die Verzögerung zu jedem Blatt der Taktsignalbäume ermitteln. Kenndaten sind die minimale und die maximale Laufzeit ('Minimum-/Maximum-Delay') und deren Differenz ('Skew'). Die Ergebnisse beim vorliegenden Design sind in Tabelle 7.1 zusammengefasst.

Taktsignal	Min. Verzögerung [ps]	Max. Verzögerung [ps]	'Skew' [ps]
globale E/A (120MHz)	428 ± 107	582 ± 145	154 ± 51
kontinuierlich (120MHz)	327 ± 82	390 ± 97	62 ± 21
Filter (10MHz)	611 ± 153	773 ± 193	163 ± 54
Preprozessor (10MHz)	341 ± 85	465 ± 116	124 ± 41

Tabelle 7.1: Eigenschaften der Taktsignalbäume

Das finale Verdrahten der verbleibenden Signalwege (Warp Route, WROUTE) wurde zuletzt vorgenommen. Besonderes Augenmerk musste dabei auf die Festsetzung so genannter Antennenregeln gelegt werden. So gilt es Leiterbahnabschnitte zu vermeiden, die während der Produktion des Chips auf nicht definiertem Potential liegen, aber bereits am 'Gate-Anschluß' eines Transistors angeschlossen sind. Dies wird in der Regel durch Dioden oder, wie hier, durch automatisch integrierte Brücken über höhere Metallebenen erreicht. So können die bei der Produktion ungewollt auftretenden Ladungen abfließen bevor die damit assoziierte Spannung Schäden an der Oxidschicht der Transistoren verursachen kann.

Obwohl die Designregeln dem 'Routing-Werkzeug' zur Verfügung gestellt werden, gibt es Fälle, in denen Korrekturen notwendig sind. Hierzu wurde das Layout in Form des Design-Austausch-Formats ('Design-Exchange-Format', DEF) exportiert und in Cadence eingelesen. Hier konnte nun sowohl ein endgültiger Designregeltest ('Design-Rule-Check', DRC) als auch ein Vergleich zwischen erhaltenem Layout und Schaltschema ('Layout-versus-Scematic', LVS) vorgenommen werden. Das Schaltschema wurde dabei in Form einer Spice-Netzliste eingelesen, die aus der Verilog-Netzliste erzeugt wurde, die das Design nach der Erzeugung der 'Clock-Bäume' beschreibt (CTGEN, s.o.).

Nachdem im Design alle DRC-Fehler behoben worden sind und der LVS eine vollständige Übereinstimmung bescheinigt, wird das Design zur endgültigen Zusammenstellung des Chips zur Verfügung gestellt. Einige Kenndaten des Designs sind in Tabelle 7.2 zusammengetragen.

Breite	3,158100mm
Höhe	2,224880mm
Fläche	7,026393528mm ²
Flächenauslastung	0,7959
Standardzellen	176769
Speicherzellen	21

Tabelle 7.2: Einige Kenndaten des Designs

7.4 Hardwaretest

Der Prototyp TRAP1 steht seit Juli 2002 für erste Tests zur Verfügung. Als Schnittstelle nach außen ist zurzeit nur die serielle Schnittstelle angeschlossen. Diese arbeitet ohne Beanstandungen. Hiermit sind alle Geräte des globalen E/A-Busses erreichbar. Insbesondere lässt sich ein Teil der Funktionalität des Digitalen Frontends und Preprozessors prüfen:

- Alle Einträge der Konfiguration werden korrekt beschrieben und gelesen.
- Alle Einträge des 'Event-Buffers' werden von der seriellen Schnittstelle korrekt beschrieben und gelesen.
- Das digitale Filter wurde mit Parametern analog zu den Simulationen in 4 konfiguriert. Der Simulationsmodus wurde erfolgreich aktiviert, das Filter hat die korrekte Antwort in den vorgesehenen Bereich des 'Event-Buffers' geschrieben.

Die Komplexität des Filtertests wird durch die Möglichkeit des Bypasses um die Filterstufen stark verringert. Hierdurch ist jede Filterstufe einzeln zugänglich.

Der 'Bin-Timer' arbeitet nach Auslösen von Testereignissen in Übereinstimmung mit den Erwartungen (bzgl. der Adressierung des 'Event-Buffers'). Der Preprozessor kann erst durch ein geeignetes Programm in den CPUs des Core120 getestet werden. Der ADC-Demultiplexer kann erst bei Anschluss der ADCs getestet werden.

Kapitel 8

Zusammenfassung und Ausblick

Im Rahmen einer Diplomarbeit wurde das Digitale Frontend mit Preprozessor für die Trigger-Elektronik des Übergangsstrahlungsdetektors des ALICE-Experiments entwickelt. Das Design wurde mit weiteren Komponenten auf einem ersten Prototypen, dem TRAP1-Chip, in der UMC-0, $18\mu\text{m}$ -Technologie umgesetzt.

Größter Teil auf dem Chip ist das digitale Filter. Es wurde implementiert, um die systematische, kanalunabhängige Nichtlinearität der vorangestellten Analogelektronik (PASA) und deren kanalabhängige Schwankung der linearen Verstärkung und des Sockelwertes auszugleichen. Hinzu kommt ein Unterdrückungsfilter für den Schweif, den eine Ladung bei der Gasverstärkung im Detektor auslöst. Die letzte Stufe des Filters unterdrückt die kapazitive Kopplung benachbarter Kanäle ('Crosstalk').

Die Nichtlinearitätskorrektur basiert auf einer Tabelle, die Kalibrierung erfolgt bei Vergleich der Antwort der ADCs auf ein Signal bekannter Amplitude. Entsprechende Messungen können direkt an der Elektronik vorgenommen werden, bevor diese in den Detektor eingebaut wird.

Die dynamische Sockelwertkorrektur erfolgt getrennt in jedem Kanal, lediglich die Reaktionszeit auf langsam schwankende Sockelwerte ist einzustellen.

Die Korrektur der kanalweise inhomogenen Verstärkung ist für die Kalibrierung während des Betriebs vorgesehen. So kann dezentral auf jedem Chip ein Ausgleich zwischen den Kanälen vorgenommen werden. Die Korrekturfaktoren werden jeweils in den CPUs iterativ ermittelt.

Die Wirkungsweise der Schweifunterdrückung hängt nur schwach von Variationen der Signalform ab. Eine Parameteranpassung an Signalverläufe der Prototypen des Detektors sollte daher ausreichend sein. Die Applikation von Testpulsen im Gas des finalen Detektor ist nicht möglich. Die Breite eines Pulses mit Schweif weicht nach der Filterung nicht mehr signifikant von der des Pulses ohne Schweif (100ns) ab.

Das 'Crosstalk'-Unterdrückungsfilter kann auch am finalen Detektor kalibriert

werden. So ist es möglich, Testpulse an die Eingänge der Analogelektronik anzulegen und die eingekoppelten Signale zu messen. Beim vorliegenden Verfahren wurde eine Reduktion des 'Crosstalks' um den Faktor 2,5 erreicht. Die Optimierung der Filterparameter wurde anhand eines Fehlermaßes vorgenommen, das sich an einer Gaußfunktion in Zeitrichtung und einer Deltafunktion in Kanalrichtung orientiert. Hier ist eine andere Wahl möglich, die sich insbesondere am Wunsch nach einer möglichst hohen Genauigkeit der Positionsbestimmung im Preprozessor orientiert. Es könnte daher sinnvoll sein, den Parameterraum dieses Filters zusammen mit dem der Positionskorrektur einer Optimierung zugrunde zu legen.

Die Speicherung der Daten erfolgt im 'Event-Buffer'. Er ist zurzeit 64 Wörter tief, soll jedoch im endgültigen Chip eine Tiefe von 128 Wörtern beinhalten. Hierbei sollte jedoch sorgfältig auf das zeitliche Verhalten des Speichers geachtet werden.

Der Preprozessor findet in den gefilterten Daten gleichzeitig maximal vier Tracklets und parametrisiert diese mittels Ausgleichsgeraden. Jedes Tracklet besteht aus einer einstellbaren Zahl von Ladungscustern, deren Position subpixelgenau berechnet wird. Hierbei wird von der Aufteilung der Ladung des Clusters zwischen benachbarten Pixel gebrauch gemacht. Die angestrebte Genauigkeit liegt bei $300\mu m$, erste Rechnungen machen eine Auflösung von $100\mu m$ möglich. Eine genauere Untersuchung, insbesondere unter Einbezug aller Filterstufen steht noch aus.

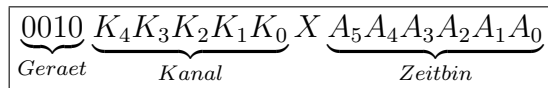
Die Positionskorrekturtabelle für den Preprozessor muss aus der Pad-Antwort-Funktion des Prototypen des Detektors gewonnen werden, weil die Applikation eines Teststrahls im finalen Detektor nicht möglich ist.

Anhang A

Speicherzuweisung im globalen Adressraum

A.1 Der 'Event-Buffer'

Die Adressierung des 'Event-Buffers' setzt sich aus der Gerätebezeichnung, der des ADC-Kanals und der des Zeitbins zusammen:



Daraus ergeben sich die folgenden Speicherbereiche für die einzelnen Kanäle. Jedes Datum besteht aus den unteren 10 Bit des Datenbusses. Alle anderen Bits werden ignoriert. Beim Lesen kann entsprechend der Konfiguration durch Bit 10 das Paritätsbit dargestellt werden, ansonsten Null.

Adresse	Datenbezeichnung
0x2000 bis 0x203F	Kanal 0, Bin 0 bis 63
0x2040 bis 0x207F	Kanal 0, Bin 0 bis 63 gespiegelt
0x2080 bis 0x20BF	Kanal 1, Bin 0 bis 63
0x20C0 bis 0x20FF	Kanal 1, Bin 0 bis 63 gespiegelt
0x2100 bis 0x213F	Kanal 2, Bin 0 bis 63
0x2140 bis 0x217F	Kanal 2, Bin 0 bis 63 gespiegelt
0x2180 bis 0x21BF	Kanal 3, Bin 0 bis 63
0x21C0 bis 0x21FF	Kanal 3, Bin 0 bis 63 gespiegelt

Adresse	Datenbezeichnung
0x2200 bis 0x223F	Kanal 4, Bin 0 bis 63
0x2240 bis 0x227F	Kanal 4, Bin 0 bis 63 gespiegelt
0x2280 bis 0x22BF	Kanal 5, Bin 0 bis 63
0x22C0 bis 0x22FF	Kanal 5, Bin 0 bis 63 gespiegelt
0x2300 bis 0x233F	Kanal 6, Bin 0 bis 63
0x2340 bis 0x237F	Kanal 6, Bin 0 bis 63 gespiegelt
0x2380 bis 0x23BF	Kanal 7, Bin 0 bis 63
0x23C0 bis 0x23FF	Kanal 7, Bin 0 bis 63 gespiegelt
0x2400 bis 0x243F	Kanal 8, Bin 0 bis 63
0x2440 bis 0x247F	Kanal 8, Bin 0 bis 63 gespiegelt
0x2480 bis 0x24BF	Kanal 9, Bin 0 bis 63
0x24C0 bis 0x24FF	Kanal 9, Bin 0 bis 63 gespiegelt
0x2500 bis 0x253F	Kanal 10, Bin 0 bis 63
0x2540 bis 0x257F	Kanal 10, Bin 0 bis 63 gespiegelt
0x2580 bis 0x25BF	Kanal 11, Bin 0 bis 63
0x25C0 bis 0x25FF	Kanal 11, Bin 0 bis 63 gespiegelt
0x2600 bis 0x263F	Kanal 12, Bin 0 bis 63
0x2640 bis 0x267F	Kanal 12, Bin 0 bis 63 gespiegelt
0x2680 bis 0x26BF	Kanal 13, Bin 0 bis 63
0x26C0 bis 0x26FF	Kanal 13, Bin 0 bis 63 gespiegelt
0x2700 bis 0x273F	Kanal 14, Bin 0 bis 63
0x2740 bis 0x277F	Kanal 14, Bin 0 bis 63 gespiegelt
0x2780 bis 0x27BF	Kanal 15, Bin 0 bis 63
0x27C0 bis 0x27FF	Kanal 15, Bin 0 bis 63 gespiegelt
0x2800 bis 0x283F	Kanal 16, Bin 0 bis 63
0x2840 bis 0x287F	Kanal 16, Bin 0 bis 63 gespiegelt
0x2880 bis 0x28BF	Kanal 17, Bin 0 bis 63
0x28C0 bis 0x28FF	Kanal 17, Bin 0 bis 63 gespiegelt
0x2900 bis 0x293F	Kanal 18, Bin 0 bis 63
0x2940 bis 0x297F	Kanal 18, Bin 0 bis 63 gespiegelt
0x2980 bis 0x2ABF	Kanal 19, Bin 0 bis 63
0x29C0 bis 0x2AFF	Kanal 19, Bin 0 bis 63 gespiegelt
0x2A00 bis 0x2A3F	Kanal 20, Bin 0 bis 63
0x2A40 bis 0x2A7F	Kanal 20, Bin 0 bis 63 gespiegelt
Adresse	Datenbezeichnung
0x2A80 bis 0x2FFF	ungenutzt

A.2 Konfiguration

Die Adressierung der Konfigurationseinheit beginnt mit der Gerätebezeichnung.

$$\underbrace{0011}_{\text{Gerat}} A_{11}A_{10}A_9A_8A_7A_6A_5A_4A_3A_2A_1A_0$$

Die verschiedenen Einträge haben unterschiedliche Wortbreiten. Beim Schreiben werden alle oberhalb liegenden Bits ignoriert, beim Lesen enthalten sie Nullen.

Adresse	Modul	Parameter	Breite	Bemerkungen
0x3000	'Bin- Timer'	Verzögerung der Datenakquisition	7	> 0
0x3001		Anfang des linearen Fits	7	
0x3002		Ende des linearen Fits	7	
0x3003		Rückmeldezeit	7	
0x3004		Dauer der Datenakquisition	7	
0x3005		ungenutzt		
0x3006		ungenutzt		
0x3007		ungenutzt		
0x3008	'Event- Buffer'	Eingangsverzögerung der ADC-Werte	3	'0' ~ 1 Takt
0x3009		ungenutzt		
0x300A		Akquisitions-Offsetadresse	7	
0x300B		Simulations-Offsetadresse	7	
0x300C		Datenspeicherungsart-Flag	1	'0' ~ gefiltert
0x300D		Simulationsmodus-Flag	1	'0' ~ Simulieren
0x300E		Paritätsverletzungszähler	12	nur lesbar
0x300F		Paritätsverl. Clear	1	'0' ~ Nullsetzen
0x3010	'Event- Buffer'	Paritätsbit-Übertragungs-Flag	1	'0' ~ mit
0x3011		ungenutzt		
0x3012		ungenutzt		
0x3013		ungenutzt		
0x3014		ungenutzt		
0x3015		ungenutzt		
0x3016		ungenutzt		
0x3017		ungenutzt		

Adresse	Modul	Parameter	Breite	Bemerkungen
0x3018	Filter allgemein	Nichtlinearitäts-Bypass-Flag	1	'0' ~ Bypass
0x3019		'Pedestal'-Bypass-Flag	1	'0' ~ Bypass
0x301A		'Gain'-Bypass-Flag	1	'0' ~ Bypass
0x301B		'Tail'-Bypass-Flag	1	'0' ~ Bypass
0x301C		'Crosstalk'-Bypass-Flag	1	'0' ~ Bypass
0x301D		ungenutzt		
0x301E		ungenutzt		
0x301F		ungenutzt		
0x3020	Filter 'Pedestal'	Akkumulator-Breite	2	s. S. 31
0x3021		Neues 'Pedestal'	9	2 Nachkommabits
0x3022		Akkumulator-Clear	1	'0' ~ Nullsetzen
0x3023		ungenutzt		
0x3024		ungenutzt		
0x3025		ungenutzt		
0x3026		ungenutzt		
0x3027		ungenutzt		
0x3028	Filter 'Gain'	Schwelle A	12	'0' ~ Nullsetzen
0x3029		Schwelle B	12	
0x302A		Akkumulatoren-Clear	1	
0x302B		ungenutzt		
0x302C		ungenutzt		
0x302D		ungenutzt		
0x302E		ungenutzt		
0x302F		ungenutzt		
0x3030	Filter 'Tail'	α_L	10	s. S. 45
0x3031		λ_L	9	s. S. 45
0x3032		λ_S	9	s. S. 46
0x3033		ungenutzt		
0x3034		ungenutzt		
0x3035		ungenutzt		
0x3036		ungenutzt		
0x3037		ungenutzt		
0x3038	Filter 'Crosstalk'	$M_{\pm 1, -2}$	8	s. S. 59
0x3039		$M_{\pm 1, -1}$	8	s. S. 59
0x303A		$M_{\pm 1, 0}$	8	s. S. 59
0x303B		$M_{\pm 1, +1}$	8	s. S. 59
0x303C		$M_{\pm 1, +2}$	8	s. S. 59
0x303D		ungenutzt		
0x303E		ungenutzt		
0x303F		ungenutzt		

Adresse	Modul	Parameter	Breite	Bemerkungen
0x3040	Preprozessor	gefiltertes 'Pedestal'	9	2 Nachkommastellen
0x3041		Ladungsschwelle	14	2 Nachkommastellen
0x3042		Qualitätsschwelle	6	s. S. 5.3.2
0x3043		Qualitäts-Bypass	1	'0' ~ Bypass
0x3044		Hitsummen-Schwelle	5	
0x3045		Linke Hit-Schwelle	5	
0x3046		Test-Indizes-Flag	1	'0' ~ Test
0x3047		ungenutzt		
0x3048	Preprozessor	Test-Index 0	5	
0x3049		Test-Index 1	5	
0x304A		Test-Index 2	5	
0x304B		Test-Index 3	5	
0x304C		ungenutzt		
0x304D		ungenutzt		
0x304E		ungenutzt		
0x304F		ungenutzt		
0x3050	ADC-DMUX	PASA-Testpuls-Amplitude	8	s. [va0]
0x3051		PASA Testpuls Kanalmaske	19	1 ~ an, s. [va0]
0x3052		Pretrigger relativ zu Strobe [13:8]	6	s. [va0]
		Strobe-Länge [7:0]	8	s. [va0]
0x3053		Strobe-Puls-Phase [13:8]	6	s. [va0]
		Strobe-Puls-Verzögerung [7:0]	8	s. [va0]
0x3054		Phase des ADC-Taktes	4	s. [va0]
0x3055		Phase des Preprozessortaktes	4	s. [va0]
0x3056		Phase des ADC-Sample-Signals	4	s. [va0]
0x3057	ADC-Referenzspannung	5	s. [va0]	
0x3058	ADC-DMUX	ADC-Kanal-Maske	21	s. [va0]
0x3059		Latchverzögerung	4	s. 5.12
0x305A		Chip ID	18	s. [va0]
0x305B		PASA Testpuls Start	X	s. [va0], nur schreiben
0x305C		ungenutzt		
0x305D		ungenutzt		
0x305E		ungenutzt		
0x305F		PASA Testpuls direkter Start	X	s. [va0], nur schreiben
0x3060	Filter 'Pedestal'	Akkumulator Kanal 0	30	nur lesen
0x3061		Akkumulator Kanal 1	30	nur lesen
0x3062		Akkumulator Kanal 2	30	nur lesen
0x3063		Akkumulator Kanal 3	30	nur lesen
0x3064		Akkumulator Kanal 4	30	nur lesen
0x3065		Akkumulator Kanal 5	30	nur lesen
0x3066		Akkumulator Kanal 6	30	nur lesen
0x3067		Akkumulator Kanal 7	30	nur lesen

Adresse	Modul	Parameter	Breite	Bemerkungen
0x3068	Filter 'Pedestal'	Akkumulator Kanal 8	30	nur lesen
0x3069		Akkumulator Kanal 9	30	nur lesen
0x306A		Akkumulator Kanal 10	30	nur lesen
0x306B		Akkumulator Kanal 11	30	nur lesen
0x306C		Akkumulator Kanal 12	30	nur lesen
0x306D		Akkumulator Kanal 13	30	nur lesen
0x306E		Akkumulator Kanal 14	30	nur lesen
0x306F		Akkumulator Kanal 15	30	nur lesen
0x3070	Filter 'Pedestal'	Akkumulator Kanal 16	30	nur lesen
0x3071		Akkumulator Kanal 17	30	nur lesen
0x3072		Akkumulator Kanal 18	30	nur lesen
0x3073		Akkumulator Kanal 19	30	nur lesen
0x3074		Akkumulator Kanal 20	30	nur lesen
0x3075		ungenutzt		
0x3076		ungenutzt		
0x3077		ungenutzt		
0x3078		ungenutzt		
0x3079		ungenutzt		
0x307A		ungenutzt		
0x307B		ungenutzt		
0x307C		ungenutzt		
0x307D		ungenutzt		
0x307E		ungenutzt		
0x307F		ungenutzt		
0x3080	Filter 'Gain'	Korrektur-Faktor Kanal 0	30	s. S. 35
0x3081		Korrektur-Faktor Kanal 1	30	s. S. 35
0x3082		Korrektur-Faktor Kanal 2	30	s. S. 35
0x3083		Korrektur-Faktor Kanal 3	30	s. S. 35
0x3084		Korrektur-Faktor Kanal 4	30	s. S. 35
0x3085		Korrektur-Faktor Kanal 5	30	s. S. 35
0x3086		Korrektur-Faktor Kanal 6	30	s. S. 35
0x3087		Korrektur-Faktor Kanal 7	30	s. S. 35
0x3088	Filter 'Gain'	Korrektur-Faktor Kanal 8	30	s. S. 35
0x3089		Korrektur-Faktor Kanal 9	30	s. S. 35
0x308A		Korrektur-Faktor Kanal 10	30	s. S. 35
0x308B		Korrektur-Faktor Kanal 11	30	s. S. 35
0x308C		Korrektur-Faktor Kanal 12	30	s. S. 35
0x308D		Korrektur-Faktor Kanal 13	30	s. S. 35
0x308E		Korrektur-Faktor Kanal 14	30	s. S. 35
0x308F		Korrektur-Faktor Kanal 15	30	s. S. 35

Adresse	Modul	Parameter	Breite	Bemerkungen
0x3090	Filter	Korrektur-Faktor Kanal 16	30	s. S. 35
0x3091	'Gain'	Korrektur-Faktor Kanal 17	30	s. S. 35
0x3092		Korrektur-Faktor Kanal 18	30	s. S. 35
0x3093		Korrektur-Faktor Kanal 19	30	s. S. 35
0x3094		Korrektur-Faktor Kanal 20	30	s. S. 35
0x3095		ungenutzt		
0x3096		ungenutzt		
0x3097		ungenutzt		
0x3098		ungenutzt		
0x3099		ungenutzt		
0x309A		ungenutzt		
0x309B		ungenutzt		
0x309C		ungenutzt		
0x309D		ungenutzt		
0x309E		ungenutzt		
0x309F		ungenutzt		
0x30A0	Filter	'Pedestal'-Korrektur Kanal 0	6	
0x30A1	'Gain'	'Pedestal'-Korrektur Kanal 1	6	
0x30A2		'Pedestal'-Korrektur Kanal 2	6	
0x30A3		'Pedestal'-Korrektur Kanal 3	6	
0x30A4		'Pedestal'-Korrektur Kanal 4	6	
0x30A5		'Pedestal'-Korrektur Kanal 5	6	
0x30A6		'Pedestal'-Korrektur Kanal 6	6	
0x30A7		'Pedestal'-Korrektur Kanal 7	6	
0x30A8	Filter	'Pedestal'-Korrektur Kanal 8	6	
0x30A9	'Gain'	'Pedestal'-Korrektur Kanal 9	6	
0x30AA		'Pedestal'-Korrektur Kanal 10	6	
0x30AB		'Pedestal'-Korrektur Kanal 11	6	
0x30AC		'Pedestal'-Korrektur Kanal 12	6	
0x30AD		'Pedestal'-Korrektur Kanal 13	6	
0x30AE		'Pedestal'-Korrektur Kanal 14	6	
0x30AF		'Pedestal'-Korrektur Kanal 15	6	
0x30B0	Filter	'Pedestal'-Korrektur Kanal 16	6	
0x30B1	'Gain'	'Pedestal'-Korrektur Kanal 17	6	
0x30B2		'Pedestal'-Korrektur Kanal 18	6	
0x30B3		'Pedestal'-Korrektur Kanal 19	6	
0x30B4		'Pedestal'-Korrektur Kanal 20	6	
0x30B5		ungenutzt		
0x30B6		ungenutzt		
0x30B7		ungenutzt		

100 ANHANG A. SPEICHERZUWEISUNG IM GLOBALEN ADRESSRAUM

Adresse	Modul	Parameter	Breite	Bemerkungen
0x30B8		ungenutzt		
0x30B9		ungenutzt		
0x30BA		ungenutzt		
0x30BB		ungenutzt		
0x30BC		ungenutzt		
0x30BD		ungenutzt		
0x30BE		ungenutzt		
0x30BF		ungenutzt		
0x30C0	Filter 'Gain'	Akkumulator A Kanal 0	26	nur lesen
0x30C1		Akkumulator A Kanal 1	26	nur lesen
0x30C2		Akkumulator A Kanal 2	26	nur lesen
0x30C3		Akkumulator A Kanal 3	26	nur lesen
0x30C4		Akkumulator A Kanal 4	26	nur lesen
0x30C5		Akkumulator A Kanal 5	26	nur lesen
0x30C6		Akkumulator A Kanal 6	26	nur lesen
0x30C7		Akkumulator A Kanal 7	26	nur lesen
0x30C8	Filter 'Gain'	Akkumulator A Kanal 8	26	nur lesen
0x30C9		Akkumulator A Kanal 9	26	nur lesen
0x30CA		Akkumulator A Kanal 10	26	nur lesen
0x30CB		Akkumulator A Kanal 11	26	nur lesen
0x30CC		Akkumulator A Kanal 12	26	nur lesen
0x30CD		Akkumulator A Kanal 13	26	nur lesen
0x30CE		Akkumulator A Kanal 14	26	nur lesen
0x30CF		Akkumulator A Kanal 15	26	nur lesen
0x30D0	Filter 'Gain'	Akkumulator A Kanal 16	26	nur lesen
0x30D1		Akkumulator A Kanal 17	26	nur lesen
0x30D2		Akkumulator A Kanal 18	26	nur lesen
0x30D3		Akkumulator A Kanal 19	26	nur lesen
0x30D4		Akkumulator A Kanal 20	26	nur lesen
0x30D5		ungenutzt		
0x30D6		ungenutzt		
0x30D7		ungenutzt		
0x30D8		ungenutzt		
0x30D9		ungenutzt		
0x30DA		ungenutzt		
0x30DB		ungenutzt		
0x30DC		ungenutzt		
0x30DD		ungenutzt		
0x30DE		ungenutzt		
0x30DF		ungenutzt		

Adresse	Modul	Parameter	Breite	Bemerkungen
0x30E0	Filter 'Gain'	Akkumulator B Kanal 0	26	nur lesen
0x30E1		Akkumulator B Kanal 1	26	nur lesen
0x30E2		Akkumulator B Kanal 2	26	nur lesen
0x30E3		Akkumulator B Kanal 3	26	nur lesen
0x30E4		Akkumulator B Kanal 4	26	nur lesen
0x30E5		Akkumulator B Kanal 5	26	nur lesen
0x30E6		Akkumulator B Kanal 6	26	nur lesen
0x30E7		Akkumulator B Kanal 7	26	nur lesen
0x30E8	Filter 'Gain'	Akkumulator B Kanal 8	26	nur lesen
0x30E9		Akkumulator B Kanal 9	26	nur lesen
0x30EA		Akkumulator B Kanal 10	26	nur lesen
0x30EB		Akkumulator B Kanal 11	26	nur lesen
0x30EC		Akkumulator B Kanal 12	26	nur lesen
0x30ED		Akkumulator B Kanal 13	26	nur lesen
0x30EE		Akkumulator B Kanal 14	26	nur lesen
0x30EF		Akkumulator B Kanal 15	26	nur lesen
0x30F0	Filter 'Gain'	Akkumulator B Kanal 16	26	nur lesen
0x30F1		Akkumulator B Kanal 17	26	nur lesen
0x30F2		Akkumulator B Kanal 18	26	nur lesen
0x30F3		Akkumulator B Kanal 19	26	nur lesen
0x30F4		Akkumulator B Kanal 20	26	nur lesen
0x30F5		ungenutzt		
0x30F6		ungenutzt		
0x30F7		ungenutzt		
0x30F8		ungenutzt		
0x30F9		ungenutzt		
0x30FA		ungenutzt		
0x30FB		ungenutzt		
0x30FC		ungenutzt		
0x30FD		ungenutzt		
0x30FE		ungenutzt		
0x30FF		ungenutzt		
0x3100	Filter Nichtlinearität	Korrekturbereich 0 bis 15	6	
0x3101		Korrekturbereich 16 bis 31	6	
0x3102		Korrekturbereich 32 bis 47	6	
0x3103		Korrekturbereich 48 bis 63	6	
0x3104		Korrekturbereich 64 bis 79	6	
0x3105		Korrekturbereich 80 bis 95	6	
0x3106		Korrekturbereich 96 bis 111	6	
0x3107		Korrekturbereich 112 bis 127	6	

102 ANHANG A. SPEICHERZUWEISUNG IM GLOBALEN ADRESSRAUM

Adresse	Modul	Parameter	Breite	Bemerkungen
0x3108	Filter	Korrekturbereich 128 bis 143	6	
0x3109	Nichtlinearität	Korrekturbereich 144 bis 159	6	
0x310A		Korrekturbereich 160 bis 175	6	
0x310B		Korrekturbereich 176 bis 191	6	
0x310C		Korrekturbereich 192 bis 207	6	
0x310D		Korrekturbereich 208 bis 223	6	
0x310E		Korrekturbereich 224 bis 239	6	
0x310F		Korrekturbereich 240 bis 255	6	
0x3110	Filter	Korrekturbereich 256 bis 271	6	
0x3111	Nichtlinearität	Korrekturbereich 272 bis 287	6	
0x3112		Korrekturbereich 288 bis 303	6	
0x3113		Korrekturbereich 304 bis 319	6	
0x3114		Korrekturbereich 320 bis 335	6	
0x3115		Korrekturbereich 336 bis 351	6	
0x3116		Korrekturbereich 352 bis 367	6	
0x3117		Korrekturbereich 368 bis 383	6	
0x3118	Filter	Korrekturbereich 384 bis 399	6	
0x3119	Nichtlinearität	Korrekturbereich 400 bis 415	6	
0x311A		Korrekturbereich 416 bis 431	6	
0x311B		Korrekturbereich 432 bis 447	6	
0x311C		Korrekturbereich 448 bis 463	6	
0x311D		Korrekturbereich 464 bis 479	6	
0x311E		Korrekturbereich 480 bis 495	6	
0x311F		Korrekturbereich 496 bis 511	6	
0x3120	Filter	Korrekturbereich 512 bis 527	6	
0x3121	Nichtlinearität	Korrekturbereich 528 bis 543	6	
0x3122		Korrekturbereich 544 bis 559	6	
0x3123		Korrekturbereich 560 bis 575	6	
0x3124		Korrekturbereich 576 bis 591	6	
0x3125		Korrekturbereich 592 bis 607	6	
0x3126		Korrekturbereich 608 bis 623	6	
0x3127		Korrekturbereich 624 bis 639	6	
0x3128	Filter	Korrekturbereich 640 bis 655	6	
0x3129	Nichtlinearität	Korrekturbereich 656 bis 671	6	
0x312A		Korrekturbereich 672 bis 687	6	
0x312B		Korrekturbereich 688 bis 703	6	
0x312C		Korrekturbereich 704 bis 719	6	
0x312D		Korrekturbereich 720 bis 735	6	
0x312E		Korrekturbereich 736 bis 751	6	
0x312F		Korrekturbereich 752 bis 767	6	

Adresse	Modul	Parameter	Breite	Bemerkungen
0x3130	Filter Nichtlinearität	Korrekturbereich 768 bis 783	6	
0x3131		Korrekturbereich 784 bis 799	6	
0x3132		Korrekturbereich 800 bis 815	6	
0x3133		Korrekturbereich 816 bis 831	6	
0x3134		Korrekturbereich 832 bis 847	6	
0x3135		Korrekturbereich 848 bis 863	6	
0x3136		Korrekturbereich 864 bis 879	6	
0x3137		Korrekturbereich 880 bis 895	6	
0x3138	Filter Nichtlinearität	Korrekturbereich 896 bis 911	6	
0x3139		Korrekturbereich 912 bis 927	6	
0x313A		Korrekturbereich 928 bis 943	6	
0x313B		Korrekturbereich 944 bis 959	6	
0x313C		Korrekturbereich 960 bis 975	6	
0x313D		Korrekturbereich 976 bis 991	6	
0x313E		Korrekturbereich 992 bis 1007	6	
0x313F		Korrekturbereich 1008 bis 1023	6	
0x3140	Preprozessor Anzahl der Hits/Kanal	Kanal 0	5	nur lesen
0x3141		Kanal 1	5	nur lesen
0x3142		Kanal 2	5	nur lesen
0x3143		Kanal 3	5	nur lesen
0x3144		Kanal 4	5	nur lesen
0x3145		Kanal 5	5	nur lesen
0x3146		Kanal 6	5	nur lesen
0x3147		Kanal 7	5	nur lesen
0x3148	Preprozessor Anzahl der Hits/Kanal	Kanal 8	5	nur lesen
0x3149		Kanal 9	5	nur lesen
0x314A		Kanal 10	5	nur lesen
0x314B		Kanal 11	5	nur lesen
0x314C		Kanal 12	5	nur lesen
0x314D		Kanal 13	5	nur lesen
0x314E		Kanal 14	5	nur lesen
0x314F		Kanal 15	5	nur lesen
0x3150	Preprozessor Anzahl der Hits/Kanal	Kanal 16	5	nur lesen
0x3151		Kanal 17	5	nur lesen
0x3152		Kanal 18	5	nur lesen
0x3153		ungenutzt		
0x3154		ungenutzt		
0x3155		ungenutzt		
0x3156		ungenutzt		
0x3157		ungenutzt		

104 ANHANG A. SPEICHERZUWEISUNG IM GLOBALEN ADRESSRAUM

Adresse	Modul	Parameter	Breite	Bemerkungen
0x3158		ungenutzt		
0x3159		ungenutzt		
0x315A		ungenutzt		
0x315B		ungenutzt		
0x315C		ungenutzt		
0x315D		ungenutzt		
0x315E		ungenutzt		
0x315F		ungenutzt		
0x3160		ungenutzt		
0x3161		ungenutzt		
0x3162		ungenutzt		
0x3163		ungenutzt		
0x3164		ungenutzt		
0x3165		ungenutzt		
0x3166		ungenutzt		
0x3167		ungenutzt		
0x3168		ungenutzt		
0x3169		ungenutzt		
0x316A		ungenutzt		
0x316B		ungenutzt		
0x316C		ungenutzt		
0x316D		ungenutzt		
0x316E		ungenutzt		
0x316F		ungenutzt		
0x3170		ungenutzt		
0x3171		ungenutzt		
0x3172		ungenutzt		
0x3173		ungenutzt		
0x3174		ungenutzt		
0x3175		ungenutzt		
0x3176		ungenutzt		
0x3177		ungenutzt		
0x3178		ungenutzt		
0x3179		ungenutzt		
0x317A		ungenutzt		
0x317B		ungenutzt		
0x317C		ungenutzt		
0x317D		ungenutzt		
0x317E		ungenutzt		
0x317F		ungenutzt		

Adresse	Modul	Parameter	Breite	Bemerkungen
0x3180	Preprozessor	$\widetilde{COG} \approx 0/128 \vee 128/128$	5	
0x3181	Positionskorrektur	$\widetilde{COG} \approx 1/128$	5	
0x3182		$\widetilde{COG} \approx 2/128$	5	
0x3183		$\widetilde{COG} \approx 3/128$	5	
0x3184		$\widetilde{COG} \approx 4/128$	5	
0x3185		$\widetilde{COG} \approx 5/128$	5	
0x3186		$\widetilde{COG} \approx 6/128$	5	
0x3187		$\widetilde{COG} \approx 7/128$	5	
0x3188	Preprozessor	$\widetilde{COG} \approx 8/128$	5	
0x3189	Positionskorrektur	$\widetilde{COG} \approx 9/128$	5	
0x318A		$\widetilde{COG} \approx 10/128$	5	
0x318B		$\widetilde{COG} \approx 11/128$	5	
0x318C		$\widetilde{COG} \approx 12/128$	5	
0x318D		$\widetilde{COG} \approx 13/128$	5	
0x318E		$\widetilde{COG} \approx 14/128$	5	
0x318F		$\widetilde{COG} \approx 15/128$	5	
0x3190	Preprozessor	$\widetilde{COG} \approx 16/128$	5	
0x3191	Positionskorrektur	$\widetilde{COG} \approx 17/128$	5	
0x3192		$\widetilde{COG} \approx 18/128$	5	
0x3193		$\widetilde{COG} \approx 19/128$	5	
0x3194		$\widetilde{COG} \approx 20/128$	5	
0x3195		$\widetilde{COG} \approx 21/128$	5	
0x3196		$\widetilde{COG} \approx 22/128$	5	
0x3197		$\widetilde{COG} \approx 23/128$	5	
0x3198	Preprozessor	$\widetilde{COG} \approx 24/128$	5	
0x3199	Positionskorrektur	$\widetilde{COG} \approx 25/128$	5	
0x319A		$\widetilde{COG} \approx 26/128$	5	
0x319B		$\widetilde{COG} \approx 27/128$	5	
0x319C		$\widetilde{COG} \approx 28/128$	5	
0x319D		$\widetilde{COG} \approx 29/128$	5	
0x319E		$\widetilde{COG} \approx 30/128$	5	
0x319F		$\widetilde{COG} \approx 31/128$	5	
0x31A0	Preprozessor	$\widetilde{COG} \approx 32/128$	5	
0x31A1	Positionskorrektur	$\widetilde{COG} \approx 33/128$	5	
0x31A2		$\widetilde{COG} \approx 34/128$	5	
0x31A3		$\widetilde{COG} \approx 35/128$	5	
0x31A4		$\widetilde{COG} \approx 36/128$	5	
0x31A5		$\widetilde{COG} \approx 37/128$	5	
0x31A6		$\widetilde{COG} \approx 38/128$	5	
0x31A7		$\widetilde{COG} \approx 39/128$	5	

106 ANHANG A. SPEICHERZUWEISUNG IM GLOBALEN ADRESSRAUM

Adresse	Modul	Parameter	Breite	Bemerkungen
0x31A8	Preprozessor	$\widetilde{COG} \approx 40/128$	5	
0x31A9	Positionskorrektur	$\widetilde{COG} \approx 41/128$	5	
0x31AA		$\widetilde{COG} \approx 42/128$	5	
0x31AB		$\widetilde{COG} \approx 43/128$	5	
0x31AC		$\widetilde{COG} \approx 44/128$	5	
0x31AD		$\widetilde{COG} \approx 45/128$	5	
0x31AE		$\widetilde{COG} \approx 46/128$	5	
0x31AF		$\widetilde{COG} \approx 47/128$	5	
0x31B0	Preprozessor	$\widetilde{COG} \approx 48/128$	5	
0x31B1	Positionskorrektur	$\widetilde{COG} \approx 49/128$	5	
0x31B2		$\widetilde{COG} \approx 50/128$	5	
0x31B3		$\widetilde{COG} \approx 51/128$	5	
0x31B4		$\widetilde{COG} \approx 52/128$	5	
0x31B5		$\widetilde{COG} \approx 53/128$	5	
0x31B6		$\widetilde{COG} \approx 54/128$	5	
0x31B7		$\widetilde{COG} \approx 55/128$	5	
0x31B8	Preprozessor	$\widetilde{COG} \approx 56/128$	5	
0x31B9	Positionskorrektur	$\widetilde{COG} \approx 57/128$	5	
0x31BA		$\widetilde{COG} \approx 58/128$	5	
0x31BB		$\widetilde{COG} \approx 59/128$	5	
0x31BC		$\widetilde{COG} \approx 60/128$	5	
0x31BD		$\widetilde{COG} \approx 61/128$	5	
0x31BE		$\widetilde{COG} \approx 62/128$	5	
0x31BF		$\widetilde{COG} \approx 63/128$	5	
0x31C0	Preprozessor	$\widetilde{COG} \approx 64/128$	5	
0x31C1	Positionskorrektur	$\widetilde{COG} \approx 65/128$	5	
0x31C2		$\widetilde{COG} \approx 66/128$	5	
0x31C3		$\widetilde{COG} \approx 67/128$	5	
0x31C4		$\widetilde{COG} \approx 68/128$	5	
0x31C5		$\widetilde{COG} \approx 69/128$	5	
0x31C6		$\widetilde{COG} \approx 70/128$	5	
0x31C7		$\widetilde{COG} \approx 71/128$	5	
0x31C8	Preprozessor	$\widetilde{COG} \approx 72/128$	5	
0x31C9	Positionskorrektur	$\widetilde{COG} \approx 73/128$	5	
0x31CA		$\widetilde{COG} \approx 74/128$	5	
0x31CB		$\widetilde{COG} \approx 75/128$	5	
0x31CC		$\widetilde{COG} \approx 76/128$	5	
0x31CD		$\widetilde{COG} \approx 77/128$	5	
0x31CE		$\widetilde{COG} \approx 78/128$	5	
0x31CF		$\widetilde{COG} \approx 79/128$	5	

Adresse	Modul	Parameter	Breite	Bemerkungen
0x31D0	Preprozessor	$\widetilde{COG} \approx 80/128$	5	
0x31D1	Positionskorrektur	$\widetilde{COG} \approx 81/128$	5	
0x31D2		$\widetilde{COG} \approx 82/128$	5	
0x31D3		$\widetilde{COG} \approx 83/128$	5	
0x31D4		$\widetilde{COG} \approx 84/128$	5	
0x31D5		$\widetilde{COG} \approx 85/128$	5	
0x31D6		$\widetilde{COG} \approx 86/128$	5	
0x31D7		$\widetilde{COG} \approx 87/128$	5	
0x31D8	Preprozessor	$\widetilde{COG} \approx 88/128$	5	
0x31D9	Positionskorrektur	$\widetilde{COG} \approx 89/128$	5	
0x31DA		$\widetilde{COG} \approx 90/128$	5	
0x31DB		$\widetilde{COG} \approx 91/128$	5	
0x31DC		$\widetilde{COG} \approx 92/128$	5	
0x31DD		$\widetilde{COG} \approx 93/128$	5	
0x31DE		$\widetilde{COG} \approx 94/128$	5	
0x31DF		$\widetilde{COG} \approx 95/128$	5	
0x31E0	Preprozessor	$\widetilde{COG} \approx 96/128$	5	
0x31E1	Positionskorrektur	$\widetilde{COG} \approx 97/128$	5	
0x31E2		$\widetilde{COG} \approx 98/128$	5	
0x31E3		$\widetilde{COG} \approx 99/128$	5	
0x31E4		$\widetilde{COG} \approx 100/128$	5	
0x31E5		$\widetilde{COG} \approx 101/128$	5	
0x31E6		$\widetilde{COG} \approx 102/128$	5	
0x31E7		$\widetilde{COG} \approx 103/128$	5	
0x31E8	Preprozessor	$\widetilde{COG} \approx 104/128$	5	
0x31E9	Positionskorrektur	$\widetilde{COG} \approx 105/128$	5	
0x31EA		$\widetilde{COG} \approx 106/128$	5	
0x31EB		$\widetilde{COG} \approx 107/128$	5	
0x31EC		$\widetilde{COG} \approx 108/128$	5	
0x31ED		$\widetilde{COG} \approx 109/128$	5	
0x31EE		$\widetilde{COG} \approx 110/128$	5	
0x31EF		$\widetilde{COG} \approx 111/128$	5	
0x31F0	Preprozessor	$\widetilde{COG} \approx 112/128$	5	
0x31F1	Positionskorrektur	$\widetilde{COG} \approx 113/128$	5	
0x31F2		$\widetilde{COG} \approx 114/128$	5	
0x31F3		$\widetilde{COG} \approx 115/128$	5	
0x31F4		$\widetilde{COG} \approx 116/128$	5	
0x31F5		$\widetilde{COG} \approx 117/128$	5	
0x31F6		$\widetilde{COG} \approx 118/128$	5	
0x31F7		$\widetilde{COG} \approx 119/128$	5	

108 ANHANG A. SPEICHERZUWEISUNG IM GLOBALEN ADRESSRAUM

Adresse	Modul	Parameter	Breite	Bemerkungen
0x31F8	Preprozessor	$\widetilde{COG} \approx 120/128$	5	
0x31F9	Positionskorrektur	$\widetilde{COG} \approx 121/128$	5	
0x31FA		$\widetilde{COG} \approx 122/128$	5	
0x31FB		$\widetilde{COG} \approx 123/128$	5	
0x31FC		$\widetilde{COG} \approx 124/128$	5	
0x31FD		$\widetilde{COG} \approx 125/128$	5	
0x31FE		$\widetilde{COG} \approx 126/128$	5	
0x31FF		$\widetilde{COG} \approx 127/128$	5	
Adresse	Modul	Parameter	Breite	Bemerkungen
0x32XX bis 0x3FXX		ungenutzt		3584 Adressen

Anhang B

Beispielkonfigurationen

B.1 Akquisitionsbetrieb

In diesem Beispiel werden die notwendigen Einstellungen zur Datenakquisition aus den ADCs und zur Tracklet-Parametrisierung vorgenommen.

Das Filter kann durch B.3 einbezogen werden, die Positionskorrektur-LUT gemäß B.4, und der ADC-DMUX gemäß B.5 konfiguriert werden.

Modul	Parameter	Adresse	Wert
'Bin-Timer'	Verzögerung der Datenakquisition	0x3000	1
	Anfang des linearen Fits	0x3001	5
	Ende des linearen Fits	0x3002	20
	Rückmeldezeit	0x3003	20
	Dauer der Datenakquisition	0x3004	20
'Event-Buffer'	Eingangsverzögerung der ADC-Werte	0x3008	2
	Akquisitions-Offsetadresse	0x300A	0
	Datenspeicherungsart-Flag	0x300C	1
	Simulationsmodus-Flag	0x300D	1
	Paritätsverl. Clear	0x300F	1
	Paritätsbit-Übertragungs-Flag	0x3010	1
Preprozessor	gefiltertes 'Pedestal'	0x3040	120
	Ladungsschwelle	0x3041	160
	Qualitäts-Bypass	0x3043	0
	Hitsummen-Schwelle	0x3044	8
	Linke Hit-Schwelle	0x3045	1
	Test-Indizes-Flag	0x3046	1
MSM	Gl.-Bus-Takt-Flag, Bit [11]	0x5003	0

B.2 Testbetrieb

In diesem Beispiel werden die notwendigen Einstellungen zum Test des Filters und des Preprozessors durch die Verarbeitung von Daten aus dem 'Event-Buffer' vorgenommen.

Die Einstellungen des Filters sind entsprechend B.3 vorzunehmen, die Positionskorrektur im Preprozessor gemäß B.4, und die Konfiguration des ADC-DMUX nach B.5.

Modul	Parameter	Adresse	Wert
'Bin-Timer'	Verzögerung der Datenakquisition	0x3000	1
	Anfang des linearen Fits	0x3001	5
	Ende des linearen Fits	0x3002	20
	Rückmeldezeit	0x3003	20
	Dauer der Datenakquisition	0x3004	20
'Event-Buffer'	Akquisitions-Offsetadresse	0x300A	32
	Simulations-Offsetadresse	0x300B	0
	Datenspeicherungsart-Flag	0x300C	0
	Simulationsmodus-Flag	0x300D	0
	Paritätsverl. Clear	0x300F	1
	Paritätsbit-Übertragungs-Flag	0x3010	1
Preprozessor	gefiltertes 'Pedestal'	0x3040	120
	Ladungsschwelle	0x3041	160
	Qualitäts-Bypass	0x3043	0
	Hitsummen-Schwelle	0x3044	8
	Linke Hit-Schwelle	0x3045	1
	Test-Indizes-Flag	0x3046	1
MSM	Gl.-Bus-Takt-Flag, Bit [11]	0x5003	1

Das Testereignis ist für alle Kanäle in den 'Event-Buffer' zu schreiben. Hierfür sind die Zeitbins 0 bis 19 zu benutzen (vgl. A.1):

$$\boxed{\underbrace{0010}_{\text{Geraet}} \underbrace{K_4 K_3 K_2 K_1 K_0}_X \underbrace{A_5 A_4 A_3 A_2 A_1 A_0}_{0 \leq \text{Zeitbin} \leq 19}}$$

B.3 Filter

Dies ist ein Beispiel, wie die einzelnen Filterstufen analog zu den Simulationen im Text konfiguriert werden können. Um einen lauffähigen Satz von Umgebungsvariablen einzugeben, ist dieses Beispiel jedoch als in eine Gesamtkonfiguration (vgl. B.1, B.2) eingebettet zu verstehen.

Modul	Parameter	Adresse	Wert
Nichtlinearitäts- korrektur	Bypass-Flag	0x3018	1
	LUT	0x3100 bis 0x313F	0
'Pedestal'- Korrektur	Bypass-Flag	0x3019	1
	Akkumulator-Breite	0x3020	0
	Neues 'Pedestal'	0x3021	120
	Akkumulator-Clear	0x3022	1
'Gain'- Korrektur	Bypass-Flag	0x301A	1
	Schwelle A	0x3028	140
	Schwelle B	0x3029	2118
	Akkumulator-Clear	0x302A	1
	Korrektur-Faktoren Kanal 0 bis 20	0x3080 bis 0x3094	0
'Tail'- Unterdrückung	Bypass-Flag	0x301B	1
	α_L	0x3030	246
	λ_L	0x3031	285
	λ_S	0x3032	211
'Crosstalk'- Unterdrückung	Bypass-Flag	0x301C	1
	$M_{\pm 1, -2}$	0x3038	30
	$M_{\pm 1, -1}$	0x3039	212
	$M_{\pm 1, 0}$	0x303A	230
	$M_{\pm 1, +1}$	0x303B	74
	$M_{\pm 1, +2}$	0x303C	239

B.4 Positionskorrektur

In diesem Beispiel wird gezeigt, wie die zum Zeitpunkt der Erstellung dieses Textes verwendete, der 'Pad-Response-Function' entsprechende, Positionskorrektur konfiguriert wird. Um einen lauffähigen Satz von Umgebungsvariablen einzugeben, ist dieses Beispiel jedoch als in eine Gesamtkonfiguration (vgl. B.1, B.2) eingebettet zu verstehen.

Parameter	Adresse	Wert
$\widetilde{COG} \approx 0/128 \vee 128/128$	0x3180	0
$\widetilde{COG} \approx 1/128$	0x3181	1
$\widetilde{COG} \approx 2/128$	0x3182	2
$\widetilde{COG} \approx 3/128$	0x3183	3
$\widetilde{COG} \approx 4/128$	0x3184	4
$\widetilde{COG} \approx 5/128$	0x3185	5
$\widetilde{COG} \approx 6/128$	0x3186	5
$\widetilde{COG} \approx 7/128$	0x3187	6
$\widetilde{COG} \approx 8/128$	0x3188	7
$\widetilde{COG} \approx 9/128$	0x3189	8
$\widetilde{COG} \approx 10/128$	0x318A	9
$\widetilde{COG} \approx 11/128$	0x318B	10
$\widetilde{COG} \approx 12/128$	0x318C	10
$\widetilde{COG} \approx 13/128$	0x318D	11
$\widetilde{COG} \approx 14/128$	0x318E	12
$\widetilde{COG} \approx 15/128$	0x318F	13
$\widetilde{COG} \approx 16/128$	0x3180	14
$\widetilde{COG} \approx 17/128$	0x3181	14
$\widetilde{COG} \approx 18/128$	0x3182	15
$\widetilde{COG} \approx 19/128$	0x3183	16
$\widetilde{COG} \approx 20/128$	0x3184	16
$\widetilde{COG} \approx 21/128$	0x3185	17
$\widetilde{COG} \approx 22/128$	0x3186	17
$\widetilde{COG} \approx 23/128$	0x3187	18

Parameter	Adresse	Wert
$\widetilde{COG} \approx 24/128$	0x3188	19
$\widetilde{COG} \approx 25/128$	0x3189	19
$\widetilde{COG} \approx 26/128$	0x318A	20
$\widetilde{COG} \approx 27/128$	0x318B	20
$\widetilde{COG} \approx 28/128$	0x318C	21
$\widetilde{COG} \approx 29/128$	0x318D	21
$\widetilde{COG} \approx 30/128$	0x318E	21
$\widetilde{COG} \approx 31/128$	0x318F	22
$\widetilde{COG} \approx 32/128$	0x3180	22
$\widetilde{COG} \approx 33/128$	0x3181	22
$\widetilde{COG} \approx 34/128$	0x3182	23
$\widetilde{COG} \approx 35/128$	0x3183	23
$\widetilde{COG} \approx 36/128$	0x3184	23
$\widetilde{COG} \approx 37/128$	0x3185	24
$\widetilde{COG} \approx 38/128$	0x3186	24
$\widetilde{COG} \approx 39/128$	0x3187	24
$\widetilde{COG} \approx 40/128$	0x3188	24
$\widetilde{COG} \approx 41/128$	0x3189	24
$\widetilde{COG} \approx 42/128$	0x318A	25
$\widetilde{COG} \approx 43/128$	0x318B	25
$\widetilde{COG} \approx 44/128$	0x318C	25
$\widetilde{COG} \approx 45/128$	0x318D	25
$\widetilde{COG} \approx 46/128$	0x318E	25
$\widetilde{COG} \approx 47/128$	0x318F	25
$\widetilde{COG} \approx 48/128$	0x3180	25
$\widetilde{COG} \approx 49/128$	0x3181	25
$\widetilde{COG} \approx 50/128$	0x3182	25
$\widetilde{COG} \approx 51/128$	0x3183	25
$\widetilde{COG} \approx 52/128$	0x3184	25
$\widetilde{COG} \approx 53/128$	0x3185	25
$\widetilde{COG} \approx 54/128$	0x3186	25
$\widetilde{COG} \approx 55/128$	0x3187	25
$\widetilde{COG} \approx 56/128$	0x3188	25
$\widetilde{COG} \approx 57/128$	0x3189	25
$\widetilde{COG} \approx 58/128$	0x318A	25
$\widetilde{COG} \approx 59/128$	0x318B	25
$\widetilde{COG} \approx 60/128$	0x318C	25
$\widetilde{COG} \approx 61/128$	0x318D	25
$\widetilde{COG} \approx 62/128$	0x318E	25
$\widetilde{COG} \approx 63/128$	0x318F	25

Parameter	Adresse	Wert
$\widetilde{COG} \approx 64/128$	0x3180	25
$\widetilde{COG} \approx 65/128$	0x3181	24
$\widetilde{COG} \approx 66/128$	0x3182	24
$\widetilde{COG} \approx 67/128$	0x3183	24
$\widetilde{COG} \approx 68/128$	0x3184	24
$\widetilde{COG} \approx 69/128$	0x3185	24
$\widetilde{COG} \approx 70/128$	0x3186	23
$\widetilde{COG} \approx 71/128$	0x3187	23
$\widetilde{COG} \approx 72/128$	0x3188	23
$\widetilde{COG} \approx 73/128$	0x3189	23
$\widetilde{COG} \approx 74/128$	0x318A	23
$\widetilde{COG} \approx 75/128$	0x318B	22
$\widetilde{COG} \approx 76/128$	0x318C	22
$\widetilde{COG} \approx 77/128$	0x318D	22
$\widetilde{COG} \approx 78/128$	0x318E	22
$\widetilde{COG} \approx 79/128$	0x318F	21
$\widetilde{COG} \approx 80/128$	0x3180	21
$\widetilde{COG} \approx 81/128$	0x3181	21
$\widetilde{COG} \approx 82/128$	0x3182	20
$\widetilde{COG} \approx 83/128$	0x3183	20
$\widetilde{COG} \approx 84/128$	0x3184	20
$\widetilde{COG} \approx 85/128$	0x3185	19
$\widetilde{COG} \approx 86/128$	0x3186	19
$\widetilde{COG} \approx 87/128$	0x3187	19
$\widetilde{COG} \approx 88/128$	0x3188	18
$\widetilde{COG} \approx 89/128$	0x3189	18
$\widetilde{COG} \approx 90/128$	0x318A	18
$\widetilde{COG} \approx 91/128$	0x318B	17
$\widetilde{COG} \approx 92/128$	0x318C	17
$\widetilde{COG} \approx 93/128$	0x318D	17
$\widetilde{COG} \approx 94/128$	0x318E	16
$\widetilde{COG} \approx 95/128$	0x318F	16
$\widetilde{COG} \approx 96/128$	0x3180	15
$\widetilde{COG} \approx 97/128$	0x3181	15
$\widetilde{COG} \approx 98/128$	0x3182	15
$\widetilde{COG} \approx 99/128$	0x3183	14
$\widetilde{COG} \approx 100/128$	0x3184	14
$\widetilde{COG} \approx 101/128$	0x3185	13
$\widetilde{COG} \approx 102/128$	0x3186	13
$\widetilde{COG} \approx 103/128$	0x3187	12

Parameter	Adresse	Wert
$\widetilde{COG} \approx 104/128$	0x3188	12
$\widetilde{COG} \approx 105/128$	0x3189	11
$\widetilde{COG} \approx 106/128$	0x318A	11
$\widetilde{COG} \approx 107/128$	0x318B	11
$\widetilde{COG} \approx 108/128$	0x318C	10
$\widetilde{COG} \approx 109/128$	0x318D	10
$\widetilde{COG} \approx 110/128$	0x318E	9
$\widetilde{COG} \approx 111/128$	0x318F	9
$\widetilde{COG} \approx 112/128$	0x3180	8
$\widetilde{COG} \approx 113/128$	0x3181	8
$\widetilde{COG} \approx 114/128$	0x3182	7
$\widetilde{COG} \approx 115/128$	0x3183	7
$\widetilde{COG} \approx 116/128$	0x3184	6
$\widetilde{COG} \approx 117/128$	0x3185	6
$\widetilde{COG} \approx 118/128$	0x3186	5
$\widetilde{COG} \approx 119/128$	0x3187	5
$\widetilde{COG} \approx 120/128$	0x3188	4
$\widetilde{COG} \approx 121/128$	0x3189	4
$\widetilde{COG} \approx 122/128$	0x318A	3
$\widetilde{COG} \approx 123/128$	0x318B	3
$\widetilde{COG} \approx 124/128$	0x318C	2
$\widetilde{COG} \approx 125/128$	0x318D	2
$\widetilde{COG} \approx 126/128$	0x318E	1
$\widetilde{COG} \approx 127/128$	0x318F	1

B.5 ADC–DMUX

Die Einstellungen des ADC–DMUX entsprechen den Empfehlungen aus [va0]. Sie sind in eine entsprechende Gesamtkonfiguration (vgl. B.1, B.2) mit einzubeziehen.

Parameter	Adresse	Wert
PASA–Testpuls–Amplitude	0x3050	0x80
PASA–Testpuls–Kanalmaske	0x3051	0x3FFFF
Strobe–Einstellungen	0x3052	0x0BF0
Strobe–Einstellungen	0x3053	0x21FA
Phase des ADC–Taktes	0x3054	0
Phase des Preprozessortaktes	0x3055	4
Phase des ADC–Sample–Signals	0x3056	3
ADC–Referenzspannung	0x3057	2
ADC–Kanal–Maske	0x3058	0x1FFFFFF
Latchverzögerung	0x3059	15

Anhang C

Notation

t, ν, ω	Zeit, Frequenz und Kreisfrequenz
$f(t), \hat{f}(t)$	Signal in Zeit- oder Frequenzdarstellung
$\mathbf{1}_{(Bedingung)}$	Die charakteristische Funktion: Es gilt: $\mathbf{1}_{(Bedingung)} = 1$, wenn die Bedingung wahr ist, sonst 0.
$\nu_p = \sqrt{\frac{4\pi NZe^2}{m}}$	Plasmafrequenz
$N_0 = 6,022 \cdot 10^{23}$	Avogadrozahl
$\alpha_{em} = \frac{1}{137}$	Feinstrukturkonstante, elektromagnetische Kopplung
$m_e \approx 511keV/c^2$	Elektronenmasse
$\beta = \frac{v}{c}$	Geschwindigkeit, bezogen auf die Lichtgeschwindigkeit
$\gamma = \frac{1}{\sqrt{1-\beta^2}}$	Energie-Ruheenergie-Verhältnis
Z	Atomare Ordnungszahl
A	Atomare Massenzahl
z	Ladung eines geladenen Teilchens, auf die Elektronenladung bezogen
v	Geschwindigkeit eines (geladenen) Teilchens

Anhang D

Inhalt der CD

Die beiliegende CD beinhaltet alle von Autor erarbeiteten Programmteile zur Simulation des Filters. Hinzu kommt ein Verzeichnisbaum, in dem die Hardware-Entwicklung nachvollzogen werden kann. So enthält er neben den VHDL-Quelldateien die dazugehörigen Scripte zur Synthese und zum Erstellen des Layouts.

Abschließend enthält sie alle Quelldateien, die zur Anfertigung der vorliegenden Diplomarbeit verwendet wurden.

Literaturverzeichnis

- [alice] A Large Ion Collider Experiment (ALICE) at CERN LHC (<http://alice.web.cern.ch/Alice>)
- [tdr] The ALICE Collaboration: ALICE Technical Design Report of the Transition Radiation Detector (LHCC 2001-021, CERN; Genf 2001)
- [aa0] Anton Andronic: ALICE TRD prototype tests (<http://www-linux.gsi.de/~andronic/trd/tests>)
- [xt0] J. Colas, R. Lafaye, N. Massol, C. de La Taille, L. Serin, P. Pralavorio, D. Sauvage: Crosstalk in the ATLAS Electromagnetic Calorimeter (ATL-LARG-2000-004, CERN; Genf 2000)
- [altro] L. Musa: Design and Implementation of the ALTRO Chip
- [kl0] Lehrstuhl Grundlagen der Mikroelektronik, Prof. Dr.-Ing. R. Tielert (<http://www.eit.uni-kl.de/tielert/>)
- [aliroot] The TRD in the ALIROOT Package (<http://www-aix.gsi.de/~alice/aliroot/index.html>)
- [va0] V. Angelov: ALICE TRD Trigger Architecture (TRDs for the 3rd Millennium; Bari, Italien, September 2001)
- [va1] V. Angelov: 'Power-Management' im TRAP1-Chip (ALICE-TRD-Gruppe, Kirchhoff-Institut für Physik; Universität Heidelberg 2002)
- [rg0] Robin Gareus: Slow Control - Serial Bus and its implementation for the Transition Radiation Detectors's slow control network (Diplomarbeit-am Lehrstuhl für Technische Informatik, Kirchhoff-Institut für Physik; Universität Heidelberg 2002)
- [fl0] Falk Lesser: Entwurf und Realisierung eines vierfach MIMD Prozessor Mikrochips für eine Anwendung in der Hochenergiephysik (Promotion am Lehrstuhl für Technische Informatik, Kirchhoff-Institut für Physik; Universität Heidelberg 2002)

- [fl1] Falk Lesser: A MIMD Multi Threaded Processor (Proc. 13th IEEE Hot-Chips Conference; Palo Alto, USA, August 2001)
- [cr0] Christian Reichling: Entwicklung eines Quadport Memory für den Einsatz in einem Triggerprozessor am CERN (Diplomarbeit am Lehrstuhl für Technische Informatik, Kirchhoff-Institut für Physik; Universität Heidelberg 2001)
- [rs0] Rolf Schneider: 64k Networked Multi-Threaded Processors and their Real-Time Application in High Energy Physics (The 6th World Multi-conference on Systemics, Cybernetics and Informatics; Orlando, USA, Juli 2002)
- [pasa0] H.K. Soltveit, J. Stachel: New Front-end Electronics for the ALICE TPC-Detector (GSI; Darmstadt 2002)
- [bv0] Bogdan Vulpesu: Position determination in the ALICE TRD (Physikalisches Institut; Universität Heidelberg 2001)
- [jedi] John David Jackson: Klassische Elektrodynamik (2. Auflage, de Gruyter; Berlin, New York 1982)
- [dbv0] Bernd Jähne: Digitale Bildverarbeitung (4. Auflage, Springer; Berlin, Heidelberg 1997)
- [kk] Konrad Kleinknecht: Detektoren für Teilchenstrahlung (3. Auflage, Teubner; Stuttgart 1992)
- [mhw] Joachim Krautter: Meyers Handbuch Weltall (7. Auflage, Meyers Lexikonverlag; Mannheim, Leipzig, Wien 1994)
- [pheap] Donald H. Perkins: Introduction to high energy physics (4th edition, Cambridge University Press; Cambridge, New York 2000)
- [ptk] Povh, Rith, Scholz, Zetsche: Teilchen und Kerne (5. Auflage, Springer; Berlin, Heidelberg 1999)

Erklärung:

Ich versichere, dass ich diese Arbeit selbständig verfasst und keine anderen als die angegebenen Quellen und Hilfsmittel benutzt habe.

Heidelberg, den