Werner Hinderer

Test und Inbetriebnahme des
ATLAS Level-1 Kalorimeter Trigger
Prä-Prozessor Multichip-Moduls

Diplomarbeit

HD-KIP-06-02
Fakultät für Physik und Astronomie
Ruprecht-Karls-Universität Heidelberg

Diplomarbeit
im Studiengang Physik

vorgelegt von
Werner Hinderer
aus Welzheim

2002
Test und Inbetriebnahme
des ATLAS Level-1 Kalorimeter Trigger
Prä-Prozessor Multichip-Moduls

Die Diplomarbeit wurde von Werner Hinderer ausgeführt am
Kirchhoff-Institut für Physik der Universität Heidelberg
unter der Betreuung von
Herrn Prof. Dr. Karlheinz Meier
Test and commissioning of the
ATLAS Level-1 Calorimeter-Trigger Pre-Processor Multichip-Module:

The subject of this thesis is the Pre-Processor Multichip-Module (PPrMCM) for the ATLAS Level-1 Calorimeter Trigger Pre-Processor system. The Pre-Processor Multichip-Module performs most of the preprocessing tasks of four analog trigger-tower signals.

The layout of a first version of the PPrMCM was completed. Six PPrMCMs with a smallest feature size of 100 μm were fabricated in a TWINFlex process which is offered by Würth Elektronik. Three of them were partly assembled by hand, only the Pre-Processor ASIC was missing. Thermal measurements resulted in a redesign of the PPrMCM. This second version is currently under production.

The correct functioning of the PPrMCMs has to be verified. For that purpose a complex test system was designed in order to test 3200 PPrMCMs. The schematic for the so called MCM-testboard was designed.

In order to perform tests of the PPrMCM without the still missing Pre-Processor ASIC, the so called adapter board was designed which allows the verification of the correct functioning of the PPrMCM.

Test und Inbetriebnahme des
ATLAS Level-1 Kalorimeter Trigger Prä-Prozessor Multichip-Moduls:


Das Layout einer ersten Version des PPrMCMs wurde fertig gestellt. Sechs PPrMCMs wurden mit einer Strukturgröße von 100 μm nach dem TWINFlex Verfahren der Firma Würth Elektronik gefertigt. Drei dieser PPrMCMs wurden bis auf den noch nicht verfügbaren Prä-Prozessor ASIC von Hand bestückt. Thermische Messungen gaben Anlass zu einem Neudesign.

Die zweite Version des PPrMCMs befindet sich momentan in der Fertigung. Die fehlerfreie Funktion der PPrMCMs muss in Tests nachgewiesen werden. Ein komplexes Testsystem zum Test von 3200 PPrMCMs wurde entwickelt. Für das auf VME-Karten basierende Testsystem wurde der Schaltplan für die so genannte MCM-Testkarte entwickelt.

Um den Test der PPrMCMs ohne den noch fehlenden Prä-Prozessor ASIC durchführen zu können, wurde eine Zwischenkarte erstellt. Mit dieser Karte ist es möglich, die fehlerfreie Funktion des PPrMCMs zu verifizieren.
# Inhaltsverzeichnis

**Einleitung** 1

1 **Das ATLAS Experiment am LHC** 2
   1.1 Der Teilchenbeschleuniger LHC .......................... 2
   1.2 Physikalischer Hintergrund .................................. 4
       1.2.1 Das Standardmodell der Teilchenphysik .................. 4
       1.2.2 Physik jenseits des Standardmodells .................. 5
       1.2.3 Proton-Proton Streuung ................................ 7
   1.3 Der ATLAS-Detektor ........................................... 8
       1.3.1 Der innere Detektor ...................................... 10
       1.3.2 Das Kalorimeter ......................................... 10
       1.3.3 Das Myon-Spektrometer .................................. 12

2 **Architektur des ATLAS Trigger-Systems** 14
   2.1 Überblick über das Trigger Konzept ........................ 14
   2.2 Der Level-1-Trigger ......................................... 16
       2.2.1 Der Kalorimeter Trigger ................................ 16
       2.2.2 Der Myon Trigger ....................................... 19
       2.2.3 Der zentrale Trigger Prozessor .......................... 19

3 **Der Level-1 Kalorimeter Trigger Prä-Prozessor** 20
   3.1 Überblick .................................................... 20
   3.2 Hardware Komponenten des Präd-Prozessors .................. 21
       3.2.1 Das Analog Input Board ................................. 23
       3.2.2 Das Präd-Prozessor Multichip-Modul (PPrMCM) .............. 24
       3.2.3 Der Präd-Prozessor ASIC ................................ 26
       3.2.4 Der Readout Merger FPGA (RemFPGA) ........................ 28
       3.2.5 Die Datenauslese ......................................... 29

4 **Das Präd-Prozessor Multichip-Modul** 30
   4.1 MCM Technologie .............................................. 30
   4.2 Design und Layout ............................................ 32
   4.3 Bestückung des PPrMCMs ..................................... 36
   4.4 Redesign des PPrMCMs ........................................ 42
| 4.4.1 Thermische Messungen                      | 42 |
| 4.4.2 Weitere Änderungen am Layout             | 46 |
| 4.4.3 Eigenschaften des Layouts der zweiten Version des PPrMCMs | 48 |
| 4.4.4 Eingangs- und Ausgangssignale der zweiten Version des PPrMCMs | 48 |

5 Test des Prä-Prozessor Multichip-Moduls  51
5.1 Produktion des PPrMCMs in großen Stückzahlen und Qualitätssicherung  51
5.2 Testaufbau  54
5.3 Die MCM Testkarte  58

6 Die Adapter-Karte  63
6.1 Test des PPrMCMs ohne PPrASIC  63
6.2 CPLD Design-Prozess  65
6.3 Test des PPrASICs  67

Zusammenfassung und Ausblick  69

A Layout des PPrMCMs  71

B Pinbelegung der Stecker des PPrMCMs  73

C Schaltplan der MCM Testkarte  79

Literaturverzeichnis  81

Danksagung  85
Einleitung

Im Jahre 2006 wird ein neuer Teilchenbeschleuniger, der Large Hadron Collider (LHC) an CERN in Betrieb gehen. Der LHC wird unter anderem Protonenstrahlen mit einer Energie von bis zu 7\,TeV zur Kollision bringen. Mit Hilfe von sehr komplexen Detektoren untersucht man, was beim Zusammenstoß der Strahlen aus dem LHC passiert. Einer dieser Detektoren ist ATLAS. ATLAS ist als Universaldetektor konzipiert und wird unter anderem nach dem theoretisch vorhergesagten Higgs-Boson und nach theoretisch vermuteten supersymmetrischen Teilchen suchen. Da die zu messenden Reaktionen sehr selten sind, ist ein Trigger-System notwendig, das aus der Vielzahl der stattfindenden Reaktionen diejenigen isoliert, die das zu untersuchende physikalische Ereignis enthalten.


Kapitel 1

Das ATLAS Experiment am LHC

1.1 Der Teilchenbeschleuniger LHC


Abbildung 1.1: Querschnitt eines LHC-Dipolmagneten

\(^1\)Conseil Européen pour la Recherche Nucléaire
CERNs bestehende Beschleunigerkette (siehe Abbildung 1.2) liefert die auf 0.45 TeV vorbeschleunigten Protonenstrahlen, bevor sie in den LHC eingeführt werden.

Abbildung 1.2: Das System von Vorbeschleunigern und Speicherringen bei CERN


Die Reaktionsrate \(R\) an einem solchen Wechselwirkungspunkt ist gegeben durch

\[
R = \sigma L,
\]

wobei \(\sigma\) der Wirkungsquerschnitt der stattfindenden Reaktion und \(L\) die Luminosität des Beschleunigers ist. Im Falle der Kollision der beiden Protonenstrahlen im LHC-Speicherring gilt für die Luminosität nach [1]

\[
L = \frac{N_a \cdot N_b \cdot j \cdot v / U}{A},
\]

wobei \(N_a\) und \(N_b\) der in Paket a bzw. b enthaltenen Teilchenzahl, \(j\) die Zahl der Teilchenpakete, \(v\) die Geschwindigkeit der Teilchen, \(U\) der Umfang des Speicherringes und \(A\) der Strahlquerschnitt ist. Da der Wirkungsquerschnitt \(\sigma\) für viele der zu messenden Reaktionen sehr klein ist, ist die hohe Luminosität des LHC von zunächst \(10^{33} \text{ cm}^{-2}\text{s}^{-1}\) und später von \(10^{34} \text{ cm}^{-2}\text{s}^{-1}\) essentiell, um die zu untersuchenden Reaktionen und ihre

---

\(^2\)aus dem Englischen: Pakete
Eigenschaften vermessen zu können. Der LHC übertrifft damit z.B. die Luminosität des derzeit weltweit mit der höchsten Schwerpunktsenergie von 2 TeV arbeitenden Proton-Antiproton Kolliders Tevatron am Fermilab um den Faktor 100. Welche Bedeutung eine hohe Luminosität für die Physik am LHC hat, soll nun im folgenden Abschnitt näher beleuchtet werden.

1.2 Physikalischer Hintergrund

1.2.1 Das Standardmodell der Teilchenphysik


<table>
<thead>
<tr>
<th>Generation</th>
<th>el.Ladung</th>
<th>Masse [MeV/c^2]</th>
<th>Lebensdauer</th>
</tr>
</thead>
<tbody>
<tr>
<td>I</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>ν_e</td>
<td>0</td>
<td>&lt; 15 × 10^{-6}</td>
<td>stabil</td>
</tr>
<tr>
<td>e^-</td>
<td>-1</td>
<td>0.511</td>
<td>stabil</td>
</tr>
<tr>
<td>II</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>ν_μ</td>
<td>0</td>
<td>&lt; 1.9 × 10^{-4}</td>
<td>stabil?</td>
</tr>
<tr>
<td>μ^-</td>
<td>-1</td>
<td>105.7</td>
<td>2.197 × 10^{-6}s</td>
</tr>
<tr>
<td>III</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>ν_τ</td>
<td>0</td>
<td>&lt; 18.2</td>
<td>stabil?</td>
</tr>
<tr>
<td>τ^-</td>
<td>-1</td>
<td>&lt; 1777.1</td>
<td>2.900 × 10^{-13}s</td>
</tr>
</tbody>
</table>

Tabelle 1.1: Leptonen und ihre wichtigsten Eigenschaften

Auch die 6 Quarks lassen sich wie die Leptonen in drei "Generationen" oder "Familien" anordnen. Im Gegensatz zu den Leptonen besitzen die Quarks eine Eigenschaft namens Farbe (Farbladung), die man sich als eine Art Ladung der Quarks vorstellen kann. Die Quantenzahl Farbe kann dabei die Werte rot, grün und blau annehmen. Die wichtigsten Eigenschaften der Quarks sind in Tabelle 1.2 zusammengefasst. Zu jedem Quark gehört ein entsprechendes Antiquark.

<table>
<thead>
<tr>
<th></th>
<th></th>
<th></th>
<th></th>
</tr>
</thead>
<tbody>
<tr>
<td>I</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>u</td>
<td>+2/3</td>
<td>1.5..5</td>
<td>r, g, b</td>
</tr>
<tr>
<td>d</td>
<td>-1/3</td>
<td>3.9</td>
<td>r, g, b</td>
</tr>
<tr>
<td>II</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>c</td>
<td>+2/3</td>
<td>1100..1400</td>
<td>r, g, b</td>
</tr>
<tr>
<td>s</td>
<td>-1/3</td>
<td>60..170</td>
<td>r, g, b</td>
</tr>
<tr>
<td>III</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>t</td>
<td>+2/3</td>
<td>170..179 × 10^3</td>
<td>r, g, b</td>
</tr>
<tr>
<td>b</td>
<td>-1/3</td>
<td>4100..4400</td>
<td>r, g, b</td>
</tr>
</tbody>
</table>

Tabelle 1.2: Quarks und ihre wichtigsten Eigenschaften


1.2.2 Physik jenseits des Standardmodells

Trotz großer Erfolge bleibt vieles am heutigen Standardmodell unbefriedigend. So gibt es eine Vielzahl freier Parameter, wie zum Beispiel die Stärke der Kopplungskonstanten der
Abbildung 1.3: Präzisionsmessungen am LEP deuten auf ein "leichtes" Standardmodell Higgs-Boson im Bereich von 100 GeV hin [3]


Zahlreiche Theorien, die jenseits des Standardmodells reichen und einige der verbliebenen Fragen klären könnten, wurden vorgeschlagen. Eine der bekanntesten Theorien ist die Supersymmetrie (SUSY). Die SUSY ist ein Symmetriekonzept, bei dem jedem bosonischen Teilchen und Feld ein fermionisches Partner teilchen und Feld zugeordnet wird und umgekehrt. Damit wird die Theorie symmetrisch bezüglich des Spektrums von Fermionen und Bosonen und es kann eine vollständige Vereinheitlichung der Wechselwirkungen erreicht werden. Bei der supersymmetrischen Erweiterung des Standardmodells wird jedem Teilchen des Standardmodells ein supersymmetrischer Partner zugeordnet. Die Leptonen und Quarks, Fermionen mit Spin 1/2, besitzen als supersymmetrische Partner die Sleptonen und Squarks, Bosonen mit Spin 0. Der Partner des Gluons (Spin 1) ist das Gluino (Spin 1/2). Die supersymmetrischen Partner der elektroschwachen Eichbosonen (Spin 1) und Higgs-Bosonen (Spin 0) sind die Charginos und Neutralinos (Spin 1/2). Die Supersymmetrie kann allerdings keine exakte Symmetrie in der Natur sein, da die von der SUSY vorhergesagten neuen Teilchen größere Massen als ihre Standardmodell-Partner haben müssen, ansonsten hätte man sie schon entdeckt. Theoretisch ungelöst ist die Frage, wie die Supersymmetrie gebrochen wird. Einige der postulierten supersymmetrischen Teilchen könnten in einem Massenbereich liegen, der dem LHC-Beschleuniger zugänglich ist.
1.2.3 Proton-Proton Streuung

Der zu erwartende totale inelastische Wirkungsquerschnitt bei einer Schwerpunktsenergie des LHC von 14 TeV im Fall der Streuung von Protonen an Protonen beträgt rund 70 mb.\textsuperscript{3} Nach Gleichung 1.1 und einer Luminosität des LHC von $10^{34} \text{cm}^{-2}\text{s}^{-1}$ ist damit mit knapp $10^9$ Wechselwirkungen/s zu rechnen. Dies beinhaltet zwei Arten von Wechselwirkungen:

- Die meisten Wechselwirkungen sind die Folge von Kollisionen, bei denen die einfallenden Protonen großen Abstand haben und somit "als Ganzes" wechselwirken. Der Impulsübertrag ist im Allgemeinen klein, so dass die produzierten Teilchen im Endzustand nur einen kleinen Transversalimpuls aufweisen. Unter Transversalimpuls ist hierbei die Impulskomponente in der Ebene senkrecht zum Strahl zu verstehen. Diese Ereignisse, im Englischen minimum-bias events\textsuperscript{4} genannt, sind nicht primäres Ziel der zu untersuchenden Physik am LHC.

- Bei Wechselwirkungen als Folge von Kollisionen, bei denen die einfallenden Protonen kleinen Abstand haben, ist der Impulsübertrag groß. Es werden massive Teilchen und/oder Teilchen mit großem transversalen Impuls und folglich unter großem Winkel zur Strahlrichtung produziert. Solch eine Wechselwirkung kann als Kollision zweier Partonen, den Konstituenten der Protonen, aus je einem der wesentlichen Protonen angesehen werden. Die geladenen Partonen werden mit den Quarks identifiziert, die elektrisch neutralen mit den Gluonen. Protonen bestehen aus drei Valenzquarks ($p \equiv uud$) sowie einem "See" aus Quark-Antiquark-Paaren und Gluonen. Jeder Konstituent trägt nur einen Teil des gesamten Proton-Impulses, weshalb bei der Kollision zweier Partonen entsprechend der verminderten Schwerpunktsenergie $\sqrt{s_1s_2s} \approx 0.1\sqrt{s}$ zu rechnen ist. Die anderen, unbeteiligten Partonen erzeugen durch Hadronisierung enge Teilchenbündel, so genannte Jets\textsuperscript{5}. Die Ereignisse mit großem Transversalimpuls (high-$p_T$ events\textsuperscript{6}) sind besonders interessant.

Abbildung 1.4 zeigt die voraussichtlichen Wirkungsquerschnitte bzw. Ereignisraten verschiedener Prozesse bei der Luminosität von $10^{34} \text{cm}^{-2}\text{s}^{-1}$. Es ist deutlich zu erkennen, dass die zu untersuchenden Reaktionen einen kleinen Wirkungsquerschnitt aufweisen. So ist z.B. der Wirkungsquerschnitt für die Produktion eines Higgs-Bosons sehr klein verglichen mit dem totalen Wirkungsquerschnitt ($\sigma_{\text{Higgs}}/\sigma_{\text{tot}} \approx 10^{-11}$).

Die Seltenheit der interessanten und zu untersuchenden Ereignisse führt zu experimentellen Problemen, so existieren zwei größere Schwierigkeiten:

Zum einen werden die Ereignisse mit großem Transversalimpuls durch QCD-Prozesse (Jet-Produktion) dominiert. Ein interessanter Prozess muss nun aus diesem so genannten QCD-Untergrund extrahiert werden. Zum anderen überlappe die interessanten, aber seltenen Ereignisse mit den Ereignissen aus der Klasse der minimum-bias events, von denen im Mittel etwa 25 Stück pro Bunch-Crossing zu erwarten sind. Der Untergrund, der sich

\textsuperscript{3}1 barn = 1 $b = 10^{-24} \text{cm}^2$
\textsuperscript{4}minimum-bias events: Ereignisse der weichen inelastischen Streuung
\textsuperscript{5}aus dem Englischen: Bündel
\textsuperscript{6}high-$p_T$ events: Ereignisse der tief-inelastischen Streuung
Abbildung 1.4: Wirkungsquerschnitte verschiedener bei der Proton-Proton Streuung stattfindender Prozesse als Funktion der Schwerpunktsenergie [2]


1.3 Der ATLAS-Detektor

Der ATLAS-Detektor ist ein Universaldetektor, der von einer weltweiten Kollaboration bestehend aus 150 Instituten aus 34 verschiedenen Ländern entwickelt und gebaut wird. Der ATLAS-Detektor wurde so entworfen, dass er in der Lage ist, viele unterschiedliche Aspekte der in Abschnitt 1.2 besprochenen Physik am LHC zu untersuchen. Eines der prominentesten Ziele des ATLAS Experiments ist die Entdeckung des Higgs-Bosons. Näheres
zur Suche nach dem Higgs-Boson findet sich in [49]. Ein weiteres großes Ziel ist die Suche nach neuer Physik jenseits des Standardmodells. Als eine der bekanntesten Theorien jenseits des Standardmodells wurde bereits in Abschnitt 1.2.2 die Supersymmetrie erwähnt. Mit dem LHC-Beschleuniger und dem ATLAS Experiment wird die Suche nach supersymmetrischen Teilchen mit Massen von bis zu \( \sim 5 \, \text{TeV} \) möglich. Als drittes großes Ziel von LHC und ATLAS ist die präzise Messung der top- und der W-Massen zu nennen, die fundamentale Parameter des Standardmodells darstellen. Bei einer Luminosität von \( 10^{33} \, \text{cm}^{-2} \, \text{s}^{-1} \) ist mit der Produktion von \( 10^7 \tilde{t} \)-Paaren pro Jahr und mit der Produktion von \( \sim 300 \times 10^6 \) W-Bosonen\(^7\) pro Jahr zu rechnen. Damit ergibt sich eine wesentlich größere Statistik zur Massenbestimmung des top- und des W-Bosons, eine Statistik, wie sie von LEP und von Tevatron, einem Proton-Antiproton Kollider am Fermilab, niemals erreicht wurde und wird. Eine detaillierte Beschreibung des geplanten Physik-Programms findet sich in [4].

Um dieses Physik-Programm realisieren zu können, setzt sich der ATLAS Detektor aus vielen Einzeldetektoren zusammen, die den Wechselwirkungsort fast lückenlos in mehreren Schichten, vergleichbar etwa den Schalen einer Zwiebel, umgeben. In Abbildung 1.5 sind die einzelnen Komponenten von ATLAS gut zu erkennen. Der Detektor hat eine Länge von 40 \( m \), einen Radius von 10 \( m \) und ein Gewicht von 7000 \( t \).

\begin{center}
\includegraphics[width=0.7\textwidth]{atlas-detector.png}
\end{center}

\textbf{Abbildung 1.5:} Der ATLAS Detektor am LHC

Passend zur Geometrie dieses Detektors wird gewöhnlich ein sphärisches Koordinatensystem mit dem Ursprung im Wechselwirkungspunkt eingeführt. Die Strahlachse fällt mit der \( z \)-Achse zusammen, der Azimutalwinkel \( \phi \) wird um die Strahlachse und der Polarwin-

\(^7\)nur \( \sim 60 \times 10^6 \) Ereignisse können für die Bestimmung der W-Masse genutzt werden
kel θ als Winkel gegen die Strahlachse gemessen. Statt θ verwendet man in der Regel die Pseudorapidität \( \eta = -\ln \tan \frac{\theta}{2} \), die sich für \( \beta = \frac{v}{c} \to 1 \) als Limes aus der Rapidität ergibt. Differenzen von \( \eta \) sind invariant unter Lorentz-Transformation.

Im Folgenden sollen nun die wichtigsten Detektorkomponenten, nämlich der innere Detektor, das Kalorimeter und das Myon-Spektrometer, von innen nach außen gehend, kurz vorgestellt werden. Von besonderem Interesse für diese Arbeit ist dabei das Kalorimetersystem, das Daten für den im Kapitel 2 besprochenen ATLAS Level-1 Kalorimeter Trigger zur Verfügung stellt und den Inhalt dieser Arbeit darstellt.

### 1.3.1 Der innere Detektor

Mit Hilfe des inneren Detektors lassen sich die Spuren von hunderten von geladenen Teilchen, die während einer Proton-Proton Kollision gebildet werden, rekonstruieren und unterscheiden. Zu diesem Zweck gibt es zunächst einmal in unmittelbarer Nähe des Wechselwirkungspunkts einen Pixeldetektor, der in der Lage ist, den Ort eines geladenen Teilchens mit einer Auflösung von besser als 14 \( \mu m \) zu bestimmen. Weiter entfernt vom Wechselwirkungspunkt, wo die Dichte der Spuren deutlich geringer wird, befinden sich Siliziumstreifenzähler. Noch weiter entfernt schließen sich die Drahtkammern an, mit deren Hilfe der Ort geladener Teilchen mit einer Genauigkeit von 0.15 \( mm \) bestimmt werden kann. Der gesamte innere Detektor ist von einem supraleitenden Solenoid8 umgeben. Aus der durch dieses Magnetfeld bewirkten Ablenkung geladener Teilchen lässt sich der Teilchenimpuls und die elektrische Ladung bestimmen.

### 1.3.2 Das Kalorimeter


Abbildung 1.6 zeigt das Kalorimetersystem von ATLAS mit seinen wichtigsten Subbestandteilen. Es sind dabei die drei Raumbereiche barrel, forward region und end-cap zu unterscheiden. Barrel (aus dem Englischen: Fass, Tonne) bezeichnet den mittleren Bereich des Kalorimetersystems, das die Gestalt einer umgeworfenen Tonne ähnelt. End-cap (aus

---

8Die Magnetfeldlinien verlaufen parallel zum Strahl.

Abbildung 1.6: Das Kalorimetersystem von ATLAS


Im hadronischen Kalorimeter wird die Energie der Hadronen gemessen, die aufgrund ihrer im Vergleich zu den Elektronen großen Massen im elektromagnetischen Kalorimeter

$^9$Die Strahlungslänge beschreibt die Wegstrecke, nach deren Durchqueren sich die Energie des Elektrons oder Photons um den Faktor $e$ reduziert hat.

Das Kalorimeter überdeckt den sehr großen $\eta$-Bereich von -4.9 bis +4.9. Dies ist besonders wichtig für eine genaue Messung der fehlenden transversalen Energie $E_T^{\text{miss}}$ bzw. des entsprechenden fehlenden transversalen Impulses $p_T^{\text{miss}}$. Nach der Impulserhaltung muss die Vektorsumme der Transversalimpulse aller entstandenen Teilchen verschwinden, weil die stoßenden Protonen keinen Transversalimpuls haben. Trifft dies nicht zu, dann haben wechselwirkungsarme Teilchen, z.B. Neutrinos oder vielleicht heute noch nicht gefundenes supersymmetrisches Teilchen, Energie aus dem Detektor fortgetragen.

Ein konkretes Beispiel, in dem der Messung der fehlenden transversalen Energie eine besondere Bedeutung zukommt, ist der Zerfall des Higgs-Teilchens in der Reaktion $H\rightarrow WW\rightarrow l\nu jetjet$. Dieser Zerfall ist einer der dominierenden Zerfallskanäle des Higgs-Bosons, wenn das Higgs-Boson eine Masse im Bereich von $600\, GeV \leq m_H \leq 1000\, GeV$ hat. Nun gilt es, diesen Zerfall vor dem Hintergrund anderer Prozesse zu identifizieren. Dazu wählt man Ereignisse aus mit:

- einem Lepton und großem $E_T^{\text{miss}}$
- zwei Jets mit $m_{jet\, jet} \approx m_W$
- zwei Jets in Vorwärts-/Rückwärtsrichtung

Es existieren zahlreiche weitere Beispiele, in denen unter anderem die fehlende transversale Energie herangezogen wird, um die spezifische Signatur eines Zerfallskanals vor dem Hintergrund anderer Prozesse zu identifizieren.

### 1.3.3 Das Myon-Spektrometer

Myonen sind ein eindeutiges Merkmal für bestimmte, physikalisch sehr interessante Reaktionen (z.B. die Reaktion $H\rightarrow ZZ^*\rightarrow 4l$ mit $l = \mu, e, \tau$). Sie durchdringen aufgrund ihrer im Vergleich zu Elektronen großen Masse den inneren Detektor und das Kalorimeter nahezu ungestört. Das Myon-Spektrometer umgibt daher das gesamte Kalorimetersystem. Das Spektrometer befindet sich in einem sehr starken toroidalen Magnetfeld, das von supraleitenden Magneten erzeugt wird. Dieses Magnetfeld, das die Myonen auf stark gekrümmte Bahnen zwingt, ermöglicht die Bestimmung der Impulse und der elektrischen Ladung der Myonen.

\footnote{Die Magnetfeldlinien verlaufen in konzentrischen Kreisen um den Strahl und liegen in einer Ebene, die senkrecht zum Strahl steht.}
Kapitel 2
Architektur des ATLAS Trigger-Systems

2.1 Überblick über das Trigger Konzept

Die große Wechselwirkungsrate von \(10^9\) Hz bei einer LHC-Luminosität von \(10^{34} \text{ cm}^{-2}\text{s}^{-1}\) und die große Zahl der Auslesekanäle des ATLAS-Detektors von etwa 147 Millionen Stück führen zu hohen Anforderungen an die Elektronik des Auslesesystems. Um ein stattgefundenes Ereignis vollständig rekonstruieren zu können, muss der gesamte Detektor ausgelesen werden. Tabelle 2.1 fasst die in den verschiedenen Detektorkomponenten pro Bunch-Crossing anfallenden Datenmengen zusammen. Wie aus der Tabelle zu ersehen ist, fällt insgesamt pro Bunch-Crossing eine Datenmenge von 1.28 MByte an. Bei einer Bunch-Crossing-Rate von 40 MHz ergibt sich damit eine Datenrate von 51.2 TByte/s. Es ist unmöglich, diese Daten alle auf Massenspeicher abzulegen bzw. sie zu analysieren. Aus diesem Grund kommt ein Trigger-System zum Einsatz, das die Ereignisrate auf \(~100\) Hz reduziert. Das Trigger-System muss in Echtzeit die Ereignisse auswählen, die physikalisch interessante Informationen enthalten. Trotz des enorm großen Faktors für die Ereignisreduktion in der Größenordnung von \(10^7\) darf aber keines der seltenen, physikalisch interessanten Ereignisse verloren gehen.

<table>
<thead>
<tr>
<th>Detektor</th>
<th>Kanalzahl</th>
<th>Datenvolumen [kBytes]</th>
</tr>
</thead>
<tbody>
<tr>
<td>Pixeldetektor</td>
<td>1,4 \cdot 10^8</td>
<td>50</td>
</tr>
<tr>
<td>Spurkammer</td>
<td>5,6 \cdot 10^6</td>
<td>850</td>
</tr>
<tr>
<td>Kalorimeter</td>
<td>2,3 \cdot 10^5</td>
<td>180</td>
</tr>
<tr>
<td>Myon Detektor</td>
<td>1,3 \cdot 10^6</td>
<td>200</td>
</tr>
<tr>
<td>Gesamt</td>
<td></td>
<td>1280</td>
</tr>
</tbody>
</table>

Tabelle 2.1: Im Detektor pro Bunch-Crossing entstehende Datenvolumina [5]

Da der Trigger für seine Entscheidung, ob ein Datensatz physikalisch relevant ist oder nicht, eine gewisse Zeit benötigt, müssen alle Daten des Detektors zwischengespeichert
werden. Dies geschieht mit Hilfe von so genannten Pipeline-Speichern, die kontinuierlich mit dem LHC-Takt alle Daten des Detektors aufnehmen. Prinzipli ist ein Pipeline-Speicher ein Schieberegister, d.h. mit jedem Takt werden die aufgenommenen Daten eine Position weitergeschoben. Um die notwendigen Pipeline-Speicher möglichst kurz bzw. klein und damit kostengünstig zu halten, ist eine schnelle Triggerentscheidung notwendig. Die Zeitspanne, die der Trigger für seine Entscheidungsfindung benötigt, bezeichnet man als \textit{Latenzzeit}.


Abbildung 2.1: Detektor-Auslese und Trigger [6]. Näheres siehe Text.

Auf dem direkten, vertikalen Weg vom Detektor zu den Massenspeichern werden die vollen Datensätze, aber mit in jeder Triggerstufe vermindriger Rate, weitergeleitet. Da die Latenzzeit des Level-1-Triggers nur $2\,\mu s$ beträgt, kann der Level-1-Trigger nicht die volle Granularität des Kalorimeters nutzen und bekommt vom Myon-Spektrometer nur Daten von den in Abschnitt 1.3.3 erwähnten Triggerkammern, den RPC- und den TGC-Kammern. Daten des inneren Detektors, also der Pixel- und Spurdetektoren, werden vom Level-1-Trigger nicht benutzt. Der Level-1-Trigger reduziert die Ereignisrate von den anfänglichen $40\,MHz$ auf eine Ereignisrate unter $75\,kHz$, mit der Option, diese Rate auch auf bis zu $100\,kHz$ erhöhen zu können.

Der komplette Datensatz eines Ereignisses, das vom Level-1-Trigger ausgewählt und
für physikalisch relevant gehalten wurde, wird vom Pipeline-Speicher, in dem alle Detek
tordaten bis zur Entscheidungsfindung des Level-1-Triggers gespeichert werden, in den
Readout-Buffer\footnote{Der Readout-Buffer ist ein Speicher, der die vollen Datensätze der vom Level-1-Trigger ausgewählten
Ereignisse so lange aufbewahrt, bis der Level-2-Trigger seine Entscheidung getroffen hat.}
geschoben. Die Datensätze der nicht vom Level-1-Trigger ausgewählten
Ereignisse werden verworfen. Die Latenzzeit des Level-2-Triggers beträgt etwa 10\,ms. Die
große Latenzzeit der zweiten Triggerstufe ist aufgrund der hier zur Anwendung kommen-
den komplexen Trigger Algorithmen notwendig. Der Level-2-Trigger nutzt Daten mit voller
Auflösung aus dem Readout-Buffer, jedoch nur für einige Bereiche des Kalorimeters, den
so genannten Regions of Interest (RoI). Die Regions of Interest Informationen werden vom
Level-1-Trigger zur Verfügung gestellt, sie geben die Position, in $\eta$ und $\phi$, möglicherwei-
se interessanter Objekte wieder. Der Level-2-Trigger reduziert die Ereignisrate auf unter
1\,kHz.

Die in den Readout-Buffer zwischengespeicherten Datensätze werden im Falle einer
Akzeptanz durch den Level-2-Trigger in vollem Umfang und Auflösung zum Event-Filter
transferiert, der das im Detektor stattgefundenene physikalische Ereignis rekonstruiert. Der
Event-Filter reduziert dabei die Ereignisrate auf unter 100\,Hz. Der Event-Filter bedient
sich dabei ähnlicher Algorithmen (z.B. Cluster + Jet Rekonstruktion) wie sie auch bei der
Offline-Datenanalyse Verwendung finden werden. Die Daten werden schließlich mit einer
Datenrate von rund 100\,MByte/s auf Massenspeichern abgelegt.

2.2 Der Level-1-Trigger

Der in Abbildung 2.2 schematisch dargestellte Level-1-Trigger besteht aus drei größeren
Einheiten: dem zentralen Trigger Prozessor (CTP\footnote{Central Trigger Processor}), dem Myon
Trigger und dem Kalorimeter Trigger, wobei der Kalorimeter Trigger im Zentrum dieser Arbeit
steht.

Die Trigger Algorithmen suchen nach Signaturen, die isolierte Elektronen, isolierte
Photonen, Hadronen und Taus, Jets oder Myonen beinhalten. Durch die Bestimmung der
im gesamten Kalorimeter deponierten Energie lässt sich eine Aussage über die fehlenden
transversalen Energie $E_T^{\text{miss}}$ treffen, deren besondere Bedeutung in der Identifikation
spezifischer Signaturen bereits in Kapitel 1 erläutert wurde. Da die Latenzzeit des Level-
1-Triggers nur 2\,$\mu$s beträgt, ist es erforderlich, diese Triggerstufe sowohl aus speziell für
diesen Anwendungs zweck entworfenen integrierten Schaltkreisen, so genannten ASICs (Ap-
lication Specific Integrated Circuit), als auch unter dem Einsatz von programmierbaren
Logikbausteinen, den FPGAs (Field Programmable Gate Array), aufzubauen. Aus diesem
Grund wird der Level-1-Trigger häufig als ”Hardware Trigger” bezeichnet.

2.2.1 Der Kalorimeter Trigger

Abbildung 2.3 zeigt den Level-1 Kalorimeter Trigger. Der Kalorimeter Trigger verarbei-
tet ungefähr 7200 analoge Trigger-Tower Signale. Diese Trigger-Tower Signale entstehen
durch Summation von jeweils bis zu 60 Kalorimeter-Kanälen. Jedes Trigger-Tower Si-
gnal repräsentiert die in einer Kalorimeterzelle mit der Fläche von 0.1×0.1 in $\eta$- und


³Twisted-Pair-Kabel werden zur differenziellen Signalübertragung eingesetzt, sie bestehen aus zwei gleich langen gegeneinander verdrillten Leitungen, wodurch eine sehr gute Rauschunterdrückung erzielt wird.


Der $E^{\text{miss}}_T$-Trigger berücksichtigt Trigger-Tower aller Kalorimeter in einem $\eta$-Bereich von $-4.9 < \eta < +4.9$. Dieser große Akzeptanzbereich ist besonders wichtig, um große Fehler, verursacht durch Jets, die außerhalb des Akzeptanzbereiches liegen, bei der Bestimmung von $E^{\text{miss}}_T$ auszuschließen. Der $E^{\text{miss}}_T$-Algorithmus summier die in den einzelnen Trigger-Towern deponierte transversale Energie und bestimmt daraus die fehlende transversale Energie. Der Algorithmus sucht dann nach $E_T$-Werten, die größer als vorgegebene
Schwellenwerte sind.

All diese Trigger Algorithmen identifizieren also so genannte Trigger-Objekte anhand ihrer in den Trigger-Towern deponierten transversalen Energie. Die Zahl der jeweiligen Trigger-Objekte, die vorgegebene und programmierbare Energieschwellen passieren, wird gezählt und als Multiplizität (inklusive der dazugehörigen Energieschwelle) zum zentralen Trigger Prozessor gesandt. Die Koordinaten von Orten, an denen Objekte gefunden wurden, werden im Falle einer positiven Level-1-Trigger Entscheidung als Regions of Interest Informationen an den Level-2-Trigger übergeben.

2.2.2 Der Myon Trigger


2.2.3 Der zentrale Trigger Prozessor

Die Aufgabe des zentralen Trigger Prozessors besteht darin, die Informationen des Kalorimeter Triggers und des Myon Triggers zu kombinieren, um daraus eine Entscheidung für den gesamten Level-1-Trigger zu ermitteln. Der zentrale Trigger Prozessor generiert ein Level1Accept-Signal, das diese Entscheidung repräsentiert. Dieses Level1Accept-Signal wird dann zusammen mit weiteren Informationen wie der Bunch-Crossing Nummer und der Ereignisnummer über das Timing Trigger and Control System an die einzelnen Auslesesysteme verteilt.
Kapitel 3

Der Level-1 Kalorimeter Trigger
Prä-Prozessor

3.1 Überblick


Der folgende Abschnitt gibt eine detaillierte Beschreibung der wichtigsten Hardware Komponenten des Prä-Prozessors und ihrer Aufgaben.
Abbildung 3.1: Mittels einer Grafiikkarte visualisierte Daten vom End-Cap Kalorimeter. Der Start des nicht-saturierten Signals wurde durch die Grafiikkarte verfälscht.

Abbildung 3.2: Mittels einer Grafiikkarte visualisierte Daten vom End-Cap Kalorimeter. Der Start des saturierten Signals wurde durch die Grafiikkarte verfälscht.

3.2 Hardware Komponenten des Präd-Prozessors

Der komplette Präd-Prozessor besteht aus 128 identischen Präd-Prozessor Modulen (PPM). 16 so genannte Readout Driver Module (ROD) sammeln die Auslesedaten von jeweils 8 PPMs mit Hilfe eines ringähnlichen Bussystems, Pipeline-Bus genannt [27], und senden diese Auslesedaten mittels S-Links (Standardlinks des CERN [7]) an die Readout Buffer (ROB). Diese Module werden in 8 Überrahmen, auch Crates genannt, untergebracht. In jedem Crate befindet sich zusätzlich noch je ein VME-Bus Crate Controller, mit dem über VME\(^1\)-Bus auf die verschiedenen Module zugegriffen werden kann. Da von den 2 \(\mu\)s Latenzzeit des gesamten Level-1-Triggers dem Präd-Prozessor nur 0.45 \(\mu\)s, 18 Bunch-Crossings entsprechend, zustehen, ist ein sehr schnelles System mit hoher Integrationsdichte zur Minimierung der Laufzeiten und zur Minimierung des notwendigen Raumbedarfs erforderlich. Unter dem Einsatz von Multichip-Modulen (MCM), auf denen mehrere Mikrochips in "Die\(^2\)-Form gruppiert sind, wird dieser Anforderung Genüge getan. Das hier eingesetzte Präd-Prozessor Multichip-Modul (PPrMCM), das den Inhalt dieser Arbeit darstellt, übernimmt die Verarbeitung von je vier Trigger-Tower Signalen. Es ist gleichzeitig die kleinste austauschbare Komponente des PPMs.

Ein PPM ist für die Verarbeitung von 64 Trigger-Tower Signalen zuständig, trägt demnach also unter anderem 16 PPrMCMs. Abbildung 3.3 zeigt ein erstes Layout dieser 36.6 cm hohen und 40.0 cm tiefen Leiterplatte.

An der Vorderseite (im Bild links) befinden sich 4 Steckerleisten, die je 16 differenzielle Trigger-Tower Signale aufnehmen. Zwischen diesen Steckern und den PPrMCMs befinden sich 4 so genannte Analog Input Boards, die je 16 analoge Trigger-Tower Signale gemäß den

\(^1\)Versa Module Eurocard

\(^2\)Die: mit Die bezeichnet man allgemein Siliziumchips ohne Gehäuse.
Abbildung 3.3: Das Prä-Prozessor Modul (PPM) [12]


Weitere Komponenten auf dem PPM sind der CanBus [46] und die Tochterkarte TTC\(^6\) Decoder [47]. Über den CanBus werden Kontrolldaten wie die Temperatur der 16 PPrASICs pro PPM oder verschiedene auf dem PPM gemessene Spannungen zur

\(^3\)Readout Merger Field Programmable Gate Array  
\(^4\)Low Voltage Differential Signaling  
\(^5\)LFAN: LVDS Fanout  
\(^6\)TTC: Trigger and Timing Control system
Verfügung gestellt, die Aufschluss über das korrekte Funktionieren eines PPMs geben. Der TTC Decoder empfängt globale System-Signale wie z.B. den 40 MHz LHC-Takt oder das Level1Accept-Signal und vertreibt diese entsprechend auf dem PPM.

Darüber hinaus besitzt jedes PPM eine Schnittstelle zum VME-Bus, über den das PPM konfiguriert und getestet werden kann.

### 3.2.1 Das Analog Input Board


![Blockdiagramm des Analog Input Boards](image)


\(^{7}\)1 V_{pp}: 1 V peak-to-peak

\(^{8}\)Analog-to-Digital Converter

\(^{9}\)Digital-to-Analog Converter

### 3.2.2 Das Prä-Prozessor Multichip-Modul (PPrMCM)


**Abbildung 3.5: Block Diagramm des PPrMCs. Nähere Erläuterungen im Text.**

Im ersten Schritt werden die analogen Trigger-Tower Signale mit einer Abtastrate identisch zum LHC-Takt von 40 MHz digitalisiert. Die hierzu verwendeten AD9042 ADCs von

Abbildung 3.5 zeigt auch den zweiten vom PPrMCM generierten Datenstrom, die tot-
zeitfreie Auslese von Trigger-Rohdaten. Im PPrASIC existieren zwei Sätze von Pipeline-Speicher, die Ereignisdaten des Prä-Prozessors aufnehmen. Zum einen werden die digitale Daten von den ADCs, zum anderen der im nächsten Abschnitt beschriebenen Look-Up Table (LUT) geradewegs nachfolgende Daten, gespeichert. Die Datenauslese ermöglicht die Überwachung der korrekten Arbeitsweise des Triggers, liefert Informationen zu Diagnosezwecken und ermöglicht das Nachvollziehen jeder getroffenen Triggerentscheidung. Im laufenden Betrieb von ATLAS werden Trigger-Rohdaten gewöhnlich nur im Falle einer positiven Entscheidung des gesamten Level-1-Triggers ausgelesen, d.h. für den Auslesestrom des PPMs ergibt sich im Mittel eine Rate von nur 100 kHz im Gegensatz zu den 40 MHz des Echtzeit Datenpfades, der an die nachfolgenden Prozessoren geschickt wird.

Über die funktionelle Beschreibung des PPrMCM hinausgehende, weitere ausführliche Informationen finden sich in Kapitel 4.

3.2.3 Der Prä-Prozessor ASIC

Der PPrASIC bildet die zentrale Komponente auf dem PPrMCM. Er führt die gesamte, in Abbildung 3.5 mit dargestellte digitale Signalverarbeitung für vier Trigger-Tower Signale durch. Die wichtigsten Schritte bei der Verarbeitung der Trigger-Tower Signale in Richtung des Echtzeit Datenstromes sind: Synchronisation der Kanäle mittels FIFOs\(^\text{12}\), BCID, Kalibrierung mittels LUTs, Formation von Jet-Elementen und BC-Mux (Bunch-Crossing Multiplexing), einem 2:1 Multiplexer Schema, das im Fall der Übertragung der Daten zum Cluster Prozessor angewandt wird.


\(^{12}\text{FIFO: First In, First Out}\
^{13}\text{FIR: Finite Impulse Response}\
^{14}\text{aus dem Englischen: Maximum-Sucher}\

26

Eine LUT ermöglicht die Transformation, gekoppelt an eine Kalibration, der digitalisierten Daten auf transversale Energie und ermöglicht die Subtraktion eines konstanten Untergrunds. Dies geschieht, indem den 10 Bit Daten nach dem BCID über eine für jeden Kanal verschiedene Tabelle ein 8 Bit Wort zugeordnet wird. Technisch realisiert wird diese LUT durch die Verwendung eines 1024*8 Bit breiten Speichers.

Der PPrASIC summiert vier benachbarte Trigger-Tower zu je einem Jet-Element, das somit eine Größe von 0.2 x 0.2 in $\eta \times \phi$ hat. Die 10 Bit Summe, die sich aus der Addition der vier 8 Bit Trigger-Tower Daten nach Umrechnen auf die transversale Energie durch die LUT ergibt, wird vor der Übergabe an den LVDS Serialisierer, der diese Daten dann zum Jet/Energy-Sum Prozessor schickt, auf 9 Bit gekürzt.

Im Falle der Daten, die für den Cluster Prozessor bestimmt sind, wird das Bunch-Crossing Multiplexing verwendet. Die Daten von je zwei Kanälen werden abwechselnd in zwei aufeinanderfolgenden Takten zu den LVDS Serialisierern, die die Daten für den Cluster Prozessor verschicken, übergeben. Den Datenbits wird zusätzlich ein Statusbit hinzugefügt, das es dem LVDS Empfänger ermöglicht, die erhaltenen Daten eindeutig dem richtigen Kanal und Bunch-Crossing zuordnen zu können.

Jeder PPrASIC besitzt zwei serielle Schnittstellen, über die zum einen die digitalisierten Rohdaten von den ADCs und zum anderen der LUT geradewegs nachfolgenden BCID-Ergebnisse inklusive der kalibrierten transversalen Energie ausgelesen werden können. Zu diesem Zweck besitzt der PPrASIC interne Pipeline-Speicher, die zyklisch Daten des Echtzeit-Datenpfades speichern. Sie sind 128 Worte tief, was einer zeitlichen Speichertiefe von 3.2 $\mu$s entspricht. Bei jedem Level1Accept-Signal werden von dort aus die Daten des zugehörigen Bunch-Crossings in einen Derandomizer Buffer kopiert. Von dort können die Daten dann über die serielle Schnittstelle ausgelesen werden. Es ist zudem möglich, auch die Daten von mehreren Bunch-Crossings aus der Umgebung des vom Level-1-Trigger akzeptierten Bunch-Crossings mit auszulesen. Der Derandomizer Buffer ist erforderlich, da die Frequenz des Level1Accept-Signals nur im Mittel etwa 100 kHz beträgt. Auch bei einer statistischen Häufung des Level1Accept-Signals ist so eine zeitweise Datenausliefe garantiert. Der PPrASIC besitzt darüber hinaus eine zweite Kategorie von Speichern, die genannten Playback Memories. Diese können über die seriellen Schnittstellen beschrieben werden und ermöglichen das Einspielen von Daten zu Testzwecken.

Eine ausführliche Beschreibung des PPrASiCs findet sich in [16].


---

15 Der Derandomizer Buffer ist ein Speicher, der verwendet wird, um statistische Schwankungen auszugleichen.
16 Verilog: Verifying Logic
dazu notwendigen Testvektoren wurden aus Signalen generiert, die mit den in Abschnitt 3.1 gezeigten vergleichbar sind. Zum Zeitpunkt des Schreibens dieser Arbeit befindet sich der PPrASIC gerade in der Produktion. Er wird in einem 0.6 μm CMOS\textsuperscript{17}-Prozess von Austria Micro Systems (AMS) gefertigt. Er enthält rund 999,000 Transistoren und 8.125 kByte RAM. Die Chipfläche beträgt 68.89 mm\textsuperscript{2}. Abbildung 3.6 zeigt das fertige Layout dieses Chips. Es sind gut die vier farblich unterschiedenen Kanäle zu sehen, die 24 Rechtecke stellen die von AMS bezogenen RAM-Blöcke dar.

![Abbildung 3.6: Layout des PPrASICs](image)

3.2.4 Der Readout Merger FPGA (RemFPGA)

Auf jedem PPM befindet sich ein RemFPGA (Virtex XCV1000-E). Die 32 seriellen Schnittstellen der 16 PPrASICs auf einem PPM sind mit dem RemFPGA verbunden. Im Falle eines Level1 Accept-Signales sammelt der RemFPGA die Auslesedaten von allen PPrASICs eines PPMs über die seriellen Schnittstellen ein und schreibt diese in interne Speicher. Um die Datenrate zu reduzieren, wird auf die Trigger-Rohdaten ein Kompressionsalgorithmus angewandt, der die Datenmenge um einen Faktor von etwa 2.3 reduziert. Über den Pipeline-Bus werden diese Daten dann zum Readout-Driver (ROD) geschickt, der die Daten von insgesamt acht PPMs sammelt und diese dann zur ATLAS-DAQ\textsuperscript{18} schickt.

Der RemFPGA ist zusätzlich für die Konfiguration aller 16 PPrASICs pro PPM über deren seriellen Schnittstellen zuständig. Die Konfigurationsdaten erhält der RemFPGA entweder über den Pipeline-Bus vom ROD oder aber über den VME-Bus vom VME Crate Controller. Für Letzteres ist entsprechend eine Schnittstelle zwischen RemFPGA und dem VME-Bus zu spezifizieren.

Des weiteren übernimmt der RemFPGA die Programmierung des I2C-Buses der Phos4-Chips auf den PPrMCMs und die Programmierung des SPI-Buses der auf dem Analog

\textsuperscript{17}Complementary Metal Oxide Semiconductor

\textsuperscript{18}DAQ: Data Acquisition System
Input Board eingesetzten DACs. Der I2C-Bus [40] ist ein 2-Draht-Bus mit den zwei bidirektionalen Leitungen SDA\textsuperscript{19} und SCL\textsuperscript{20}. Über die SDA Leitung werden die eigentlichen Daten verschickt und über die SCL Leitung werden die Takt-Impulse (bis 100 kHz) gesendet. Jeder I2C-Baustein wird über eine 7 Bit Adresse selektiert. Eine Kommunikation findet zwischen einem so genannten Master und einem so genannten Slave statt. Der SPI-Bus der auf dem Analog Input Board verwendeten DACs [41] kommt mit den drei Leitungen DIN\textsuperscript{21}, CLK\textsuperscript{22} und \textit{CS}\textsuperscript{23} aus. Mit der positiven Flanke des bis zu 6.25 MHz großen Taktes, der über die Leitung CLK gesendet wird, werden die Daten über die Leitung DIN in den Baustein aufgenommen. Gleichzeitig muss \textit{CS} logisch ”0” sein. Die Arbeitsweise des SPI-Buses entspricht dem eines seriellen Schieberegisters.

### 3.2.5 Die Datenauslese


\textsuperscript{19}SDA: Serial Data
\textsuperscript{20}SCL: Serial Clock
\textsuperscript{21}DIN: Data In
\textsuperscript{22}CLK: Clock
\textsuperscript{23}CS: Chip Select
Kapitel 4

Das Prä-Prozessor Multichip-Modul


4.1 MCM Technologie


Der Herstellungsprozess einer Folienleiterplatte nach dem TWINGFlex-Verfahren lässt sich gut anhand von Abbildung 4.1 nachvollziehen: Eine innere Polyimid-Folie mit der Dicke von 50 µm trägt auf beiden Seiten je 18 µm dickes Kupfer. Durch Plasmaätzen

\(^1\)Das TWINGFlex-Konzept wurde in einem Projektverbund gemeinsam von zwei Entwicklungspartnern erarbeitet: vom Institut für Feinwerktechnik der TU Dresden und von der Firma Würth Elektronik mit Hauptsitz in Niedernhall.
werden nun so genannte "Buried\textsuperscript{2} Vias" zwischen den beiden benachbarten Kupferlagen geformt. Die Buried Vias heißen deshalb so, weil sie nur benachbarte innere Kupferlagen miteinander verbinden und nicht bis zur Oberfläche reichen, d.h. sie sind vergraben. Die eigentliche elektrische Verbindung der Buried Vias wird dann in einem Galvanisierungsprozess hergestellt, der gleichzeitig zu einer Erhöhung der Dicke der beiden Kupferlagen von 18 \, \mu m auf 25 \, \mu m bewirkt. Anschließend werden durch konventionelle Ätztechniken die gewünschten Kupferstrukturen in den beiden inneren Kupferlagen erzeugt. Die innere Folie ist von zwei 25 \, \mu m dicken äußeren Polymid-Folien umgeben, die nur einseitig 18 \, \mu m dickes Kupfer aufweisen. Durch Plasmäätzen werden an den gewünschten Stellen der äußeren Folien so genannte "Blind Vias" geformt. Die Blind Vias verbinden immer äußere Kupferlagen mit den entsprechenden Zielpads der innenliegenden Kupferlagen. Diese äußeren Folien werden nun mit Epoxidharz auf die innere Folie geklebt. Man nennt diesen Vorgang auch Laminierung. Anschließend wird durch einen Galvanisierungsprozess die eigentliche elektrische Verbindung der Blind Vias hergestellt, dabei erhöht sich die Dicke der äußeren Kupferlagen von 18 \, \mu m auf 25 \, \mu m. Schließlich werden die gewünschten Kupferstrukturen in die äußeren Kupferlagen geätzt.

Abbildung 4.2: Querschnitt der laminierten, flexiblen Folienleiterplatte

Abbildung 4.2 zeigt die fertige, laminierte Folienleiterplatte. In dieser Abbildung erkennt man gleichzeitig sehr gut, dass für die Herstellung einer elektrischen Verbindung von der obersten Kupferlage zur untersten Kupferlage zwei Blind Vias und ein Buried Via notwendig sind. Diese Kombination von drei Vias bezeichnet man wegen des auftretenden Versatzes (staggered) als "Staggered Vias".

Diese Folienleiterplatte wird nun mit Epoxidharz auf ein starres 0.8 \, mm dickes Kupfersubstrat geklebt. Die oberste Kupferlage der Folienleiterplatte stellt die Bestückungsseite dar. Sie ist von einer Lötpfptonmaske überzogen. Das an den Freistichen der Lötpfptonmaske herausschauende blanke Kupfer wird zunächst vernickelt und dann mit einer 100 \, nm dicken Goldschicht überzogen. Diese Oberflächenvergütung stellt sicher, dass von den di-

\footnote{aus dem Englischen: begraben}

Abbildung 4.3: Gesamter Aufbau des MCMs

### 4.2 Design und Layout

Abbildung 4.4 zeigt das nach dem TWINFlex-Verfahren hergestellte unbestückte Substrat der ersten Version des PPrMCMs. Man erkennt auf dem Bild sehr gut die großen rechteckigen Kupferflächen für die Dies, die SMD Pads und die Bonding Pads. Der Entwurf dieser ersten Version des PPrMCMs profitierte ganz entscheidend von einem zuvor entwickelten MCM Prototypen, von dem mehrere produziert und erfolgreich in Betrieb genommen wurden. Ausführliche Informationen über diesen MCM Prototypen, der exakt im selben Verfahren wie das PPrMCM hergestellt wurde, finden sich in [6].

Das physikalische Layout wurde in beiden Fällen mit APD (Advanced Package Designer) gemacht. APD ist Teil eines äußerst umfangreichen Softwarepakets von der Firma Cadence. In APD müssen alle von Würth Elektronik vorgegebenen Prozessparameter und sonstige Beschränkungen eingegangen werden. APD ist dann in der Lage, das Layout gegen diese vorgegebenen Beschränkungen automatisch zu prüfen und im Falle eines Verstoßes

---

$^3$SMD: Surface Mounted Device

$^4$EMI: Electromagnetic Interference
Abbildung 4.4: Unbestücktes MCM Substrat

dies entsprechend anzuzeigen. Man nennt dies einen Design Rule Check (DRC). Tabelle 4.1 fasst die wichtigsten und mit Würth Elektronik abgesprochenen Layout Beschränkungen zusammen. Als charakteristische Strukturgröße wurden 100 µm gewählt, d.h. keine Leiterbahn, keine Kupferfläche und kein Abstand innerhalb des Layouts darf kleiner als diese Zahl sein. Das TWINFlex-Verfahren erlaubt eine minimale Strukturgröße von 80 µm, zeigt jedoch bei einer Strukturgröße von 100 µm die besten Resultate. Aus diesem Grund und auch aus Kostengründen wurde die etwas konservativere Strukturgröße von 100 µm gewählt.

<table>
<thead>
<tr>
<th>Layout Beschränkungen</th>
<th>Werte</th>
</tr>
</thead>
<tbody>
<tr>
<td>Abstand Leiterbahn zu Leiterbahn</td>
<td>100 µm</td>
</tr>
<tr>
<td>Leiterbahnbreite</td>
<td>100 µm</td>
</tr>
<tr>
<td>Abstand Leiterbahn zu Kupferflächen</td>
<td>100 µm</td>
</tr>
<tr>
<td>Breite von Elementen der Lötstoppmaske</td>
<td>100 µm</td>
</tr>
<tr>
<td>Abstand Leiterbahn/Kupferfläche zu Bohrungen</td>
<td>500 µm</td>
</tr>
</tbody>
</table>

Tabelle 4.1: Geometrische Layout Beschränkungen wie sie in Absprache mit Würth Elektronik gewählt wurden.

Die Tabelle 4.2 zeigt die von Würth Elektronik geforderten und auf das PPrMCM angewandten Beschränkungen für die verwendeten Via Typen. Die Vias (Durchkonzierungen) verbinden zwei benachbarte Kupferlagen miteinander. Beschränkungen gelten hier in Bezug auf den Lochdurchmesser eines Vias, den Durchmesser des umgebenden Pads und den Durchmesser des auf der zweiten Kupferlage vorhandenen Zielpads.
<table>
<thead>
<tr>
<th>Via Typ</th>
<th>Via Lochdurchmesser</th>
<th>Via Paddurchmesser</th>
<th>Via Zielpaddurchmesser</th>
</tr>
</thead>
<tbody>
<tr>
<td>Buried Via</td>
<td>100 µm</td>
<td>300 µm</td>
<td>300 µm</td>
</tr>
<tr>
<td>Blind Via</td>
<td>100 µm</td>
<td>350 µm</td>
<td>350 µm</td>
</tr>
</tbody>
</table>

Tabelle 4.2: Geometrische Layout Beschränkungen wie sie für die verwendeten Via Typen gelten.

Die folgende Aufzählung fasst die wichtigsten bei der Erstellung des physikalischen Layouts der ersten Version des PPrMCMs berücksichtigten Punkte zusammen:

- **Globales Konzept:** Das PPrMCM besitzt vier Routing-Lagen. Die oberste der vier Kupferlagen dient der Bestückung des PPrMCMs mit den notwendigen Kondensatoren, Widerständen, Steckern, Chips und dem Deckel. Es wurden hier nur Leiterbahnen gezogen, die direkt von einem dieser Bauteile zu einem anderen gehen. In der zweiten und dritten Kupferlage wurden die verbleibenden notwendigen Leiterbahnen gezogen, wobei in der zweiten Lage die Leiterbahnen vorzugsweise in x-Richtung, d.h. parallel zur langen Seite des PPrMCMs, verlegt wurden und in der dritten Lage vorzugsweise in y-Richtung. Die vierte Lage dient als durchgehende Masselage. Alle Leiterbahnen wurden aufgrund der hohen Leiterbahndichte von Hand gezogen.

- **Analoge und digitale Bereiche:** Das PPrMCM wird sowohl mit rein digitalen, als auch mit analog-digitalen Chips bestückt. Um gegenseitige Störeffekte weitestgehend auszuschließen, wurde daher die analoge von der digitalen Spannungsversorgung vollständig getrennt. Dies beinhaltet auch die Einführung zweier getrennter Massen, einer analogen und einer digitalen Masse. Tabelle 4.3 stellt die verwendeten entkoppelten Spannungsversorgungsnetze und Massen zusammen und zeigt an, von welchem Chip sie benutzt werden.

- **Blockkondensatoren:** Für eine konstante Spannungszufuhr ohne Rauscheffekte werden in der unmittelbaren Nähe von den Spannungsversorgungspins der einzelnen Chips 100 nF Kondensatoren zu Entkopplungszwecken eingesetzt und zwar separat für die analogen und digitalen Spannungsversorgungen. Im Fall des Phos/4s werden zwei, für jeden ADC zwei, für den PPrASIC vier und für jeden LVDS Serialisierer zwei Blockkondensatoren verwendet. Aus Platzgründen wurden bei den LVDS Serialisierern nur zwei statt drei, wie im Datenblatt von National Semiconductor gefordert, Blockkondensatoren eingesetzt. Die fehlenden Blockkondensatoren sind auf dem PPM in unmittelbarer Nähe zu der Stelle, an dem das PPrMCM aufgesteckt wird, vorgesehen.

- **Leiterbahnen:** Beim Ziehen der Leiterbahnen wurde darauf geachtet, dass hochfrequente digitale Leitungen, wie z.B. der 40 MHz LHC-Takt, und analoge Signale, wie z.B. die vom Analog Input Board kommenden Trigger-Tower Signale, räumlich getrennt sind. Dies minimiert das Problem des Übersprechens und damit die Störung der analogen Signale bedingt durch die steilen Flanken der digitalen Signale.
<table>
<thead>
<tr>
<th>Spannungsnetz</th>
<th>ADC (AD9042)</th>
<th>LVDS Serialisierer (DS92LV1021)</th>
<th>PPrASIC</th>
<th>Phos4</th>
</tr>
</thead>
<tbody>
<tr>
<td>AVDD=+5 V</td>
<td>x</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>(analog)</td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>AVCC=+3.3 V</td>
<td></td>
<td>x</td>
<td></td>
<td></td>
</tr>
<tr>
<td>(analog)</td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>DVCC=+3.3 V</td>
<td>x</td>
<td>x</td>
<td>x</td>
<td>x</td>
</tr>
<tr>
<td>(digital)</td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>AGND=0 V</td>
<td>x</td>
<td>x</td>
<td></td>
<td></td>
</tr>
<tr>
<td>(analog)</td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>DGND=0 V</td>
<td>x</td>
<td>x</td>
<td>x</td>
<td>x</td>
</tr>
<tr>
<td>(digital)</td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
</tbody>
</table>

Tabelle 4.3: Die auf dem PPrMCM eingesetzten Chips und ihre erforderliche Spannungsversorgungen.

- **Leiterbahnbreite:** Um den Spannungsabfall an den Spannungsversorgungsleitungen so klein wie möglich zu halten, wurden diese Leitungen als massive Kupferflächen mit Breiten größer 500 \( \mu m \) realisiert. Die Standardlinienbreite der Signalleitungen beträgt dagegen im Allgemeinen nur 100 \( \mu m \).

- **Platzierung der Bauteile:** Die Bauteile wurden mit größtmöglichem räumlichen Abstand voneinander platziert, um eine gleichmäßige Wärmeverteilung zu garantieren. Es wurde darauf geachtet, dass an allen erforderlichen Stellen genügend Platz für das Bonden und das Löten vorhanden ist.

- **Verteilung des LHC-Taktes:** Die LVDS Serialisierer, der PPrASIC und der Phos4 erhalten jeweils separat den 40 \( MHz \) LHC-Takt. Der Phos4 generiert daraus vier unabhängig verzögerte 40 \( MHz \) Takte für die vier ADCs. Alle Taktleitungen wurden sehr kurz gehalten, so dass die Verzögerung der Takte bedingt durch Propagationszeiten vernachlässigbar sind.

- **Via Platzierung:** Ein Via kann den gleichen Strom wie eine 100 \( \mu m \) breite Kupferbahn aufnehmen. Im Fall der massiven und sehr breiten Spannungsversorgungsnetze wurden daher bei einem Wechsel von einer zur nächsten Routing-Lage eine große Zahl von Vias (zwischen zwei und sechs) gesetzt.

- **Chip Befestigung:** Die Chips werden als Dies auf dafür vorgesehene Kupferflächen auf der obersten Kupferlage geklebt. Die Kupferflächen sind mit digitaler Masse verbunden, was dem vorgeschriebenen Potenzial der verwendeten Die-Substrate entspricht.

- **Thermische Vias:** Im Fall der ADCs wurden die kupfernen Klebeflächen mit je 30 thermischen Vias versehen. Thermische Vias sind nichts anderes als Staggered Vias, reichen also von der obersten Kupferlage bis hinunter zur untersten Kupferlage. Der
einzige Unterschied zu den Staggered Vias besteht darin, dass die thermischen Vias keine elektrische Funktion wahrnehmen, sondern zur Verbesserung der thermischen Leitfähigkeit eingesetzt werden. Da jeder ADC im Falle von DC (direct current) eine Leistungsaufnahme von typisch 595 mW bis maximal 735 mW [9] aufweist und bei AC (alternating current) mit einer geringfügig erhöhten Leistungsaufnahme zu rechnen ist, mussten thermische Vias eingesetzt werden. Bei den anderen Dies wurden keine thermischen Vias gesetzt. Der Phos4 besitzt eine Leistungsaufnahme von 200 mW bei 40 MHz [10] und die LVDS Serialisierer eine Leistungsaufnahme von 106 mW bei 40 MHz [11], was den Einsatz von thermischen Vias nicht erzwingt. Im Falle des PPrASICs wurde für die erste Version des PPrMCMs mit einer Leistungsaufnahme von 1.2 W gerechnet, was angesichts der großen Fläche des PPrASICs von 68.89 mm² ebenfalls keine thermischen Vias erfordert hätte. Mittlererweile ist klar, dass dieser Wert falsch ist und stattdessen mit einer Leistungsaufnahme von bis zu 3 W zu rechnen ist [37], was den Einsatz thermischer Vias erzwingt. Dies war einer der Gründe, das Layout der ersten Version des PPrMCMs noch einmal zu modifizieren. Das Layout der zweiten Version wird ausführlich in Abschnitt 4.4 erläutert.

- **Größe der Bond Pads:** Die Bond Pads sind mit einer Größe von 150 μm × 300 μm für zweifaches Bonden ausgelegt. Für den Fall, dass ein fehlerhafter Bond auftreten sollte, kann damit ohne Probleme ein weiterer gesetzt werden.

- **EMI-Abschirmung:** Die vierte Kupferlage dient als durchgehende Masselage und wirkt so gleichzeitig als elektromagnetische Abschirmung. Zusätzlich wurde die obere Kupferlage mit einer kreuzeingriffenen Kupferfläche versehen, die sich zwischen den SMD Pads, den Bond Pads, den Klebeflächen für die Dies und den Deckel ausbreitet. Sie ist mit digitaler Masse verbunden und unterstützt so die Schirrmwicklung der untersten Kupferlage.

- **Lötstopmaska:** Eine Lötstopmaska auf der obersten Kupferlage verhindert, dass es während des Lötens der SMD Bauteile zu Kurzschlüssen kommt. Sie überdeckt die gesamte oberste Kupferlage und besitzt nur an den Stellen, an denen gelötet, gebondet oder die Dies aufgeklebt werden sollen, passende Freistiche.

### 4.3 Bestückung des PPrMCMs

Von der im letzten Abschnitt beschriebenen ersten Version des PPrMCMs wurden sechs Vorabmuster produziert, von denen drei Stück von Hand im ASIC-Labor der Universität Heidelberg teilweise bestückt wurden. Abbildung 4.5 zeigt eines der teilweise bestückten PPrMCMs.

Abbildung 4.5: Teilweise bestücktes PPrMCM, nur der PPrASIC fehlt.


⁵Als Footprint eines Dies bezeichnet man seine unmittelbare Umgebung in Bezug auf Spannungsversorgung, Masse, Signalleitungen, Widerstände und Kondensatoren.
⁶0402: 40×20 mils, Größe von SMD Bauteilen, wobei 1 mil 0.0254 mm entspricht.
passenden Wertes ersetzt. Dies muss für jeden ADC separat durchgeführt werden.

Drei PPrMCMs wurden von Hand im ASIC-Labor der Universität Heidelberg bestückt. Der Bestückungsprozess dieser PPrMCMs beinhaltete als ersten Schritt das Löten der SMD Kondensatoren, der SMD Widerstände und der beiden Stecker. Im nächsten Schritt wurden die Dies aufgeklebt und anschließend wurde gebondet. Zum Schluss wurde ein einfacher Spannungstest durchgeführt. Im Folgenden sollen die einzelnen Prozessschritte im Detail erläutert werden.

Lötvorgang


Aufkleben der Dies


Bonden

sich dabei zwischen der Bond-Nadel und dem Pad. Durch die schnelle Bewegung der Bond-Nadel erhitzten sich die beiden berührenden Materialien so stark, dass sie miteinander verschmelzen.

Der Ultraschallregler und ferroelektrische Wandler Model 10G erlaubt die getrennte Einstellung der Bondleistung und der Bondzeit, d.h. wie lange diese eingestellte Leistung wirken soll, separat für den ersten Bond und den zweiten Bond. Im Allgemeinen wurde der erste Bond auf dem MCM Substrat und der zweite Bond anschließend auf dem Chip gesetzt. Diese Reihenfolge wurde gewählt, da es des öfteren vorkam, dass die Bonds auf den MCM Pads nicht hielten. Dann wurde einfach auf das Setzen des zweiten Bonds auf dem Chip Pad verzichtet und eventuell zurückgebliebene Reste des ersten, missglückten Bonds mit einer feinen Nadel entfernt. Mit einer veränderten Bondleistung und Bondzeit wurde dann ein erneuter Bondvorgang gestartet. Während auf den MCM Pads problemlos mehrmals gebondet werden kann, trifft dies auf die Chip Pads leider nicht zu. Diese können unter Umständen bereits nach zwei Bondvorgängen beschädigt sein, was folglich den Austausch des gesamten Dies bedeuten würde. Da aber im Falle der Chip Pads die eingestellte Bondleistung und die Bondzeit praktisch immer konstant gehalten werden konnten und die Bonds problemlos hielten, ergibt sich damit automatisch die Reihenfolge, zuerst den problematischen Bond auf dem MCM Pad zu setzen und erst wenn dieser gut gelungen ist, tatsächlich den zweiten problemlosen Bond auf dem Chip zu setzen. Im Falle der Chip Pads betrug die eingestellte Bondleistung ca. 3 Einheiten auf der Skala des Model 10G Gerätes und die eingestellte Bondzeit ca. 3 $\mu$s. Bei den MCM Pads varierte die Bondleistung je nach Pad zwischen 5.0 und 6.5 Einheiten auf der Skala des Model 10G Gerätes und die eingestellte Bondzeit entsprechend zwischen 5.0–6.5 $\mu$s. Der große Unterschied zwischen der Bondleistung bei den MCM Pads und der Bondleistung bei den Chip Pads resultiert aus den unterschiedlichen Pad Materialien. Während die Chip Pads aus Aluminium bestehen, handelt es sich bei den MCM Pads mit Nickel und Gold überzogene Kupferpads. Die große Schwankung der Bondleistung im Fall der MCM Pads könnte vielleicht darauf zurückzuführen sein, dass die MCM Pads bei der starken Vibration der Bond-Nadel sich etwas mitbewegen, was den Schmelzvorgang zwischen Al-Draht und Padmaterial behindern kann. Das MCM Substrat besteht, wie bereits beschrieben wurde, aus einer flexiblen Folienleiterplatte und die MCM Pads liegen dabei auf einer weichen Polymid-Folie, die bei der Vibration der Bond-Nadel wahrscheinlich etwas nachgibt. Dies wird durch die Beobachtung gestützt, dass die Bondleistung von frei liegenden MCM Pads im Bereich von 6.5 Einheiten lag, während bei MCM Pads mit angeschlossenen Leiterbahnen, massiven Kupferflächen oder auch bei Doppelpads die Bondleistung eher im unteren Bereich von 5.0 Einheiten lag. Die angeschlossenen Leiterbahnen bzw. Kupferflächen scheinen die Mitbewegung der MCM Pads verhindert oder zumindest unterdrückt zu haben.

Neben den Bondleistungen und den Bondzeiten gibt es zahlreiche weitere an der Maschine einzustellende Parameter. Wichtige Parameter sind z.B. die Kraft, mit der die Bond-Nadel auf ein Pad drückt (typerischerweise wurden 14 g eingestellt) oder die Loop-Höhe. Die Loop-Höhe bestimmt die Höhe des Drahtbogens zwischen dem MCM Pad und dem Chip Pad. Aufgrund der unterschiedlichen Höhen der verwendeten Chips muss diese dem jeweiligen Chip angepasst werden. Die Loop-Höhe wurde so gewählt, dass der Draht nur einen sehr kleinen Bogen über den Chip hinweg hinunter zum MCM Substrat mach-
te. Für die richtige Einstellung dieser und weiterer Parameter ist eine große Erfahrung notwendig.

MCM spezifische Bond-Probleme traten im Fall der ADCs auf. Die Kombination von einer großen Höhe des ADCs van 0.6 mm und dem kurzen Abstand der MCM Pads zum unmittelbar danebenliegenden Chip führte dazu, dass bereits vor dem Aufsetzen der Bond-Nadel der Al-Draht am Chip streifte und so der Al-Draht ein kleines Stück aus dem Loch der Bond-Nadel herausgezogen wurde. Die Folge davon war, dass die Bonds in der Regel nicht hielten. Der Einsatz einer anderen Bond-Nadel, mit der unter einem steileren Winkel gebondet werden kann, wurde mit mäßigem Erfolg geprüft. Erst die Erkenntnis, wie sich der Vorschub des Al-Drahtes an der Maschine einstellen lässt, löste das Bond-Problem. Der Drahtvorschub wurde so groß eingestellt, dass der Draht auch dann noch genügend aus dem Loch der Bond-Nadel herauschaute, selbst wenn er durch das Streifen an dem ADC ein Stück herausgezogen wurde.

**Erste Spannungstests**

Nachdem die Chips gebondet wurden, wurden alle drei teilweise bestückten PPrMCMs, im Folgenden kurz als MCM1, MCM2 und MCM3 bezeichnet, einem einfachen Gleichspannungstest unterzogen. Hierzu wurden die beiden unabhängigen Spannungsnetze AVCC=3.3 V analog und DVCC=3.3 V digital zu einem gemeinsamen Netz zusammengefasst und daran 3.3 V Gleichspannung angelegt. An das dritte Spannungsnetz AVDD=5.0 V wurden 5.0 V Gleichspannung angelegt. Die getrennten Massen AGND und DGND wurden zusammengefasst. Der Stromfluss im 5.0 V Netz und im 3.3 V Netz wurde dann für alle drei teilweise bestückten PPrMCMs gemessen. Tabelle 4.4 zeigt die gemessenen Werte.

<table>
<thead>
<tr>
<th>Spannung</th>
<th>MCM1</th>
<th>MCM2</th>
<th>MCM3</th>
</tr>
</thead>
<tbody>
<tr>
<td>+5.0 V</td>
<td>370 mA</td>
<td>450 mA</td>
<td>460 mA</td>
</tr>
<tr>
<td>+3.3 V</td>
<td>100 mA</td>
<td>100 mA</td>
<td>110 mA</td>
</tr>
</tbody>
</table>

Tabelle 4.4: Die in den beiden Spannungsnetzen gemessenen Ströme.

Vergleicht man die gemessenen Ströme mit den theoretischen Werten, die sich aus den in den Datenblättern der verwendeten Chips angegebenen Strömen ergeben, ist ein erster Hinweis möglich, ob ein Chip auf dem betreffenden MCM defekt ist oder nicht. Mit Hilfe von Tabelle 4.5 ergibt sich für das 5.0 V Netz ein Nennstrom von 436 mA (vier ADCs pro MCM) und für das 3.3 V Netz (ein Phos4, vier ADCs und drei LVDS Serialisierer pro MCM) ein Strom von 145 mA. Der Strom im 3.3 V Netz ist als Obergrenze zu sehen, da im Fall der DS92LV1021-Serialisierer mit einem Strom von 25 mA gerechnet wurde, der allerdings bei 16 MHz angegeben ist. Bei Gleichspannung ist mit einem etwas gerin gerem Stromfluss zu rechnen. Der Nennstrom bei Gleichspannung ist für diesen Chip im Datenblatt leider nicht angegeben.

Der Vergleich der gemessenen Ströme mit den theoretischen Werten ergibt unter Berücksichtigung der Schankungen der Nennströme innerhalb gewisser Min-Max-Bereiche eine sehr gute Übereinstimmung. Lediglich im 5.0 V Netz des MCM1 ist mit einem gemessenen Strom von 370 mA ein deutlich geringerer Strom angegeben als zu erwarten war. Bei
<table>
<thead>
<tr>
<th>Chip</th>
<th>Spannungsnetz</th>
<th>Nennstrom</th>
</tr>
</thead>
<tbody>
<tr>
<td>AD9042</td>
<td>+5.0 V</td>
<td>109 mA</td>
</tr>
<tr>
<td>AD9042</td>
<td>+3.3 V</td>
<td>10 mA</td>
</tr>
<tr>
<td>Phos4</td>
<td>+3.3 V</td>
<td>30 mA</td>
</tr>
<tr>
<td>DS92LV1021</td>
<td>+3.3 V</td>
<td>32 mA (bei 40 MHz)</td>
</tr>
<tr>
<td>DS92LV1021</td>
<td>+3.3 V</td>
<td>25 mA (bei 16 MHz)</td>
</tr>
</tbody>
</table>

Tabelle 4.5: Nennströme der verwendeten Chips in den einzelnen Spannungsnetzen.


Nebenbei haben diese einfachen Spannungstests gezeigt, dass die im Layout verwendeten Spannungsnetze keinen Kurzschluss aufweisen.

**Bestückung des PPrMCMs in großen Stückzahlen**

4.4 Redesign des PPrMCMs


4.4.1 Thermische Messungen

Das thermische Verhalten des PPrMCMs ist von entscheidender Bedeutung. Auf dem PPrMCM befinden sich auf einer Fläche von nur $14\,cm^2$ neun Chips, die teilweise sehr hohe Leistungsdichten aufweisen. In Tabelle 4.6 sind die Leistungsdichten der verwendeten Chips im Überblick zu sehen. Es ist deutlich zu erkennen, dass der ADC AD9042 und der PPrASIC mit ihren besonders großen Leistungsdichten die kritischsten Komponenten des PPrCMCMs darstellen. Insgesamt ergibt sich für das PPrMCM eine Gesamtleistung von $5.4\text{–}5.9\,W$.

<table>
<thead>
<tr>
<th>Chip-Fläche [$mm^2$]</th>
<th>AD9042</th>
<th>DS92LV1021</th>
<th>Phos4</th>
<th>PPrASIC</th>
</tr>
</thead>
<tbody>
<tr>
<td>Leistung [W]</td>
<td>16.80</td>
<td>5.17</td>
<td>6.48</td>
<td>68.89</td>
</tr>
<tr>
<td>Leistungsdichte [mW/mm²]</td>
<td>0.6</td>
<td>0.106</td>
<td>0.2</td>
<td>2.5–3.0</td>
</tr>
<tr>
<td></td>
<td>35.7</td>
<td>20.5</td>
<td>30.9</td>
<td>36.3–43.5</td>
</tr>
</tbody>
</table>

Tabelle 4.6: Thermisch relevante Parameter der auf dem PPrMCM eingesetzten Chips.

Im Fall der ADCs wurde durch den Einsatz thermischer Vias der hohen Leistungsdichte Rechnung getragen. Im Fall des PPrASICs wurde während des Designs der ersten Version des PPrMCMs von einer Leistung von nur $1.2\,W$ ausgegangen. Mittlererweise hat sich allerdings diese Leistung auf $2.5\text{–}3.0\,W$ erhöht. Die falschen $1.2\,W$ rühren höchst wahrscheinlich daher, dass der PPrASIC ursprünglich mit zwei Kanälen konzipiert und simuliert wurde und für diesen eine Leistung von $1.2\,W$ geschätzt wurde. Durch das Zusammenfügen von zwei solchen zwei-kanaligen PPrASICs zum jetzigen vierkanaligen PPrASIC wurde dann die Verdoppelung der Leistung in den Spezifikationen nicht aktualisiert. Eine weitere Leistungssteigerung ergab sich durch die Verwendung schnellerer und höherer Leistung fördernder Flip-Flops zur Realisierung des PPrASICs [37]. Um die Auswirkungen dieser Leistungszunahme abzuschätzen, wurden thermische Messungen an einem unbestückten Substrat eines PPrMCMs durchgeführt. Hierzu wurden statt der Chips Widerstände als Wärmequellen auf die Klebeflächen von ADC und PPrASIC aufgelötet und zwar in Form kleiner Schaltungen mit zwei Anschlüssen für die Spannungsversorgung. Die Widerstände und die Klebeflächen wurden anschließend mit Wärmeleitpaste eingeckelt. Je nach angelegter Spannung und Strom durch diese Widerstände konnten unterschiedliche Leistungen

7Flip-Flops sind digitalelektronische Bauelemente, die die Speicherung von einem Bit Information ermöglichen.
simuliert werden. Mit Hilfe zweier Temperatursonden wurde einmal die Temperatur auf der Rückseite des MCM Substrats und einmal die Temperatur an den Widerständen des PPrASICs bzw. des ADCs gemessen. Als Beispiel ist in Abbildung 4.6 die Messreihe, die im Fall der thermischen Simulation des PPrASICs aufgenommen wurde, dargestellt.

Abbildung 4.6: Thermische Simulation des PPrASICs. Strom und Spannung wurden so gewählt, dass die Widerstände als PPrASIC-Ersatz eine Leistung von 3.0 W verbrauchten.


Im finalen System wird das PPrMCM mit einem Kühlkörper bestückt. Es ist zu erwarten, dass die Temperatur des Kühlkörpers im thermischen Gleichgewicht bei etwa 50°C liegen wird und dies auch nur unter Verwendung starker Ventilatoren. Mit dieser relativ hohen Temperatur ist zu rechnen, da die PPMs mit je 16 PPrMCMs zusammen mit weiteren Karten auf engstem Raum in ein Crate gesteckt werden. Nach Tabelle 4.7 würde sich
Tabelle 4.7: Temperaturdifferenzen im thermischen Gleichgewicht zwischen Substratseite und der Seite des simulierten Chips für verschiedene thermische Messungen.

<table>
<thead>
<tr>
<th>simulierter Chip</th>
<th>eingestellte Leistung [W]</th>
<th>Temperaturanstieg [°C]</th>
</tr>
</thead>
<tbody>
<tr>
<td>PPrASIC</td>
<td>3.0</td>
<td>31</td>
</tr>
<tr>
<td>PPrASIC</td>
<td>4.2</td>
<td>47</td>
</tr>
<tr>
<td>ADC</td>
<td>1.0</td>
<td>20</td>
</tr>
<tr>
<td>ADC</td>
<td>0.64</td>
<td>11</td>
</tr>
<tr>
<td>ADC</td>
<td>0.5</td>
<td>6</td>
</tr>
</tbody>
</table>

damit der PPrASIC mit 3.0 W auf 81°C erwärmen, was nicht akzeptabel ist. Gleichzeitig sieht man, dass der ADC mit 0.64 W sich auf 61°C erwärmen würde, was deutlich unterhalb der im Datenblatt angegeben maximal erlaubten Betriebstemperatur von 85°C liegt und den verwendeten thermischen Vias zu verdanken ist. Um den Temperaturanstieg im Falle des PPrASICs zu verringern, wurde daher beschlossen, wie bei den ADCs nun auch beim PPrASIC thermische Vias einzusetzen. Um spätere Überraschungen auszuschließen, wird im Folgenden die Wirkung der thermischen Vias im Fall des ADCs und des PPrASICs theoretisch untermauert. Diese Theorie wurde bereits auf den zuvor gefertigten MCM Prototypen angewandt. Eine ausführliche Darstellung der Theorie findet sich in [6].


Berechnet wird nun der gesamte thermische Widerstand $R_{jc}$ von der Oberfläche des Chips (Junction) bis hinunter zur Unterseite des MCM Substrates (Case). Man erhält den gesamten thermischen Widerstand durch Addieren der thermischen Widerstände aller vorkommenden Lagen des Querschnitts:

$$R_{jc} = \sum_{i=1}^{N} R_i,$$

mit

$$R_i = \frac{L_i}{\kappa_i A_i}.$$

44
\( \kappa \) ist die thermische Leitfähigkeit, \( A \) ist die Fläche, auf der sich die Wärme ausbreitet und \( L \) ist die Dicke der betreffenden Lage. Multipliziert man den gesamten thermischen Widerstand mit der Leistung des Chips, ergibt sich die erwartete Temperaturerhöhung. In Tabelle 4.8 wurde die Rechnung für den PPrASIC vorgestellt. Für den PPrASIC ergibt sich hierauf ein Temperaturanstieg von 20.5°C.

<table>
<thead>
<tr>
<th>Lage</th>
<th>Leitfähigkeit ( \kappa ) [W/(m(^{\circ})C)]</th>
<th>Fläche A [mm(^2)]</th>
<th>Dicke L [(\mu)m]</th>
<th>Widerstand R [°C/W]</th>
</tr>
</thead>
<tbody>
<tr>
<td>Luft</td>
<td>0.027</td>
<td>-</td>
<td>-</td>
<td>-</td>
</tr>
<tr>
<td>Siliziumchip</td>
<td>118</td>
<td>68.89</td>
<td>350</td>
<td>0.04</td>
</tr>
<tr>
<td>EPO-TEK H20S</td>
<td>1.57</td>
<td>68.89</td>
<td>50</td>
<td>0.46</td>
</tr>
<tr>
<td>Kupferlage 1</td>
<td>395</td>
<td>69.29</td>
<td>25</td>
<td>0.001</td>
</tr>
<tr>
<td>Polyimid</td>
<td>0.33</td>
<td>69.29</td>
<td>25</td>
<td>1.09</td>
</tr>
<tr>
<td>Epoxid-Harz</td>
<td>0.5</td>
<td>69.47</td>
<td>25</td>
<td>0.29</td>
</tr>
<tr>
<td>Kupferlage 2</td>
<td>395</td>
<td>69.67</td>
<td>25</td>
<td>0.001</td>
</tr>
<tr>
<td>Polyimid Kern</td>
<td>0.33</td>
<td>69.76</td>
<td>25</td>
<td>2.17</td>
</tr>
<tr>
<td>Kupferlage 3</td>
<td>395</td>
<td>69.96</td>
<td>25</td>
<td>0.001</td>
</tr>
<tr>
<td>Epoxid-Harz</td>
<td>0.5</td>
<td>70.34</td>
<td>25</td>
<td>0.28</td>
</tr>
<tr>
<td>Polyimid</td>
<td>0.33</td>
<td>70.54</td>
<td>25</td>
<td>1.07</td>
</tr>
<tr>
<td>Kupferlage 4</td>
<td>395</td>
<td>70.62</td>
<td>25</td>
<td>0.001</td>
</tr>
<tr>
<td>Epoxid-Harz</td>
<td>0.5</td>
<td>70.83</td>
<td>25</td>
<td>1.41</td>
</tr>
<tr>
<td>Kupfersubstrat</td>
<td>395</td>
<td>71.03</td>
<td>25</td>
<td>0.03</td>
</tr>
<tr>
<td>Luft</td>
<td>0.027</td>
<td>-</td>
<td>-</td>
<td>-</td>
</tr>
</tbody>
</table>

\( R_{ic} \) in °C/W 6.84
Temperaturanstieg in °C 20.5

Tabelle 4.8: Wärmeleitung durch den gesamten Querschnitt von der Oberseite des PPrASICs bis zur Unterseite des MCM Substrates. Ein Wärmeausbreitungswinkel von 26.6°C wurde benutzt, um die von Lage zu Lage größer werdende erwärmte Fläche zu berücksichtigen.

In analoger Weise wurde der Temperaturanstieg für den PPrASIC, der nun in der zweiten Version des PPrMCMs mit 124 thermischen Vias versehen wurde, berechnet. Außerdem wurde zum Vergleich der Temperaturanstieg für den ADC einmal ohne und einmal mit den bereits 30 vorhandenen thermischen Vias berechnet. Tabelle 4.9 zeigt die errechneten Werte zusammen mit den daraus resultierenden Temperaturen an den Chipoberflächen bei einer angenommenen Kühlkörpertemperatur von 50°C. Der Wärmefluss durch die thermischen Vias wurde dadurch berechnet, indem die Polyimid-Lagen durch Kupferlagen reduzierter Fläche ersetzt wurden. Die reduzierte Fläche entspricht dabei der von den thermischen Vias mit 100 \(\mu\)m Durchmesser beanspruchten Fläche.

Nach der Theorie erwartet man für den PPrASIC ohne thermische Vias einen Temperaturanstieg von 20.5 °C, gemessen wurden jedoch 31°C. Eine ähnlich große Abweichung ergibt sich im Fall des ADCs mit seinen 30 thermischen Vias, so wurde ein Temperaturanstieg von 11°C gemessen und 4.9°C vorausgesagt. Was die Theorie jedoch zeigt ist, dass
<table>
<thead>
<tr>
<th>Thermischer Parameter</th>
<th>AD9042 0 therm. Vias</th>
<th>PPrASIC 0 therm. Vias</th>
<th>AD9042 30 therm. Vias</th>
<th>PPrASIC 124 therm. Vias</th>
</tr>
</thead>
<tbody>
<tr>
<td>$R_{jc}$ [°C/W]</td>
<td>27.66</td>
<td>6.84</td>
<td>8.17</td>
<td>2.00</td>
</tr>
<tr>
<td>Temperaturanstieg [°C]</td>
<td>16.5</td>
<td>20.5</td>
<td>4.9</td>
<td>6.0</td>
</tr>
<tr>
<td>T des Kühlkörpers [°C]</td>
<td>50</td>
<td>50</td>
<td>50</td>
<td>50</td>
</tr>
<tr>
<td>T am Übergang [°C]</td>
<td>66.5</td>
<td>70.5</td>
<td>54.9</td>
<td>56.0</td>
</tr>
</tbody>
</table>

Tabelle 4.9: Theoretisch berechnete Temperaturen von ADC und PPrASIC an ihrer Oberfläche, einmal mit und einmal ohne thermische Vias.

im Fall des ADCs durch den Einsatz von 30 thermischen Vias der Temperaturanstieg um den Faktor 3.3 reduziert wurde und im Fall des PPrASICs durch 124 thermische Vias der Temperaturanstieg um den Faktor 3.4 reduziert wird. Dies bedeutet, dass die nun in der zweiten Version des PPrASIC eingesetzten thermischen Vias in ausreichender Zahl vorhanden sind. Der errechnete Temperaturanstieg von 6°C wird in der Praxis eher im Bereich von 10–15°C liegen, was aber letztlich zu einer akzeptablen Chipstemperatur führt.


### 4.4.2 Weitere Änderungen am Layout

Die Gelegenheit des notwendig gewordenen Neudesigns wurde gleichzeitig genutzt, um verschiedene kleinere Modifikationen auf dem Layout der ersten Version des PPrMCMs vorzunehmen. Folgende Aufzählung fasst die nun in der zweiten Version des PPrMCMs neu implementierten Merkmale zusammen:

- **Thermische Vias:** Wie oben bereits erläutert wurde, wurden unter dem PPrASIC 124 thermische Vias vorgesehen. Die 30 thermischen Vias je ADC wurden so wie in der ersten Version des PPrMCMs beibehalten. Um auch bei den anderen Chips eine verbesserte Wärmeabfuhr zum Kühler hin zu garantieren, wurden auch dort thermische Vias vorgesehen: 9 Stück beim Phos4, 6, 8 bzw. 9 Stück bei den drei LVDS Serialisierern. Aufgrund zahlreicher unter den Klebeflächen dieser Chips verlegter Leiterbahnen konnten hier die thermischen Vias allerdings nicht in gleicher Zahl und immer über die gesamte Fläche verteilt werden. Wegen der geringeren
Leistungsdichten dieser Chips sind die thermischen Vias aber auch nicht zwingend notwendig.


- **Montage des PPrMCMs auf dem PPM:** Das bloße Aufstecken der PPrMCMs auf das PPM reicht als sichere Halterung nicht aus. Der starke Luftstrom der Ventilatoren und Vibrationen im Crate würden die PPrMCMs aus ihrer Halterung lösen. Stattdessen werden sie nun fest auf das PPM geschraubt. Hierzu wurde das MCM Substrat links und rechts jeweils um 7 mm erweitert und mit je einem Loch mit 4 mm Durchmesser versehen. Diese beiden Löcher gehen durch den Al-Kühlkörper. Abbildung 4.8 zeigt die Anordnung.

Abbildung 4.8: Montage des PPrMCMs auf dem PPM. In jedem Abstandbolzen ist oben und unten ein Gewinde eingeschnitten. Von oben und unten wird je eine Schraube eingedreht, die für eine sichere Halterung des PPrMCMs auf dem PPM sorgen.

- **Umordnung von Kondensatoren und Widerständen:** Die Widerstände und Kondensatoren des in Abschnitt 4.3 eingeführten Balkons wurden für ein optimales Löten neu angeordnet. Zudem wurden hier die 0402 SMD Kondensatoren durch die größeren 0603 SMD Kondensatoren ersetzt. Weitere Kondensatoren des PPrMCMs wurden zur Optimierung verschoben.
• **Umordnung der analogen Eingangssignale und der externen BCID Signale:** Um ein Bunch-Crossing Multiplexing entlang der φ-Richtung innerhalb des PPrASICs zu ermöglichen, mussten die vom Analog Input Board kommenden analogen Trigger-Tower Signale und die digitalen externen BCID Signale auf dem PPrMCM verdreht werden. Die analogen Trigger-Tower Signale 1 und 2 sind nun mit den PPrASIC-Kanälen 1 und 3 verbunden, die analogen Trigger-Tower Signale 3 und 4 mit den PPrASIC-Kanälen 4 und 2. Die externen BCID Signale wurden den dazugehörigen analogen Trigger-Tower Signalen zugeordnet. In der ersten Version des PPrMCMs wurde beim Verdrehen dieser Signale nicht berücksichtigt, dass das PPrMCM kopfüber auf das PPM gesteckt wird.

4.4.3 Eigenschaften des Layouts der zweiten Version des PPrMCMs

Im Anhang A findet sich das Layout der zweiten Version des PPrMCMs. Das Layout hat eine Dimension von 84 mm×20 mm, umfasst damit also eine Fläche von 1680 mm². Mit der von den 9 Dies beanspruchten Fläche von 293 mm² ergibt sich damit ein Silizium/Substratflächenverhältnis von 9.4%. Allgemein für erreichbar gehalten wird für MCMs ein Verhältnis von 30%. Das hier erreichte relativ kleine Verhältnis ist im Wesentlichen auf die Verlängerung des MCM Substrates der ersten Version des PPrMCMs um je 7 mm rechts und links zurückzuführen, Flächen, die mit Ausnahme des Balkons, nicht zum Routen benutzt wurden, sondern rein mechanischen Zweck erfüllen. So betrug das Silizium/Substratflächenverhältnis in der ersten Version noch 20%. Die Verwendung zahlreicher SMD Bauteile hat sein Übriges getan, dass die 30% nicht erreicht wurden. Auf vier Lagen wurden Leiterbahnen mit einer Gesamtlänge von 2.73 m verlegt. Insgesamt kamen 1532 Vias zum Einsatz, wobei diese Zahl die 276 thermischen Vias, die keine elektrische Funktion wahrnehmen, einschließt. Tabelle 4.10 fasst die wichtigsten Eigenschaften des neuen PPrMCMs zusammen.

4.4.4 Eingangs- und Ausgangssignale der zweiten Version des PPrMCMs

Die Schnittstellen des PPrMCMs wurden an Stellen innerhalb der Verarbeitungskette des Prä-Prozessors so gewählt, dass die Zahl der Eingangs- und Ausgangssignale des PPrMCMs so klein wie möglich ist. Im Wesentlichen empfängt das PPrMCM vier analoge Signale und versendet drei serielle Datenströme. Im Folgenden wird eine detaillierte Aufstellung der Eingangs- und Ausgangssignale des PPrMCMs gegeben. Die Pinbelegung der beiden BTH-030-Stecker von Samtec [22] findet sich im Anhang B (für die zweite Version des PPrMCMs). Die meisten Pins werden für die verschiedenen Spannungsversorgungsnetze und die verschiedenen Massennetze benutzt.

**Der Echtzeit Datenpfad und die Spannungsversorgung**

• Vier vom Analog Input Board kommende analoge Eingangssignale für die vier ADCs. Siehe hierzu Abschnitt 3.2.1.
Tabelle 4.10: Layout-Eigenschaften der zweiten Version des PPrMCMs

- Vier digitale, externe BCID Eingangssignale, die ebenfalls vom Analog Input Board kommen. Siehe hierzu Abschnitt 3.2.1.


- Die analogen Spannungsnetze AVDD und AVCC, sowie das digitale Spannungsnetz DVCC. Siehe hierzu Abschnitt 4.2.

- Die analoge Masse AGND und die digitale Masse DGND. Siehe hierzu Abschnitt 4.2.

**Konfiguration/Kontrolle/Test und Datenauslese**

- I2C-Bus zum Programmieren des Phos4 Chips.

- JTAG\(^8\)-Schnittstelle, ermöglicht einen *in-circuit*-Test und *boundary-scan* des PPrASICs.

- Analoges Temperaturüberwachungssignal vom PPrASIC.

- Zwei serielle Schnittstellen des PPrASICs zur Datenauslese und zur Konfiguration des PPrASICs.

\(^8\)JTAG: Joint Test Action Group
• Signale, die vom zentralen Trigger Prozessor generiert und über das TTC System verteilt werden: Level1Accept-Signal, 40 MHz LHC-Takt, Bunch-Crossing Nummer, Ereignisnummer, Reset Signale für interne Zähler des PPrASICs (Bunch Crossing Zähler, Ereigniszähler).

• Das PPrMCM nutzt das TTC System um folgende Vorgänge auszulösen: Reset des PPrASICs, synchroener Start der Datenauslese und für das Einspielen von Testdaten, Power-Up Signal für die LVDS Serialisierer.
Kapitel 5

Test des Prä-Prozessor Multichip-Moduls

5.1 Produktion des PPrMCMs in großen Stückzahlen und Qualitätssicherung


   Die weiteren Punkte werden von Hasec übernommen:

3. Bestückung: Die Lötpaste wird mittels Schablonendruck auf die Lötflächen des MCM Substrates aufgetragen.

4. Bestückung: Die SMD Bauteile, d.h. die Kondensatoren, die Widerstände und die Stecker werden auf die vorgesehenen Stellen platziert. Die zuvor aufgetragene Lötpaste dient dabei gleichzeitig als Klebemittel.

5. Bestückung: Die SMD Bauteile werden mittels Reflow-Löten verlötet. Reflow-Löten ist die übliche Bezeichnung für ein Lötherfahren, bei dem die vorher aufgebrachte Lötpaste auf die Kontaktflächen aufgeschmolzen wird. Der eigentliche
Lötvorgang findet dabei in einem Konvektionsofen statt. Das Prozessgas wird durch ein Heizsystem erwärmt und durch ein Gebläse auf das Löt gut gedrückt.

6. **Bestückung:** Die Halbleiterchips werden ohne Gehäuse (als Dies) auf die vorgesehenen Klebeflächen mit elektrisch leitfähigem Epoxid-Harz aufgeklebt.

7. **Bestückung:** Die Dies werden mittels eines Ultraschall Drahtbonders gebondet.

8. **Test:** Mit Hilfe des im folgenden Abschnitt 5.2 ausführlich beschriebenen Testsystems werden die bestückten PPrMCMs vor Ort, d.h. bei Hasec, einem schnellen Test unterworfen. Das im Rahmen dieser Arbeit entwickelte Testsystem wird von der Heidelberger ATLAS Gruppe betrieben und hat zum Ziel, fehlerhafte Bonds und defekte Dies aufzuspüren. Der PPrASIC und der Phos4 werden bereits vor ihrer Bestückung getestet und die fehlerhaften entsprechend sofort aussortiert. Während die Phos4s bereits im ASIC-Labor der Universität Heidelberg getestet wurden [37], muss für den PPrASIC noch ein Testsystem entworfen werden. Ein möglicher funktionaler Test des PPrASICs wird in Kapitel 6 vorgestellt. Die kommerziell erworbenen LVDS Serialisierer und ADCs werden ohne vorherigen Test zur Bestückung eingesetzt. Sie wurden bereits von den Herstellern getestet, allerdings nicht mit der LHC-Frequenz von 40 MHz. Daher ist bei diesen Chips mit einer Ausbeute unter 100% zu rechnen.

9. **Reparaturzyklus:** Die defekten PPrMCMs werden von Hasec einem Reparaturzyklus unterworfen. Defekte Dies werden wieder vom MCM Substrat abgelöst und durch neue ersetzt. Im Falle von fehlerhaften Bonds wird ein weiterer Bond gesetzt, die Bond Pads sind mit eine Größe von 300 μm × 150 μm dafür ausgelegt. Die reparierten PPrMCMs werden erneut mit dem Testsystem überprüft und, falls notwendig, wieder dem Reparaturzyklus unterworfen.

10. **Bestückung:** Auf alle PPrMCMs, die das Testsystem passiert haben, wird der Deckel aufgeklebt. Durch die Löcher im Deckel wird das Silikon-Gel eingefüllt. Die Löcher werden anschließend zugelötet. Zum Schluss wird der Kühlkörper auf die Rückseite des Kupferssubstrates aufgeklebt.

11. **Test:** Die PPrMCMs werden in Heidelberg einem umfangreichen funktionalen Test unterzogen, zum Teil mittels des bei Hasec verwendeten Testsystems, aber auch durch das Bestücken eines PPMs mit den PPrMCMs und einem anschließenden vollständigen Test des gesamten PPMs. Sollte sich hier ein Defekt auf einem der PPrMCMs zeigen, ist aufgrund der Verkapselung im Allgemeinen keine Reparatur mehr möglich.

In Abbildung 5.1 sind die einzelnen Herstellungsphasen und die durchzuführenden Tests grafisch veranschaulicht.
Abbildung 5.1: Flussdiagramm der Produktion des PPrMCMs in großen Stückzahlen und die durchzuführenden Tests
5.2 Testaufbau

In diesem Abschnitt wird nun das im vorigen Abschnitt erwähnte Testsystem, das unter anderem bei Hasec eingesetzt wird, besprochen. Da 3200 PPrMCMs zu testen sind, ist ein automatisiertes Testsystem notwendig, das innerhalb kürzester Zeit fehlerhafte PPrMCMs identifiziert und den Defekt, wie z.B. ein defekter Die, lokalisiert. Abbildung 5.2 zeigt die dafür notwendige Hardware.

Abbildung 5.2: Aufbau des Testsystems zum Test der PPrMCMs

Das Testsystem besteht im Wesentlichen aus drei Komponenten: einer Signalquelle zur Generierung der Testsignale, einer so genannten MCM Testkarte als Träger für das zu testende PPrMCM und einer Datensenke zur Aufnahme der vom PPrMCM erzeugten Datenströme.

Als Signalquelle wird die Grafikkarte *Matrox G450DH* [25] verwendet. Diese Grafikkarte ist eine *DualHead*-Grafikkarte, ist also für den Anschluss zweier unabhängiger Monitore gedacht und besitzt demnach zwei unabhängige 15-polige Anschlussbuchsen vom Typ D. Jede dieser beiden 15-poligen Anschlussbuchsen stellt die drei analogen Farbsignale rot, grün und blau, sowie zwei digitale Synchronisationssignale, die horizontale Synchronisation und die vertikale Synchronisation, zur Verfügung. Die Frequenz des horizontalen Synchronisationssignales ist die Zeilenfrequenz, die Frequenz des vertikalen Synchronisationssignales ist die Bildwiederholverlat. Die DualHead-Grafikkarte stellt damit 6 analoge Ausgangssignale zur Verfügung: $2 \times$ rot, $2 \times$ blau und $2 \times$ grün. Von diesen sechs Signalen
werden vier ausgewählt und unabhängig voneinander zur Generierung von Testsignalen programmiert. Die Ausgangsspannung dieser Farbsignale reicht dabei von 0–0.7 V, wobei der Spannungswert unmittelbar die Intensität einer Farbe abbildet. Ist z.B. die Spannung am roten Ausgang groß (0.7 V), dann entspricht dies einem sehr hellem rot. Mit abnehmender Spannung wird das rot immer dunkler bis schließlich bei einer Ausgangsspannung von 0 V die Farbe schwarz erreicht ist. Auf diese Weise lassen sich beliebige Trigger-Tower Signale programmieren und auf Wunsch als Farbmuster auf dem Monitor darstellen. Die in Kapitel 3.1 dargestellten Signale wurden genau nach diesem Verfahren erzeugt und mit einem Oszilloskop gemessen [14]. Eine Grafikkarte als Signalgenerator zu verwenden hat den Vorteil, dass sie als Massenprodukt sehr billig ist, dass damit beliebige Trigger-Tower Signale programmiert werden können und dass sie sehr schnell ist. Bei einer von der Matrox G450DH unterstützten Auflösung von 2048 × 1536 und einer Bildwiederholrate von 60 Hz ergibt sich eine Pixelfrequenz von 5.5 ns/pixel. Da die Anstiegszeit (Zeit, die vom Beginn bis zum Erreichen des Maximums des Signals vergeht) der Trigger-Tower Signale rund 50 ns beträgt, folgt damit, dass die Trigger-Tower Signale im Anstieg durch neun Pixel dargestellt werden, so dass allein in einer Zeile mit 2048 Pixel Länge mehrere vollständige Trigger-Tower Signale unterbrachenden werden können. Angesichts der im kHz-Bereich liegenden Zeilenfrequenz ergibt sich damit eine enorme schnelle Signalgenerierung.

Die vier von der DualHead-Grafikkarte erzeugten Testsignale werden von der MCM Testkarte empfangen. Auf der MCM Testkarte werden das in Kapitel 3 besprochene Analog Input Board und das zu testende PPrMCM aufgesteckt. Zusätzlich befinden sich auf der MCM Testkarte eine Reihe von weiteren elektronischen Komponenten, die im Abschnitt 5.3 im Detail erläutert werden. Hier soll die Beschreibung auf den für den Datenfluss notwendigen Komponenten beschränkt bleiben.

Auf der Testkarte werden zunächst die unipolaren, von der Grafikkarte kommenden, Testsignale durch eine aktive Schaltung mit Operationsverstärkern in differenzielle Signale transformiert. Gleichzeitig bewirkt die aktive Schaltung eine Verstärkung der Testsignale und zwar derart, dass der Spannungsbereich der Testsignale von 0–0.7 V auf den Spannungsbereich von 0–2.5 V abgebildet wird. Auf diese Weise werden die Testsignale so aufbereitet, dass sie genau den Anforderungen des nachfolgenden Analog Input Boards entsprechen. Das Analog Input Board stellt dem zu testenden PPrMCM die aufbereiteten analogen Testsignale und die digitalen externen BCID Signale zur Verfügung. Das PPrMCM generiert daraus die zwei Datenströme: den Echtzeit Datenstrom und den Auslesedatenstrom. Die beiden Datenströme werden zur Evaluation von einer Datensonde aufgenommen. Hierzu wird das so genannte General Purpose Motherboard, eine multifunktionelle VME-Karte, verwendet.

Das General Purpose Motherboard ist eine 23.3 cm hohe VME-Karte, auf die bis zu zwei CMC1-Tochterkarten aufgesteckt werden können. Mit Hilfe des auf dem General Purpose Motherboard befindlichen FPGAs XC4010XL können die aufgesteckten CMC-Tochterkarten kontrolliert und konfiguriert werden. Abhängig von den aufgesteckten CMC-Karten wird der passende FPGA Code in den XC4010XL geladen.

Eine weitere wichtige Komponente auf dem General Purpose Motherboard ist das 32

---

1 CMC: Common Mezzanine Card
kByte große Dual-Ported RAM$^2$, das sowohl zum XC4010XL als auch zum VME-Bus eine Schnittstelle besitzt. Das Dual-Ported RAM erlaubt den gleichzeitigen Zugriff, d.h. Lesen oder Schreiben, auf den Speicher von beiden Schnittstellen aus. Die weiteren Komponenten wie das Netzeil oder der Taktgenerator sind auf dem Foto zu erkennen.

Abbildung 5.3: Das General Purpose Motherboard

Das General Purpose Motherboard wird für das Testsystem mit zwei Tochterkarten bestückt: zum einen mit der so genannten Virtex-CMC-Karte und zum anderen mit der so genannten LVDS Sender/Empfänger-Karte. Das General Purpose Motherboard wurde so entworfen, dass zwischen diesen beiden CMC-Karten eine direkte Verbindung untereinander hergestellt werden kann.

Abbildung 5.4: Die Virtex-CMC-Karte

$^2$Random Access Memory

Die vom PPrMCM generierten Daten werden also alle im SRAM der Virtex-CMC-Karte zwischengespeichert. Von dort aus werden sie dann, über den XC4010XL FPGA und das Dual-Ported RAM des General Purpose Motherboard gehend, über den VME-Bus ausgelesen. Abbildung 5.5 veranschaulicht die beschriebenen Datenströme.

Abbildung 5.5: Veranschaulichung der Datenströme, der FPGAs und der Speicher.

Die Daten werden von einem PC empfangen, wo sie später oder aber idealerweise in Echtzeit analysiert werden. Als Analysesoftware wird HDMC (Hardware Diagnostics, Monitoring and Control Software) verwendet. Nähere Informationen zu diesem in C++ geschriebenen Programm findet sich in [26]. Für eine umfassende Analyse dieser Daten, die das PPrMCM aus Testsignalen mit allen möglichen Amplituden und Signalformen generiert hat, muss die komplette Verarbeitungskette von der Grafikkarte bis einschließlich dem PPrMCM simuliert werden. Die vom PPrMCM generierten Daten werden dann mit diesen Simulationsdaten verglichen. Da von analogen Signalen ausgegangen wird⁴, wird

³SRAM: Static Random Access Memory
⁴Wird ein analoges Signal digitalisiert und anschließend mittels eines DACs wieder in ein analoges
ein Fehlerbereich definiert. Liegen die Messdaten innerhalb dieses Fehlerbereichs, gelten sie als gleich, selbst wenn es einige unterschiedliche Bits geben sollte.


5.3 Die MCM Testkarte

Da das im vorigen Abschnitt beschriebene Testsystem unter anderem bei Hasec vor Ort aufgebaut wird, ist darauf zu achten, dass das komplette System handlich und portabel ist. Dies wird dadurch gewährleistet, indem die Signalquelle und die Datensammler in einem kleinen 6U (23.3 cm) hohen Überraschung eingebaut werden. Die MCM Testkarte würde in diesen Überraschung auch noch Platz finden. Da aber 3200 PPrMCMs zu testen und nacheinander auf die MCM Testkarte aufzustocken sind (im unverpackten Zustand, d.h. mit offenliegenden Bonddrähten!), ist dies sinnvoll nur dadurch realisierbar, indem die MCM Testkarte als eigenständige Einheit frei zugänglich auf den Experimentiertisch angebracht wird. Um das Aufstocken der PPrMCMs auf die MCM Testkarte zu erleichtern, werden auf der MCM Testkarte Führungsstifte angebracht, die die in der zweiten Version des PPrMCMs links und rechts hinzugefügten Löcher zur Führung ausnutzen. Die auf der MCM Testkarte aufgelöteten BSH-030 Stecker, die die passenden Gegenstecker zu den auf dem PPrMCM verwendeten BTH-030 Stecker darstellen, sind nur für eine sehr begrenzte Anzahl von Steckzylklen ausgelegt. Um den wiederholten Austausch der BSH-030 Stecker auf der MCM Testkarte zu vermeiden, wird eine kleine Zwischenkarte gefertigt. Die Zwischenkarte besitzt auf der Oberseite den BSH-030 Stecker und auf der Unterseite den BTH-030 Stecker und verbindet die Pins dieser beiden Stecker im 1:1 Schema, d.h. es handelt sich um eine reine Durchführung. Die Zwischenkarte wird nun auf die MCM Testkarte gesteckt. Die PPrMCMs werden auf diese Weise nicht mehr direkt auf die MCM Testkarte, sondern stattdessen auf die Zwischenkarte gesteckt. Ist der zulässige Steckzyklus des BSH-030 Steckers der Zwischenkarte erreicht, wird die Zwischenkarte einfach durch eine neue Zwischenkarte ersetzt. Da das PPrMCM mit der Bestückungsseite auf die MCM Testkarte gesteckt wird, besitzt die MCM Testkarte im Bereich des PPrMCMs eine Ausfräusion. Die Ausfräusion erlaubt den Zugriff auf das PPrMCM von der Unterseite der MCM Testkarte und ermöglicht im Falle eines defekten PPrMCMs Sichtprüfungen und Kontrollmessungen.

Neben dem zu testenden PPrMCM trägt die MCM Testkarte das Analog Input Board. Von den 16 Kanälen des Analog Input Boards werden nur vier für den Test des vierkanaligen PPrMCMs benötigt. Die restlichen Kanäle werden "abgeschaltet", indem ihre Eingänge auf Masse gelegt werden.

Abbildung 5.6 zeigt neben dem Analog Input Board und dem PPrMCM die wichtigsten Signal transformiert, wird dieses analoge Signal nicht mehr exakt dem ursprünglichen Signal entsprechen. Dies liegt an der Nicht-Idealität aller Bauteile, z.B. weist der Abtastzeitpunkt eines ADCs immer kleine Schwankungen auf (Jitter).
weiteren Komponenten der MCM Testkarte. Im Folgenden sollen die verwendeten Bauteile kurz vorgestellt und ihre Aufgaben erläutert werden.

Abbildung 5.6: Die MCM Testkarte

**TLC2932, XC95108 und 40 MHz-Quarz**

Die Chips auf dem zu testenden PPrMCM werden mit 40 MHz getaktet. Um zu erreichen, dass der 40 MHz-Takt synchron zu den von der Grafikkarte generierten analogen Testsignalen ist, wird unter dem Einsatz einer phasenverriegelten Rückkopplung, kurz PLL\(^5\) genannt, der 40 MHz-Takt aus dem von der Grafikkarte kommenden horizontalen Synchronisationssignal erzeugt. Abbildung 5.7 zeigt das Schema einer PLL.

Abbildung 5.7: Schema einer PLL

Die PLL ist ein Schaltkreis mit Rückkopplung, die dafür sorgt, dass sowohl die Frequenz als auch die Phase zwischen einem Referenzsignal und dem Ausgangssignal eines spannungsgeregelten Oszillators (VCO\(^6\)) gleich sind. Hierzu vergleicht der Phasen-Frequenz

\(^5\)PLL: Phase Locked Loop

\(^6\)VCO: Voltage Controlled Oscillator
Detektor (PFD\textsuperscript{7}) das VCO-Ausgangssignal mit dem Referenzsignal. Der Phasen-Frequenz Detektor erzeugt ein zur Phasendifferenz proportionalen Ausgangspuls. Dieser Puls wird mittels eines Loop-Filters geglättet. Die DC-Komponente des geglätteten Pulses wird als Eingangsspannung zur Steuerung des VCO verwendet. Das Ausgangssignal des VCO wird wieder dem PFD zugeführt, der einen erneuten Vergleich durchführt und die Frequenz des VCO so steuert, dass die Phasendifferenz minimiert wird. Auf diese Weise werden die Frequenz und die Phase des Referenzsignals und des VCO-Ausgangssignals angeglichen und bei Erreichen der Frequenz- und Phasengleichheit dieser Zustand festgehalten. Im Fall der MCM Testkarte dient das horizontale Synchronisationssignal, das z.B. typisch eine Frequenz von 40 kHz aufweist, als Referenzsignal. Der gewünschte 40 MHz-Takt stellt das Ausgangssignal des VCOs dar. Da sich die Frequenz des Referenzsignals um den Faktor 1000 von der Frequenz des VCO-Ausgangssignal unterscheidet, muss die in Abbildung 5.7 dargestellte PLL durch einen Frequenzteiler zwischen dem PFD und VCO ergänzt werden, so dass sich das in Abbildung 5.8 dargestellte Schema ergibt.

\begin{center}
\includegraphics[width=\textwidth]{schema_pll.png}
\end{center}

Abbildung 5.8: Schema einer PLL als Frequenzbilder

Auf der MCM Testkarte wird diese Schaltung realisiert unter dem Einsatz des ICs\textsuperscript{8} TLC2932 [29] von Texas Instruments, der den PFD und den VCO zur Verfügung stellt. Der Loop-Filter wird durch eine externe Beschaltung des TLC2932 mit Widerständen und Kondensatoren realisiert. Der Frequenzteiler wird im CPLD\textsuperscript{9} XC95108 [30] von Xilinx implementiert und zwar als 10 Bit Zähler mit programmierbarem Endwert. Der programmierbare Endwert stellt sicher, dass bei unterschiedlich gewählten Frequenzen des Referenzsignals auch immer die 40 MHz erreicht werden können. Es gilt nämlich der Zusammenhang: \( f_{\text{ref}} = f_{\text{VCO}}/N \), wobei \( f_{\text{ref}} \) die Frequenz des Referenzsignals, \( f_{\text{VCO}} \) die Frequenz des VCO-Ausgangssignals (ist vorgegeben: 40 MHz) und \( N \) das Teilungsverhältnis des Frequenzteilers ist. Gleichzeitig wird das CPLD dazu genutzt, das stark asymmetrische Tastverhältnis des horizontalen Synchronisationssignales zu symmetrallisieren. Unter dem Tastverhältnis versteht man dabei das Verhältnis wie lange ein periodisches Signal High und Low ist. Erst das durch das CPLD symmetrisierte horizontale Synchronisati-

\textsuperscript{7}PFD: Phase Frequency Detector  
\textsuperscript{8}IC: Integrated Circuit  
\textsuperscript{9}CPLD: Complex Programmable Logic Device
onssignal dient als Referenzsignal für den TLC2932. Für eine einwandfreie Funktion des TLC2932 ist diese Symmetrisierung notwendig.

Neben den durch die PLL generierten 40 MHz-Takt ist zusätzlich ein 40 MHz-Quarz auf der MCM Testkarte vorgesehen. Dieser Quarz ist als Referenz für den auf dem PPrMCM befindlichen Phos4 notwendig, da dieser Chip im Fall eines Ausfalls des 40 MHz-Taktes ohne Referenz in einen undefinierten Zustand fällt.

MAX4142


DS90LV048A und DS90LV047A


L200, LM317, L7905, L7805

Widerständen wurde für das AVDD-Netz eine Strombegrenzung von 1 A, für das AVCC-Netz eine Strombegrenzung von 0.3 A und für das DVCC-Netz eine Begrenzung von 1.5 A eingestellt. Sollte ein zu testendes PPrMCM tatsächlich einmal einen Kurzschluss aufweisen, werden durch die Strombegrenzungen Schäden am PPrMCM vermieden. Für die restlichen Komponenten auf der MCM Testkarte sind weitere vier Spannungsnetze erforderlich: +5.0 V digital, +5.0 V analog, -5.0 V analog und +3.3 V digital. Zur Generierung der +5.0 V Spannungen werden zwei Festspannungsregler L7805 [34] und zur Generierung der -5.0 V Spannung ein Festspannungsregler L7905 [34] verwendet. Zur Erzeugung der +3.3 V Spannung kommt der einstellbare Spannungsregler LM317 [34] zum Einsatz.

MAX128 und OP07C


Kapitel 6

Die Adapter-Karte

6.1 Test des PPrMCMs ohne PPrASIC

Bereits im Juli 2001 lieferte Würth Elektronik sechs MCM Substrate der ersten Version des PPrMCMs. Drei von diesen MCM Substraten wurden bis auf den PPrASIC vollständig bestückt. Da zu diesem Zeitpunkt der PPrASIC noch nicht submittiert war und die geplante Submission sich immer wieder verzögerte, wurde nach einer Möglichkeit gesucht, erste Tests des PPrMCMs ohne den PPrASIC durchzuführen. Die Idee war, den fehlenden PPrASIC zu überbrücken und zwar in der Hinsicht, dass die digitalen Ausgangsdaten der vier ADCs mit den Eingängen der LVDS Serialisierer verbunden werden. Da die vier ADCs je einen 10 Bit breiten Datenstrom erzeugen, aber nur drei 10 Bit LVDS Serialisierer zur Verfügung stehen, kam die Idee auf, ein CPLD mit einem darin implementierten Multiplexer zu verwenden. Allerdings gibt es kein CPLD, das mit dem Footprint des PPrASICs kompatibel ist, weder in der Anzahl und Anordnung der Pins, noch in der Größe. Der PPrASIC selbst ist nur $8.3\,mm \times 8.3\,mm$ und der dazugehörige Footprint ca. $9.0\,mm \times 9.0\,mm$ groß. Um das Problem zu lösen, wurde eine Zwischenkarte, die so genannte Adapter-Karte, entworfen. Die Adapter-Karte trägt das CPLD XC95288XL [42] von Xilinx, in welchem der Multiplexer mit Hilfe von Verilog implementiert wird. Der Verilog Design-Prozess wird im Abschnitt 6.2 erläutert. Die Adapter-Karte mit dem CPLD wurde auf das bis auf den PPrASIC bestückte PPrMCM fest montiert, so dass sich die in Abbildung 6.1 gezeigte Anordnung ergibt.


Oberseite der Adapter-Karte zum Footprint des CPLDs, das nach dem Bonden auf die Adapter-Karte gelötet wurde und die dritte Ausfräseung vollständig verdeckt. Das Routing der Leitungen ist dabei so gemacht, dass die Masse- und Spannungsversorgungspads des CPLDs mit den Masse- und Spannungsversorgungspads des PPrASICs verbunden sind. Die Adapter-Karte selbst besitzt keine eigene Spannungsversorgung, diese wird vom PPrMCM geliefert, genauso wie das PPrMCM auch die Spannungsversorgung des PPrASICs sicherstellt, nur dass es jetzt stattdessen ein CPLD ist. Beide, sowohl der PPrASIC als auch das CPLD, arbeiten mit der gleichen Spannung von 3.3 V. Die verbleibenden Leitungen wurden mit beliebigen Ein-/Ausgabepads des CPLD verbunden. In Abbildung 6.2 und Abbildung 6.3 ist die Adapter-Karte einmal vor dem Auflöten des CPLDs und einmal mit dem CPLD zu sehen. Da zwischen dem CPLD und der Adapter-Karte bedingt durch die CPLD-Pins ein Abstand von ca. 1 mm besteht, werden die darunterliegenden Bonddrähte durch das CPLD nicht beschädigt.

Abbildung 6.3: Die fertige Adapter-Karte mit aufgelötetem CPLD. Näheres siehe Text.

Dieser Aufbau, das PPrMCM mit der darauf montierten Adapter-Karte, wird nun
kopfüber auf die in Kapitel 5.3 beschriebene MCM Testkarte aufgesteckt, so dass sich die in Abbildung 6.4 gezeigte Anordnung ergibt.

Abbildung 6.4: Das PPPrMCM mit der darauf montierten Adapter-Karte wird kopfüber auf die MCM Testkarte gesteckt.

Die MCM Testkarte mit diesem Aufbau wird in das in Kapitel 5 beschriebene Testsystem integriert und zwar genau so, als ob ein PPPrMCM mit PPPrASIC aufgesteckt worden wäre. Das Testsystem liefert die notwendigen Testsignale und fängt die vom PPPrMCM mit dem CPLD als PPPrASIC-Ersatz generierten Daten wieder auf.

Da alle Anschlüsse des PPPrASICs mit dem CPLD verbunden wurden, können neben dem bloßen Durchschleifen der ADC Daten zu den LVDS Serialisierern mittels eines im CPLD implementierten Multiplexers natürlich auch einzelne vom PPPrASIC übernomme- ne Aufgaben getestet werden. Eine vollständige Implementierung des PPPrASICs in das XC95288XL-CPLD ist aus Ressourcengründen ausgeschlossen. Im Folgenden soll kurz der CPLD Design-Prozess beschrieben werden.

### 6.2 CPLD Design-Prozess


Zur Implementierung des gewünschten Multiplexers in dieses CPLD wurden drei Stufen durchlaufen. Als erstes erfolgte die Design-Eingabe in der Hardwarebeschreibungssprache Verilog [28]. Auf einer abstrakten Ebene wird hierbei das Verhalten des Multiplexers spezifiziert. Der im CPLD implementierte Verilog-Code sieht folgendermaßen aus:
module mux (CLK, Sel, ADC1, ADC2, ADC3, ADC4, TOCP1, TOCP2, TOJP);

input CLK;
input [3:0] Sel;
input [9:0] ADC1, ADC2, ADC3, ADC4;
output [9:0] TOCP1, TOCP2, TOJP;

reg [9:0] TOCP1, TOCP2, TOJP;

always @(posedge CLK)
  case(Sel)
    0: TOCP1=ADC1;
    1: TOCP1=ADC2;
    2: TOCP1=ADC3;
    3: TOCP1=ADC4;
    4: TOCP2=ADC1;
    5: TOCP2=ADC2;
    6: TOCP2=ADC3;
    7: TOCP2=ADC4;
    8: TOJP=ADC1;
    9: TOJP=ADC2;
   10: TOJP=ADC3;
   11: TOJP=ADC4;
    default: TOCP1=ADC1;
  endcase
endmodule

Als Eingangssignale bekommt dieses Modul die vier 10 Bit breiten Datenbusse der vier ADCs des PPrMCMs, die auf die 10 Bit breiten Ausgangsdatenbusse in Richtung der LVDS Serialisierer geschaltet werden. Vier unbenutzte Ein-/Ausgabepins des CPLDs wurden als Eingang von vier Steuerleitungen gewählt, über die durch Anlegen von einer der 16 möglichen Bitkombinationen bestimmt wird, welche ADC Daten zu welchem LVDS Serialisierer gesendet werden sollen. Der 40 MHz-Takt, den das CPLD vom PPrMCM erhält und ursprünglich als Takt für den PPrASIC gedacht war, sorgt für die Synchronisierung des Multiplexers. Ein asynchroner Multiplexer wurde realisiert durch:

module mux (Sel, ADC1, ADC2, ADC3, ADC4, TOCP1, TOCP2, TOJP);

input [1:0] Sel;
input [9:0] ADC1, ADC2, ADC3, ADC4;
output [9:0] TOCP1, TOCP2, TOJP;

reg [9:0] TOCP1, TOCP2, TOJP;

always @(Sel or ADC1 or ADC2 or ADC3 or ADC4)
case (Sel)
    0: TOCP1=ADC1;
    1: TOCP2=ADC2;
    2: TOJP=ADC3;
    3: TOCP1=ADC4;
    default: TOCP1=ADC1;
endcase


6.3 Test des PPrASICs

Der Entwurf und die Realisierung der Adapter-Karte führte auf die Idee eines funktionellen Tests des PPrASICs. Diese Idee wird nun umgesetzt. Abbildung 6.5 zeigt die Anordnung des funktionellen PPrASIC-Tests.

Im Prinzip handelt es sich um exakt denselben Aufbau wie den in Abbildung 6.4 dargestellten. Auf ein bis auf den PPrASIC vollständig bestücktes PPrMCM wird wieder eine Adapter-Karte montiert. Die elektrische Verbindung wird wieder durch Bonddrähte zwischen den Pads des Footprints des PPrASICs mit Pads auf der Adapter-Karte hergestellt. Die Fertigung der in Abbildung 6.3 gezeigten Adapter-Karte hat hierbei bewiesen, dass das anfangs für unmöglich gehaltene Bonden über einen Hub von mehr als 4 mm mittels des Ultraschall Drahtbonders MEII204W doch realisiert werden kann. Die Adapter-Karte wird zusammen mit dem darauf montierten PPrMCM auf die MCM Testkarte aufgesteckt und auf diese Weise die gesamte Anordnung wieder in das Testsystem integriert. Der einzige Unterschied besteht darin, dass die Leiterbahnen der Adapter-Karte diesmal nicht mehr zum Footprint eines CPLDs gehen, sondern stattdessen mit vier auf der Adapter-Karte

¹Platzieren und Verbinden der Logik


²Wafer: Siliziumscheibe, die als Trägermaterial für integrierte Schaltkreise (Chips) dient.
Zusammenfassung und Ausblick


Das Layout einer ersten Version des PPrMCMs wurde mit dem Layout-Programm "APD", das Teil des Softwarepaketes von Cadence ist, fertig gestellt. Sechs dieser PPrMCMs wurden mit einer Strukturgröße von 100 $\mu$m nach dem TWIND-Verfahren der Firma Würth Elektronik gefertigt. Drei der gelieferten PPrMCMs wurden von Hand im ASIC-Labor der Universität Heidelberg bis auf den noch nicht verfügbaren PPrASIC bestückt. Um die PPrMCMs ohne den PPrASIC testen zu können, wurde eine Zwischenkarte entworfen, die den fehlenden PPrASIC überbrückt. Mit dieser Zwischkarte wird es möglich sein, die wesentlichen Funktionen des PPrMCMs zu testen. Sollten bei der anschließenden Bestückung des PPrMCMs mit dem überaus komplexen PPrASIC Probleme auftreten, ist davon auszugehen, dass sie durch den PPrASIC hervorgerufen werden.

Da die simulierte Leistung des PPrASICs im Bereich von 2.5–3.0 W liegt und im Falle der ersten Version des PPrMCMs nur mit 1.2 W gerechnet wurde, musste eine zweite Version des PPrMCMs erstellt werden. Diese zweite Version wird mit großer Wahrscheinlichkeit nun auch die endgültige Version sein.

Die Komplexität des PPrMCMs, vor allem des darauf vorhandenen PPrASICs, erfordert den Einsatz eines sehr komplexen Testsystems. Dieses Testsystem wurde im Rahmen dieser Arbeit entwickelt. Ziel war es, auf möglichst viele bereits vorhandene Hardware Komponenten zurückzugreifen. So mussten letztlich für das Testsystem nur zwei neue Karten entworfen werden: zum einen die LVDS Sender/Empfänger-Karte und die MCM Testkarte. Für die MCM Testkarte wurde im Rahmen dieser Arbeit der Schaltplan entworfen. Alle anderen Hardware Komponenten des in Kapitel 5 beschriebenen Testsystems sind bereits vorhanden. Die noch fehlenden Hardware Komponenten werden in kürzester Zeit eintreffen. Während der Hardware Sektor im Wesentlichen damit abgeschlossen ist, ist im Bereich der Software für dieses Testsystem noch viel Arbeit zu leisten. So muss die Analysefunktion in HDME implementiert werden. HDME soll auch die Konfiguration des gesamten Testsystems übernehmen, was bisher aber nur in begrenztem Umfang möglich ist. Des weiteren müssen drei FPGAs programmiert werden.
Anhang A

Layout des PPrMCMs

Abbildung A.1: Lage 1 (Bestückungslage)

Abbildung A.2: Lage 2
Anhang B

Pinbelegung der Stecker des PPrMCMs
<table>
<thead>
<tr>
<th>Pin</th>
<th>Signal-Name</th>
<th>Beschreibung</th>
<th>Wert</th>
</tr>
</thead>
<tbody>
<tr>
<td>1</td>
<td>DVCC</td>
<td>digitale Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
<tr>
<td>2</td>
<td>DVCC</td>
<td>digitale Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
<tr>
<td>3</td>
<td>DVCC</td>
<td>digitale Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
<tr>
<td>4</td>
<td>DVCC</td>
<td>digitale Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
<tr>
<td>5</td>
<td>AVDD</td>
<td>analoge Spannungsversorgung</td>
<td>+5.0 V</td>
</tr>
<tr>
<td>6</td>
<td>AVDD</td>
<td>analoge Spannungsversorgung</td>
<td>+5.0 V</td>
</tr>
<tr>
<td>7</td>
<td>AVDD</td>
<td>analoge Spannungsversorgung</td>
<td>+5.0 V</td>
</tr>
<tr>
<td>8</td>
<td>AVDD</td>
<td>analoge Spannungsversorgung</td>
<td>+5.0 V</td>
</tr>
<tr>
<td>9</td>
<td>AGND</td>
<td>analoge Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>10</td>
<td>AGND</td>
<td>analoge Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>11</td>
<td>AGND</td>
<td>analoge Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>12</td>
<td>AGND</td>
<td>analoge Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>13</td>
<td>EXTBCID1</td>
<td>externes BCID für Kanal 2</td>
<td>Digital In</td>
</tr>
<tr>
<td>14</td>
<td>ADC2_IN</td>
<td>analoges Eingangssignal für den ADC2</td>
<td>Analog In</td>
</tr>
<tr>
<td>15</td>
<td>DGND</td>
<td>digitale Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>16</td>
<td>AGND</td>
<td>analoge Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>17</td>
<td>PHOS4_ADD5</td>
<td>I2C Adresse für den Phos4</td>
<td>Control In</td>
</tr>
<tr>
<td>18</td>
<td>PHOS4_ADD2</td>
<td>I2C Adresse für den Phos4</td>
<td>Control In</td>
</tr>
<tr>
<td>19</td>
<td>JTAGTDI</td>
<td>JTAG Eingang für Testdaten</td>
<td>Test In</td>
</tr>
<tr>
<td>20</td>
<td>PHOS4_ADD3</td>
<td>I2C Adresse für den Phos4</td>
<td>Control In</td>
</tr>
<tr>
<td>21</td>
<td>JTAGTDO</td>
<td>JTAG Ausgang für Testdaten</td>
<td>Test Out</td>
</tr>
<tr>
<td>22</td>
<td>PHOS4_ADD4</td>
<td>I2C Adresse für den Phos4</td>
<td>Control In</td>
</tr>
<tr>
<td>23</td>
<td>DGND</td>
<td>digitale Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>24</td>
<td>AGND</td>
<td>analoge Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>25</td>
<td>EXTBCID3</td>
<td>externes BCID für Kanal 4</td>
<td>Digital In</td>
</tr>
<tr>
<td>26</td>
<td>ADC4_IN</td>
<td>analoges Eingangssignal für den ADC4</td>
<td>Analog In</td>
</tr>
<tr>
<td>27</td>
<td>DGND</td>
<td>digitale Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>28</td>
<td>AGND</td>
<td>analoge Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>29</td>
<td>ADC_CLK</td>
<td>40 MHz LHC-Takt</td>
<td>Digital In</td>
</tr>
<tr>
<td>30</td>
<td>JTAGRST</td>
<td>JTAG Test Reset</td>
<td>Test In</td>
</tr>
</tbody>
</table>

**Tabelle B.1: Pin Definition für den Eingangsstecker**
<table>
<thead>
<tr>
<th>Pin</th>
<th>Signal-Name</th>
<th>Beschreibung</th>
<th>Wert</th>
</tr>
</thead>
<tbody>
<tr>
<td>31</td>
<td>DVCC</td>
<td>digitale Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
<tr>
<td>32</td>
<td>DVCC</td>
<td>digitale Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
<tr>
<td>33</td>
<td>DVCC</td>
<td>digitale Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
<tr>
<td>34</td>
<td>DVCC</td>
<td>digitale Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
<tr>
<td>35</td>
<td>EXTBCID2</td>
<td>externes BCID für Kanal 3</td>
<td>Digital In</td>
</tr>
<tr>
<td>36</td>
<td>ADC3.IN</td>
<td>analoges Eingangssignal für den ADC3</td>
<td>Analog In</td>
</tr>
<tr>
<td>37</td>
<td>DGND</td>
<td>digitale Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>38</td>
<td>AGND</td>
<td>analoge Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>39</td>
<td>SCL</td>
<td>I2C Takt</td>
<td>Control In</td>
</tr>
<tr>
<td>40</td>
<td>JTAGTMS</td>
<td>JTAG Test Mode Select</td>
<td>Test In</td>
</tr>
<tr>
<td>41</td>
<td>GENOUTI</td>
<td>allgemeines Ausgangsbit von PPrASIC Register</td>
<td>Control Out</td>
</tr>
<tr>
<td>42</td>
<td>PHOS4ERROR</td>
<td>Phos4 Feedback-Leitung</td>
<td>Control Out</td>
</tr>
<tr>
<td>43</td>
<td>TEMPMEASURE</td>
<td>Temperatursensor im PPrASIC</td>
<td>Control Out</td>
</tr>
<tr>
<td>44</td>
<td>JTAGTCK</td>
<td>JTAG Test Takt</td>
<td>Test In</td>
</tr>
<tr>
<td>45</td>
<td>DGND</td>
<td>digitale Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>46</td>
<td>AGND</td>
<td>analoge Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>47</td>
<td>EXTBCID10</td>
<td>externes BCID für Kanal 1</td>
<td>Digital In</td>
</tr>
<tr>
<td>48</td>
<td>ADC1.IN</td>
<td>analoges Eingangssignal für den ADC1</td>
<td>Analog In</td>
</tr>
<tr>
<td>49</td>
<td>AGND</td>
<td>analoge Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>50</td>
<td>AGND</td>
<td>analoge Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>51</td>
<td>AGND</td>
<td>analoge Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>52</td>
<td>AGND</td>
<td>analoge Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>53</td>
<td>AVDD</td>
<td>analoge Spannungsversorgung</td>
<td>+5.0 V</td>
</tr>
<tr>
<td>54</td>
<td>AVDD</td>
<td>analoge Spannungsversorgung</td>
<td>+5.0 V</td>
</tr>
<tr>
<td>55</td>
<td>AVDD</td>
<td>analoge Spannungsversorgung</td>
<td>+5.0 V</td>
</tr>
<tr>
<td>56</td>
<td>AVDD</td>
<td>analoge Spannungsversorgung</td>
<td>+5.0 V</td>
</tr>
<tr>
<td>57</td>
<td>DVCC</td>
<td>digitale Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
<tr>
<td>58</td>
<td>DVCC</td>
<td>digitale Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
<tr>
<td>59</td>
<td>DVCC</td>
<td>digitale Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
<tr>
<td>60</td>
<td>DVCC</td>
<td>digitale Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
</tbody>
</table>

Tabelle B.2: Pin Definition für den Eingangsstecker (Fortsetzung)
<table>
<thead>
<tr>
<th>Pin</th>
<th>Signal-Name</th>
<th>Beschreibung</th>
<th>Wert</th>
</tr>
</thead>
<tbody>
<tr>
<td>1</td>
<td>DVCC</td>
<td>digitale Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
<tr>
<td>2</td>
<td>DVCC</td>
<td>digitale Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
<tr>
<td>3</td>
<td>DVCC</td>
<td>digitale Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
<tr>
<td>4</td>
<td>DVCC</td>
<td>digitale Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
<tr>
<td>5</td>
<td>DGND</td>
<td>digitale Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>6</td>
<td>LVDS1_SYNC1</td>
<td>Synchronisationsmuster für LVDS1 Ser.</td>
<td>CMOS In</td>
</tr>
<tr>
<td>7</td>
<td>LVDS1.DO</td>
<td>Serieller Ausgang des LVDS1 Ser.</td>
<td>LVDS Out</td>
</tr>
<tr>
<td>8</td>
<td>SEROUT1</td>
<td>Ausgang erste ser. Schnittst. von PPrASIC</td>
<td>CMOS Out</td>
</tr>
<tr>
<td>9</td>
<td>LVDS1.DOBAR</td>
<td>Komplement zu LVDS1.DO</td>
<td>LVDS Out Bar</td>
</tr>
<tr>
<td>10</td>
<td>DGND</td>
<td>digitale Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>11</td>
<td>DGND</td>
<td>digitale Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>12</td>
<td>L1ACCEPT</td>
<td>Level1Accept-Signal</td>
<td>CMOS In</td>
</tr>
<tr>
<td>13</td>
<td>LVDS1.DEN</td>
<td>Data Output Enable für LVDS1 Ser.</td>
<td>CMOS In</td>
</tr>
<tr>
<td>14</td>
<td>PPRASICCLK</td>
<td>Takt für PPrASIC</td>
<td>CMOS In</td>
</tr>
<tr>
<td>15</td>
<td>AGND</td>
<td>analoge Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>16</td>
<td>AGND</td>
<td>analoge Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>17</td>
<td>GENOUT3</td>
<td>allgemeines Ausgangsbj von PPrASIC Register</td>
<td>Control Out</td>
</tr>
<tr>
<td>18</td>
<td>LVDS1.TCLK</td>
<td>Takt für LVDS1 Ser.</td>
<td>CMOS In</td>
</tr>
<tr>
<td>19</td>
<td>AVCC</td>
<td>analoge Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
<tr>
<td>20</td>
<td>AVCC</td>
<td>analoge Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
<tr>
<td>21</td>
<td>SER_IN2</td>
<td>Eingang zweite ser. Schnittst. von PPrASIC</td>
<td>CMOS In</td>
</tr>
<tr>
<td>22</td>
<td>LVDS2.SYNC1</td>
<td>Synchronisationsmuster für LVDS2 Ser.</td>
<td>CMOS In</td>
</tr>
<tr>
<td>23</td>
<td>SERFRAME</td>
<td>Frame Select für ser. Schnittst. PPrASIC</td>
<td>Control In</td>
</tr>
<tr>
<td>24</td>
<td>LVDS1.TCK.R.F</td>
<td>Wahl der Flanke für Eingang des LVDS1 Ser.</td>
<td>Control In</td>
</tr>
<tr>
<td>25</td>
<td>SERCLK</td>
<td>Takt für ser. Schnittst. von PPrASIC</td>
<td>CMOS In</td>
</tr>
<tr>
<td>26</td>
<td>SYNCPLAYBACK</td>
<td>Start für synchr. Playback</td>
<td>CMOS In</td>
</tr>
<tr>
<td>27</td>
<td>DGND</td>
<td>digitale Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>28</td>
<td>SYNCREADOUT</td>
<td>Start für synchr. Speicherauslese</td>
<td>CMOS In</td>
</tr>
<tr>
<td>29</td>
<td>LVDS2.DO</td>
<td>Serieller Ausgang des LVDS2 Ser.</td>
<td>LVDS Out</td>
</tr>
<tr>
<td>30</td>
<td>SEROUT2</td>
<td>Ausgang zweite ser. Schnittst. von PPrASIC</td>
<td>CMOS Out</td>
</tr>
</tbody>
</table>

Tabelle B.3: Pin Definition für den Ausgangsstecker
<table>
<thead>
<tr>
<th>Pin</th>
<th>Signal-Name</th>
<th>Beschreibung</th>
<th>Wert</th>
</tr>
</thead>
<tbody>
<tr>
<td>31</td>
<td>LVDS2.DOBAR</td>
<td>Komplement zu LVDS2.DO</td>
<td>LVDS Out Bar</td>
</tr>
<tr>
<td>32</td>
<td>DGND</td>
<td>digitale Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>33</td>
<td>DGND</td>
<td>digitale Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>34</td>
<td>GENOUT4</td>
<td>allgemeines Ausgangsbit von PPrASIC Register</td>
<td>Control Out</td>
</tr>
<tr>
<td>35</td>
<td>LVDS3_SYNC1</td>
<td>Synchronisationsmuster für LVDS3 Ser.</td>
<td>CMOS In</td>
</tr>
<tr>
<td>36</td>
<td>LVDS2_DEN</td>
<td>Data Output Enable für LVDS2 Ser.</td>
<td>CMOS In</td>
</tr>
<tr>
<td>37</td>
<td>EVCNTRES</td>
<td>Level1 Ereignisnummer Reset</td>
<td>CMOS In</td>
</tr>
<tr>
<td>38</td>
<td>SER.IN1</td>
<td>Eingang erste ser. Schnittst. von PPrASIC</td>
<td>CMOS In</td>
</tr>
<tr>
<td>39</td>
<td>BCCNTRES</td>
<td>Bunch-Crossing Zähler Reset</td>
<td>CMOS In</td>
</tr>
<tr>
<td>40</td>
<td>LVDS2.TCK.R_F</td>
<td>Wahl der Flanke für Eingang des LVDS2 Ser.</td>
<td>Control In</td>
</tr>
<tr>
<td>41</td>
<td>GENOUT2</td>
<td>allgemeines Ausgangsbit von PPrASIC Register</td>
<td>Control Out</td>
</tr>
<tr>
<td>42</td>
<td>LVDS2.TCLK</td>
<td>Takt für LVDS2 Ser.</td>
<td>CMOS In</td>
</tr>
<tr>
<td>43</td>
<td>AVCC</td>
<td>analoge Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
<tr>
<td>44</td>
<td>AVCC</td>
<td>analoge Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
<tr>
<td>45</td>
<td>RESETBAR</td>
<td>Reset für PPrASIC</td>
<td>Control In</td>
</tr>
<tr>
<td>46</td>
<td>LVDS3_DEN</td>
<td>Data Output Enable für LVDS3 Ser.</td>
<td>CMOS In</td>
</tr>
<tr>
<td>47</td>
<td>AGND</td>
<td>analoge Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>48</td>
<td>AGND</td>
<td>analoge Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>49</td>
<td>DGND</td>
<td>digitale Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>50</td>
<td>LVDS3.TCK.R_F</td>
<td>Wahl der Flanke für Eingang des LVDS3 Ser.</td>
<td>Control In</td>
</tr>
<tr>
<td>51</td>
<td>LVDS3.DO</td>
<td>Serieller Ausgang des LVDS3 Ser.</td>
<td>LVDS Out</td>
</tr>
<tr>
<td>52</td>
<td>DGND</td>
<td>digitale Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>53</td>
<td>LVDS3.DOBAR</td>
<td>Komplement zu LVDS3.DO</td>
<td>LVDS Out Bar</td>
</tr>
<tr>
<td>54</td>
<td>DGND</td>
<td>digitale Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>55</td>
<td>DGND</td>
<td>digitale Masse</td>
<td>0 V</td>
</tr>
<tr>
<td>56</td>
<td>LVDS3.TCLK</td>
<td>Takt für LVDS3 Ser.</td>
<td>CMOS In</td>
</tr>
<tr>
<td>57</td>
<td>DVCC</td>
<td>digitale Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
<tr>
<td>58</td>
<td>DVCC</td>
<td>digitale Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
<tr>
<td>59</td>
<td>DVCC</td>
<td>digitale Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
<tr>
<td>60</td>
<td>DVCC</td>
<td>digitale Spannungsversorgung</td>
<td>+3.3 V</td>
</tr>
</tbody>
</table>

Tabelle B.4: Pin Definition für den Ausgangsstecker (Fortsetzung)
Anhang C

Schaltplan der MCM Testkarte
Literaturverzeichnis


http://www.analog.com

[10] **CERN-Microelectronics group**, *PHOS4 - 4 Channel delay generation ASIC with 1 ns resolution*,
http://cerb.web.cern.ch/CERN/Divisions/ECP/MIC/WelcomeMIC.html

http://www.national.com

[12] **The ATLAS group at the KIP Heidelberg**, *Pre-Processor Module (PPM) for the ATLAS Level-1 Calorimeter Trigger*,
Universität Heidelberg, 2001
http://wwwwasic.kip.uni-heidelberg.de/atlas/docs/index.html

[13] **P. Hanke, KIP Heidelberg**, *A daugther board with Line- Receivers on the Pre-Processor Module of the ATLAS Level-1 Calorimeter Trigger*,
Universität Heidelberg, 2001
http://wwwwasic.kip.uni-heidelberg.de/atlas/docs/index.html

http://web.kip.uni-heidelberg.de/atlas/docs/testpulses.html

Universität Heidelberg, 2001
http://wwwwasic.kip.uni-heidelberg.de/atlas/docs/index.html

Universität Heidelberg, 1999
http://wwwwasic.kip.uni-heidelberg.de/atlas/docs/index.html

[17] **Cornelius Schumacher**, *The Readout Bus of the ATLAS Level-1 Calorimeter Trigger Pre-Processor*,
http://wwwwasic.kip.uni-heidelberg.de/atlas/docs/publications.html

[18] **Bernd Stelzer**, *A Read-Out Driver Prototype-1 for the ATLAS Level-1 Calorimeter Trigger Pre-Processor*,
Diplomarbeit, Universität Heidelberg, [HD-KIP 00-46], (2000)
http://wwwwasic.kip.uni-heidelberg.de/atlas/docs/publications.html


[37] **Ralf Achenbach**, *Private Mitteilung*

[38] **Paul Hanke**, *ATLAS Level-1 Pre-Processor-Components*, July 2001

[39] **Frau Gebhardt von Hasec Electronic**, *Private Mitteilung*


[41] **MAXIM**, *Max529, Octal, 8-Bit, Serial DACs with Output Buffer*, http://www.maxim-ic.com


[47] **Specification of a common TTC decoder card (TTCdec)**, http://hepwww.rl.ac.uk/Atlas-L1/Modules/Modules.html


Danksagung

Ich möchte allen Menschen danken, die, auf die eine oder andere Weise, zum Gelingen meiner Diplomarbeit beigetragen haben.

- Prof. Meier für die Möglichkeit, meine Diplomarbeit am ASIC-Labor durchzuführen.
- Prof. Uwer übernahm freundlicherweise die Zweitkorrektor der Arbeit.
- Ullrich Pfeiffer für die Übergabe des Prä-Prozessor Multichip-Modul Projektes und die Hilfe bei der Einarbeitung in das Layout-Programm ”APD”.
- Paul Hanke, der mit seinem Humor die oft tristen Gruppenbesprechungen aufheiter-te.
- Von Klaus Schmitt erfuhr ich eine ausgezeichnete Betreuung.
- Peter Stock übernahm freundlicherweise die Erstellung des Layouts für meine MCM Testkarte.
- Oliver Nix las meine Arbeit gründlich Korrektur und fand noch jede Menge Unge-reimtheiten.
- Karsten Penno für die genaue Durchsicht meiner Arbeit.
- Ohne Thomas Nirmaier wäre die Zeit weitaus trister gewesen. Er stellte auch immer, wenn benötigt, seine Hilfe zur Verfügung.
Erklärung:

Ich versichere, dass ich diese Arbeit selbständig verfasst und keine anderen als die angegebenen Quellen und Hilfsmittel benutzt habe.

Heidelberg, ........................ ................................