

RUPRECHT-KARLS-UNIVERSITÄT HEIDELBERG



KIRCHHOFF-INSTITUT FÜR PHYSIK

Fakultät für Physik und Astronomie

Ruprecht-Karls-Universität Heidelberg

Diplomarbeit

im Studiengang Physik

vorgelegt von

Christian Reichling

aus Lennestadt

2001

**Entwicklung eines Quadport Memory
für den Einsatz in einem Triggerprozessor
am CERN**

Die Diplomarbeit wurde von *Christian Reichling* ausgeführt am

Kirchhoff-Institut für Physik

unter der Betreuung von

Herrn Prof. Dr. Volker Lindenstruth

Entwicklung eines Quadport Memory für den Einsatz in einem speziellen Prozessor am CERN

In der vorliegenden Arbeit wird die Entwicklung eines Quadport Memory dargestellt. Hierbei handelt es sich um einen statischen Speicher, der vier verschiedenen Prozessorkernen gleichzeitigen und unabhängigen Zugriff erlaubt. Dieser Speicher soll in einem speziellen MIMD Prozessor als Daten- und Instruktionsspeicher integriert werden, dessen Aufgabe es ist steife Spuren in einem Detektor zu finden und diese zu parametrisieren. Dieser Prozessor ist Teil eines Triggersystems. Im Rahmen dieser Arbeit wurde der Speicher entwickelt, in einer Teststruktur integriert und ein Prototyp wurde gefertigt.

Development of a Quadport Memory for the application in a special processor at CERN.

In the present work is represented the development a Quadport Memory. In this connection, it is about a static memory which allows simultaneous and independent access of four different processor cores. This memory should be integrated in a special MIMD processor as data and instruction memory, whose task it is to find stiff tracks in a detector and those to parameterize . This processor is a part of a trigger system. Within the framework of this work the memory was developed, in a test structure integrates and a prototype was manufactured..

Inhaltsverzeichnis

Kapitel 1	Einleitung	8
Kapitel 2	Grundlagen	12
2.1	Das Experiment	12
2.2	TRD Trigger Elektronik	18
Kapitel 3	CMOS Technologie	22
3.1	Grundlagen der CMOS Technologie	22
3.2	CRSRAM	26
Kapitel 4	Aufbau und Funktion des Quadport Memory (QPM)	29
4.1	Überblick	30
4.2	Funktion	31
4.3	Ein Bit Zelle	32
4.4	Vorladeeinheit	35
4.5	Schreibereinheit	37
4.6	Adressdekoder	40
4.7	Senseamplifier	41
4.8	Signalgenerator (Delayer)	44
4.9	Integration der Speicherblöcke in ein Standardzellendesign	46
4.10	Teststruktur	48
4.11	Charakteristische Größen	51
Kapitel 5	Skalierbarkeit	53
5.1	Anzahl Bits pro Zeile	53
5.2	Anzahl der Speicherzeilen	54
5.3	Anzahl der Zugänge	54
5.4	Technologie	55
Kapitel 6	Zusammenfassung und Ausblick	58
	Literaturverzeichnis	60

Kapitel 1

Einleitung

Das Standardmodell der Kosmologie, die Urknall-Theorie, besagt, dass unser Universum aus einer unendlich dichten und unendlich heißen Singularität entstand, die sich rapide ausdehnte und dadurch abkühlte. Auch ca. 15 Milliarden Jahre später können wir heute immer noch die Expansion des Universums feststellen und die mittlerweile auf ca. 3 Grad über den absoluten Nullpunkt abgekühlte kosmische Hintergrundstrahlung beobachten.

Der von Edwin Powell Hubble 1929 nachgewiesene und nach ihm benannte Hubble-Effekt, der besagt, dass sich entfernte Objekte umso schneller von uns fortbewegen, je größer die Entfernung zu ihnen ist, sowie die von Robert Woodrow Wilson und Arno Penzias 1965 entdeckte kosmische Hintergrundstrahlung, sind die wichtigsten experimentellen Belege für die Urknall-Theorie.

In den ersten Sekundenbruchteilen entwickelte sich das Universum sehr schnell und durchlief eine Reihe von Phasenübergängen. So waren zu Beginn des Universums in der sogenannten Plank-Ära alle Teilchen in einem thermodynamischen Gleichgewicht, da genug Energie vorhanden war, alle Teilchen ineinander umzuwandeln. Es gab keinen Unterschied zwischen Quarks und Leptonen (den Grundbausteinen der Materie) und daher waren auch alle Wechselwirkungen, also die starke, die schwache und die elektromagnetische Wechselwirkung sowie vermutlich auch die Gravitation, zu einer einzigen Kraft vereint. Nach 10^{-35} Sekunden in der Quark-Ära war die Temperatur bereits soweit gefallen, dass es eine Symmetriebrechung zwischen der starken Wechselwirkung und der elektroschwachen Wechselwirkung gab. (Die Gravitation hat sich vermutlich noch früher von den übrigen

Kräften entkoppelt, hier gibt es aber noch keine befriedigende physikalische Theorie). Ungefähr 10^{-11} Sekunden nach dem Urknall entkoppelten sich dann auch die elektromagnetische und schwache Wechselwirkung. Nachdem sich die Materie im Universum nach 10^{-6} Sekunden auf eine Temperatur von ca. $100 \text{ MeV} \approx 1,16 \cdot 10^{12}$ Kelvin abgekühlt hatte, durchlief das Universum einen weiteren Phasenübergang in die Hadronen-Ära. Es bildeten sich Hadronen als Bindungen der sich vormals freibewegenden Quarks und Gluonen.

Der Zustand, in dem sich die Quarks und Gluonen befanden bevor sie Hadronen bildeten, wird Quark-Gluon-Plasma genannt, in Analogie zur Atomphysik, wo Plasma den Zustand bezeichnet, in dem die Atome vollständig in Elektronen und Atomkerne aufgespalten sind.

Um diesen Zustand des Quark-Gluon-Plasmas zu erzeugen und zu untersuchen, werden in Schwerionenexperimenten Atomkerne zur Kollision gebracht. Dabei müssen Energiedichten, die dem 20fachen normaler Materie und Temperaturen von mehr als dem 100 000fachen der Kerntemperatur unserer Sonne entsprechen, erzeugt werden. Dann werden nicht nur die Atomkerne in Protonen und Neutronen, sondern auch diese Nukleonen in ihre Komponenten Quarks und Gluon aufgebrochen. Da diese Komponenten dann nicht mehr einzelnen Nukleonen zugeordnet werden können, bildet sich das Quark-Gluon-Plasma.

Die Theorie der statistischen Quantenchromodynamik (QCD) sagt voraus, dass der Phasenübergang in das Quark-Gluon-Plasma bei Kern-Kern-Stößen bei einer Temperatur von 150 – 170 MeV stattfindet. Die experimentelle Überprüfung dieses Aspektes der Theorie der starken Wechselwirkung ist ein wichtiger Test dieser Theorie.

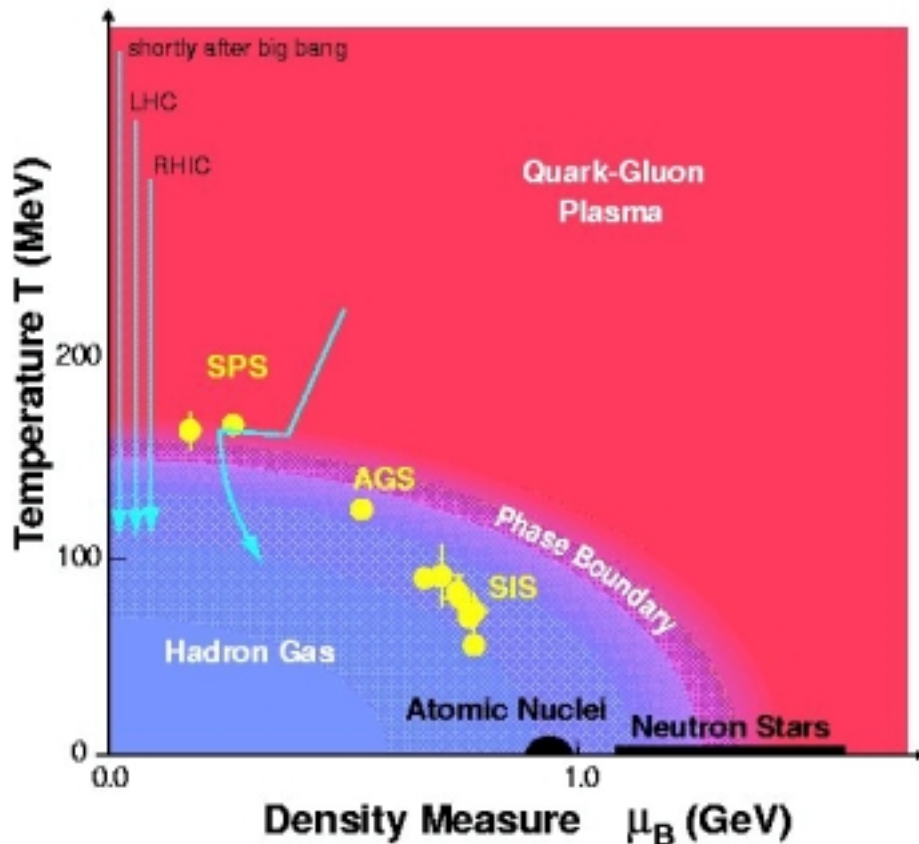


Abbildung 1.1: Phasendiagramm der Kernmaterie. Die Pfeile kennzeichnen den Weg der Materie nach dem Urknall und in verschiedenen Beschleunigern

Nach der Bildung des Quark-Gluon-Plasmas kühlt dieses aus und es bilden sich Hadronen, etwa wie zu Beginn des Universums. Diese Hadronen können dann in Detektoren nachgewiesen werden und geben Rückschlüsse über die Zustände bei der Kollision und in dem Plasma.

Das Quark-Gluon-Plasma wird indirekt über die Produktionsraten verschiedener Teilchen und andere Kriterien nachgewiesen. Ein wichtiges Teilchen hierbei ist das Vektormeson J/ψ . Es entsteht zu Beginn der Kollision, wenn die kollidierenden Teilchen noch über einen Grossteil ihrer Energie verfügen. Allerdings werden ein Teil dieser J/ψ s beim Phasenübergang zum Quark-Gluon-Plasma zerstört. Somit ist ihre Anzahl bei Stößen, bei denen das Plasma entsteht, geringer als bei Stößen, bei denen das nicht der Fall ist.

Ein weiteres Anzeichen ist das vermehrte Auftreten von Teilchen, die Strange-Quarks enthalten, in Kern-Kern-Reaktionen. Da Strange-Quarks nach der Bildung von Hadronen nicht mehr erzeugt werden, müssen diese vorher in einer Phase mit „freien“ Quarks und Gluonen entstanden sein.

Dieses und weitere Indizien konnten schon in verschiedenen Experimenten am Teilchenforschungszentrum CERN bei Genf nachgewiesen werden, wo die Existenz dieses neuen Zustandes der Materie im Februar 2000 bekannt gegeben wurde. [1]

In dem geplanten ALICE Experiment am LHC-Beschleuniger am CERN soll dieser Zustand der Materie, das Quark-Gluon-Plasma, bei weitaus höheren Energien erzeugt und genauer untersucht werden.

Dabei ist es ein großes Problem, diejenigen Kern-Kern-Stöße zu beobachten, die wirklich so zentral erfolgt sind, dass das Quark-Gluon-Plasma entsteht und die weniger interessanten Stöße herauszufiltern, also die Detektoren auf interessante Ereignisse zu triggern.

Das Ziel dieser Arbeit ist es, einen speziellen Speicher für einen Prozessor zu entwickeln, der die Spur von steifen Elektronen, d.h. Elektronen mit einem großen transversal Impuls, findet, rekonstruiert und berechnet. Anhand dieser Daten treffen dann spätere Einheiten die Triggerentscheidung und veranlassen das Auslesen der Detektoren.

Bei dem Prozessor handelt es sich um einen Multiple Instruction Multiple Data Prozessor (MIMD), also ein Prozessor der gleichzeitig verschiedene Befehle auf verschiedene Daten anwenden kann. Der Prozessor besteht aus vier eigenständigen Prozessorkernen. Damit diese gleichzeitig und unabhängig voneinander auf Daten und Befehle zugreifen können, wurde ein statischer Speicher entwickelt, der über vier unabhängige bidirektionale Zugänge verfügt.

Im nächsten Kapitel wird das Experiment Alice vorgestellt, in dem dieser Speicher eingesetzt werden soll. Das dritte Kapitel gibt einen Einblick in die CMOS Technologie und stellt eine erste Version des Speichers vor, die mit Standardzellen realisiert wurde. Das vierte Kapitel behandelt die zweite größere und im Full Custom Design entworfene und hergestellte Version des Speichers und stellt dessen Komponenten vor. Im fünften Kapitel wird die Skalierbarkeit dieses Full Custom Design behandelt, also das Verhalten der benötigten Chipfläche bei Variation von Speichergröße, Anzahl der Zugänge und Herstellungsprozess. Im letzten Kapitel wird eine Zusammenfassung und ein kurzer Ausblick auf zukünftige Schritte in diesem Projekt gegeben

Kapitel 2

Grundlagen

2.1 Das Experiment

Der LHC Beschleuniger

Im Jahre 2005 soll der große Hadronen-Kollidierer (Large Hadron Collider: LHC) [2] in Betrieb gehen. Er wird in dem bestehenden Tunnel des Elektron-Positron-Kollidierers (Large Electron Positron Collider: LEP) installiert, der sich in ca. 100 Meter Tiefe zwischen den Alpen und dem Jura bei Genf befindet und einen Umfang von 27 km hat. Der LHC kann sowohl Protonen mit einer Schwerpunktennergie von 14 TeV als auch Bleiionen mit einer Schwerpunktennergie von 1150 TeV zur Kollision bringen.

Es werden Magnetfelder mit Stärken von über 8 Tesla benötigt, um die Teilchenstrahlen auf den Bahnen im LHC zu halten (zum Vergleich: die Stärke des Erdmagnetfeldes beträgt am Nordpol 0.00006 Tesla, weniger als ein 100 000-stel des LHC-Feldes). Felder dieser Stärke werden durch supraleitende Magnete erzeugt.

Die Protonen oder Schwerionen werden in den vorhandenen Beschleunigern Proton Synchrotron (PS) und Super Proton Synchrotron (SPS) vorbeschleunigt, um dann in jeweils zwei gegenläufige Strahlen in den LHC injiziert zu werden, wo sie weiter beschleunigt und schließlich an vier Punkten zur Kollision gebracht werden.

Layout of the LEP tunnel including future LHC infrastructures.

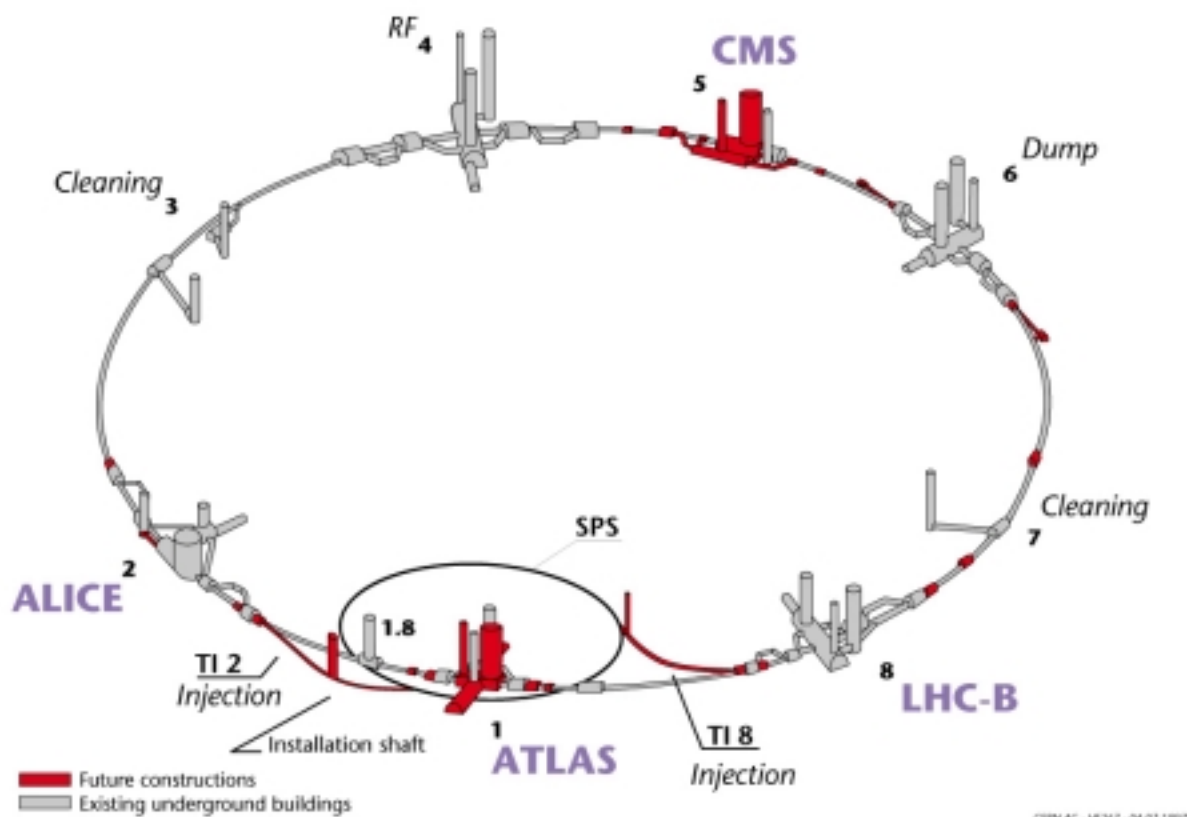


Abbildung 2.1: Übersicht über den jetzigen LEP und zukünftigen LHC Tunnel

An jedem dieser vier Kollisionspunkte befindet sich ein Detektor, welcher die bei der Kollision entstehenden Teilchen nachzuweisen versucht. Drei dieser Experimente sind für den Protonbetrieb ausgelegt. Dabei handelt es sich um die Experimente ATLAS (A Toroidal LHC ApparatuS) und CMS (Compact Muon Solenoid). Diese untersuchen vornehmlich die Natur der Masse. Hier soll besonders das Higgs-Boson erzeugt und untersucht werden, sowie weitere über das Standardmodell der Teilchenphysik hinausgehende Theorien wie zum Beispiel die Supersymmetrie. Außerdem untersucht das LHCb-Experiment die mögliche CP-Verletzung im B-Mesonen-System, was zur Lösung der Frage nach dem Ungleichgewicht zwischen Materie und Antimaterie im Universum beitragen kann.

Das Experiment ALICE (A Large Ion Collider Experiment) ist hingegen für den Schwerionenbetrieb vorgesehen und soll das Quark-Gluonen-Plasma näher untersuchen. Dies ist ein Zustand, in dem sich die Materie in den ersten wenigen Mikrosekunden nach dem Urknall befand. Dieses Experiment wird im Folgenden näher beschrieben.

Im Proton Modus wird die Kollisionsenergie der Konstituenten der Protonen, also Quarks und Gluonen, um den Faktor 10 größer sein und auch die Luminosität wird zwei Größenordnungen über den bei bereits bestehenden Anlagen erreichten Werten sein. Eine besondere Herausforderung für die Konstruktion der Anlage ist der große Strahlstrom, er beträgt mehr als 0.5 Ampere. LHC wird die erste Anlage sein, bei der dieser hohe Strahlstrom

bei so einer hohen Energie verwendet wird. Außerdem wird der LHC die größte supraleitende Anlage der Welt werden.

Auch im Schwerionen Modus wird die Anlage alle bereits vorhandenen Anlagen übertreffen. So wird die Luminosität um eine Größenordnung und die Kollisionsenergie um den Faktor 30 größer als bereits erreichte Werte sein.

Der ALICE – Detektor

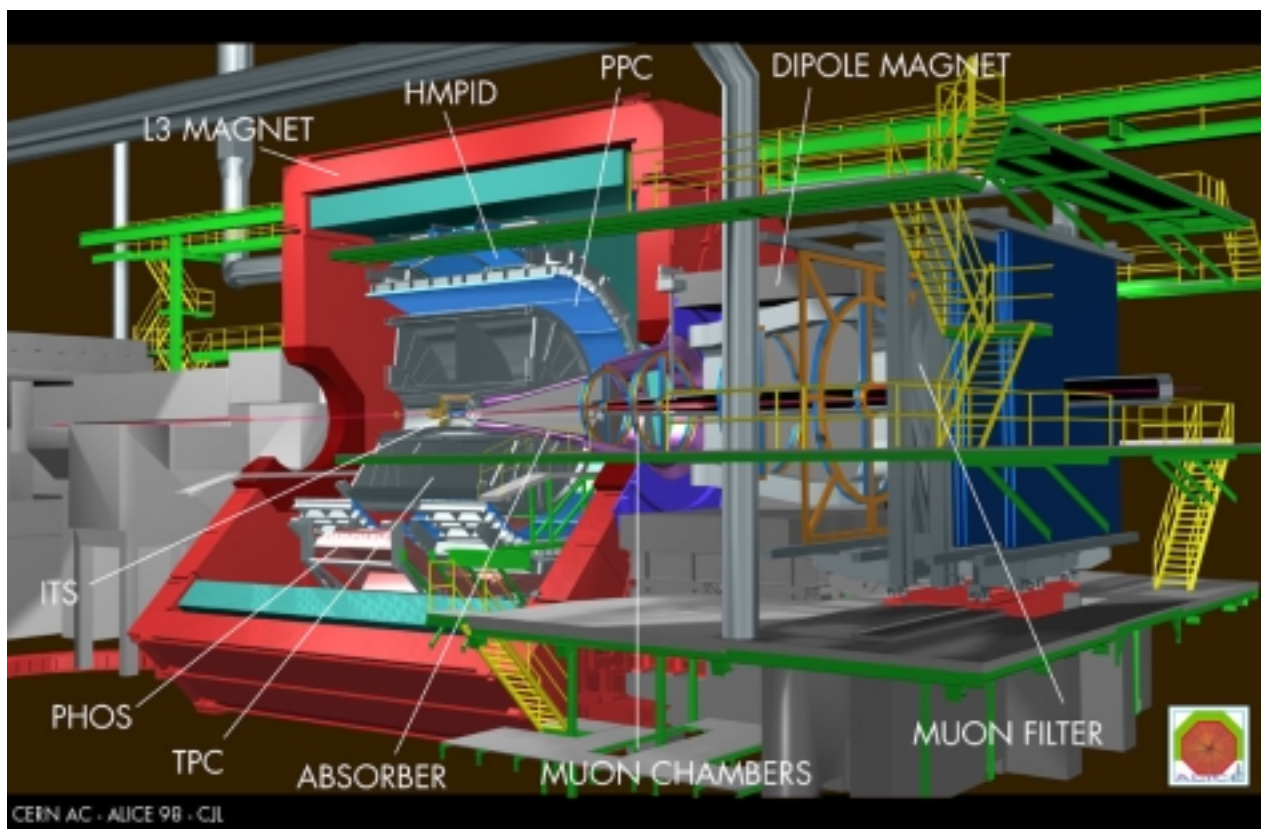


Abbildung 2.2: Der ALICE Detektor

Das Experiment ALICE [5] soll hauptsächlich die Vorgänge untersuchen, die bei der Kollision von Schwerionen stattfinden. Hierbei befindet sich die Materie in einem Zustand mit extrem hohen Energiedichten und Temperaturen, sowie einem baryochemischen Potential in der Nähe von Null. Dabei ist eine besondere Schwierigkeit die große Anzahl von Teilchen, die bei Kollisionen von Schwerionen entstehen. Bei 8000 Kollisionen pro Sekunde entstehen jeweils mehr als 24 000 Teilchen, die zum großen Teil identifiziert werden müssen, um das Ereignis zu rekonstruieren.

Der Detektor ist in verschiedene Einheiten aufgeteilt, die verschiedene Bereiche der Pseudorapidität η abdecken¹. Die drei Haupteinheiten sind der Zentralbereich mit einer Pseudorapidität von $-0,9 < \eta < 0,9$, das Vorwärts-Myon-Spektrometer mit $2,5 < \eta < 4$ und die übrigen Vorwärtsdetektoren für $\eta > 4$.

Dabei besteht der Zentralbereich aus den Unterdetektoren ITS, TPC, TRD, TOF, PHOS und HMPID und außerdem den Magneten des LEP-Experimentes L3. Die Unterdetektoren ZDC (Zero Degree Calorimeter), FMD (Forward Multiplicity Detector), CASTOR (Centrauro And Strange Object Research) und PMD (Photon Multiplicity Detector) bilden die übrigen Vorwärtsdetektoren. Die einzelnen Unterdetektoren des Zentralbereiches werden im Folgenden beschrieben.

Der gesamte Detektor wird ein Gewicht von 10 000 t haben und 25 m lang sowie 15 m hoch sein.

Das Innere Tracking System (ITS)

Das Innere Tracking System [6] ist der Detektor, der sich am dichtesten am Kollisionspunkt befindet. Er dient der Bestimmung von Primär- und Sekundärvertices, welche benötigt werden, um Zerfälle von Teilchen mit Charm- oder Strange-Quarks zu rekonstruieren. Außerdem soll er Teilchen mit niedrigem Impuls auffinden und identifizieren, sowie mit der TPC zusammenarbeiten, um die Impuls- und Winkelauflösung zu verbessern.

Das System besteht aus sechs Siliziumschichten, welche zylindrisch um das Strahlrohr angebracht sind. Das Strahlrohr bestimmt den inneren Radius von ca. 3 cm dieses Detektors. Der äußere Radius beträgt ca. 50 cm und ist durch die gemeinsame Spurerkennung mit der TPC bestimmt. Die Ausdehnung in z-Richtung beträgt ca. 1 m, was eine aktive Fläche von ungefähr 7 m² ergibt.

Die Zeit-Projektions-Kammer (TPC)

Die Zeit-Projektions-Kammer (Time Projection Chamber, TPC) [7] ist der wichtigste Unterdetektor des ALICE-Experimentes und liefert die größte Datenmenge. Die TPC dient zusammen mit den anderen Detektoren des Zentralbereichs (also dem ITS und dem TRD) der Teilchenidentifikation, Impulsmessung, Vertexbestimmung und der Bestimmung weiterer physikalischer Größen.

Sie hat die Form eines Hohlzylinders mit einem Durchmesser von 1,14 m und 5,56 m sowie einer Länge von 5,1 m und ist mit Gas gefüllt. In der Mitte dieses Hohlzylinders befindet sich die zentrale Hochspannungselektrode (parallel zu den Endkappen des Hohlzylinders), so dass ein elektrisches Feld zwischen Hochspannungselektrode und den beiden Endkappen angelegt werden kann. Dadurch wandern die Elektronen, die von den nachzuweisenden Teilchen aus den Gasatomen herausgelöst wurden, in weniger als 100 μ s zu den beiden Endkappen. Hier werden sie dann von ca. 570 000 Vieldraht-Proportional-

¹ Die Pseudorapidität ist definiert als $\eta = -\ln(\tan(\theta/2))$. Dabei ist θ der Winkel relativ zum Strahlrohr.

Kammern mit Kathoden-Pads detektiert werden. Die maximale Auslesefrequenz der TPC liegt bei 200 Hz.

Der Übergangsstrahlungs-Detektor (TRD)

Der Übergangsstrahlungs-Detektor (Transition Radiation Detector, TRD) [8], wird hauptsächlich als Trigger für die TPC benutzt, da aufgrund der relativ niedrigen Auslesefrequenz der TPC viele interessante Ereignisse verloren gingen würde die TPC ohne Trigger betrieben. Insbesondere da solche Ereignisse, bei denen J/ψ s direkt produziert werden, nur in 5% aller Fälle auftreten.

Übergangsstrahlung ist die Strahlung, die von geladenen Teilchen emittiert wird, die die Grenze zwischen Materialien mit unterschiedlichem Brechungsindex überqueren. Ist das Teilchen im optisch dünneren Medium, bildet es zusammen mit seiner Spiegelladung im dichteren Medium einen Dipol. Die Feldstärke dieses Dipols ändert sich, bis sie bei Eintritt des Teilchen in das dichtere Medium verschwindet. Durch diese Feldstärkenänderung wird Strahlung erzeugt, die Übergangsstrahlung. Das Analoge geschieht beim Austritt aus dem dichteren Medium.

Da die Wahrscheinlichkeit, dass solche Strahlung emittiert wird, relativ klein ist, werden viele Schichten mit solchen Materialgrenzen benötigt. Bei Teilchen mit Lorentzfaktoren größer als 1000 liegt die Übergangsstrahlung im Röntgenbereich zwischen 2 und 30 keV.

Der TRD besteht aus 540 Detektormodulen. Von diesen Modulen sind jeweils 18 Module um den vollen Azimute angeordnet, in Richtung der Strahlachse befinden sich fünf dieser Ringe, die eine von sechs vorhandenen radialen Schichten bilden.

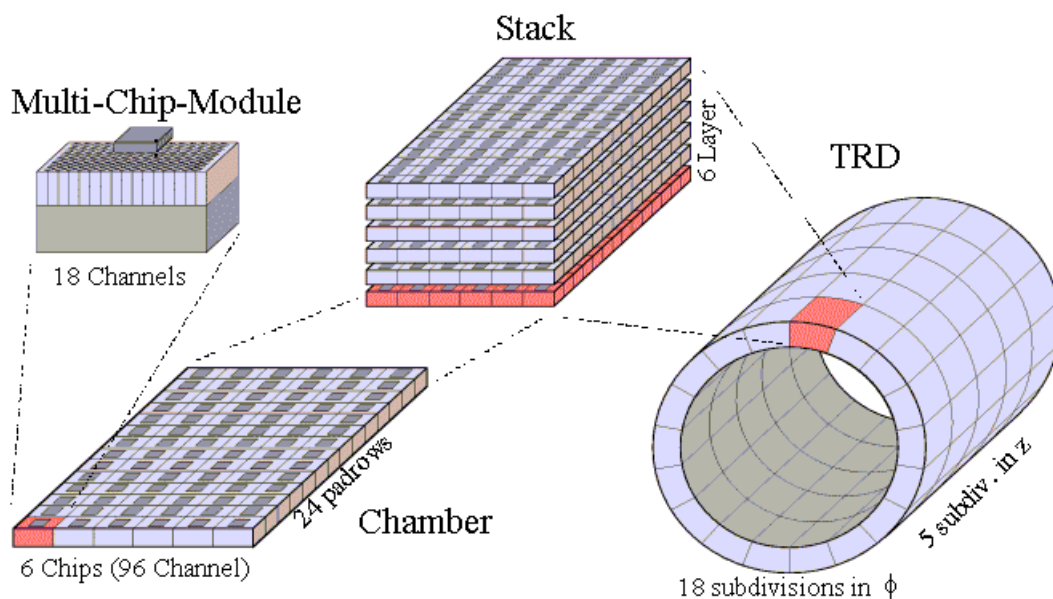


Abbildung 2.3: Aufbau des TRD

Jedes Modul besteht aus einem 4,8 cm dicken Radiator, in dem die Übergangsstrahlung entsteht, einer Multidraht-Proportional-Auslesekanal, sowie die Ausleseelektronik dieser Kanal. Ausgelesen werden die Signale, die auf die Kathodenflächen induziert werden. Eine Kathodenfläche ist ungefähr zwischen 6 und 7 cm² groß. Jedes Modul hat 144 dieser Auslesekanäle in azimuthaler Richtung und zwischen 12 und 16 dieser Reihen in Richtung der Strahlachse. Im gesamten TRD befindet sich somit eine aktive Fläche von ca. 736 m² die sich auf $1,16 \cdot 10^6$ Auslesekanäle aufteilt.

Die Auslesekanäle sind mit einem Gasgemisch gefüllt, welches aus 85% Xenon und 15% Kohlendioxid besteht. In den Kanälen befindet sich eine 3 cm tiefe Driftregion, die durch die von den Kathodendrähten gebildete 0,7 cm tiefe Verstärkungsregion unterteilt ist. Bei einer Driftgeschwindigkeit von 1,5 cm/μs beträgt die Driftzeit durch die Driftkanal 2,0 μs. Das hierfür benötigte elektrische Feld hat eine Stärke von 0,7 kV/cm. Jedes ionisierte Teilchen schlägt wiederum ca. 275 Elektronen pro Zentimeter aus den Gasatomen. Die Gasverstärkung liegt in der Größenordnung von $5 \cdot 10^3$. Die Nominalstärke des Magnetischen Feldes beträgt 0,4 Tesla und führt zu einem Lorentzwinkel von 8°.

Das induzierte Signal wird in 15 Zeitintervallen abgetastet, was einen Driftweg von 2 mm oder einer Driftzeit von 133 ns entspricht.

Der Flugzeit-Detektor (TOF)

Der Flugzeit-Detektor (Time Of Flight, TOF) [9] dient zur Bestimmung der Masse von Teilchen mit hohen Energien. Die Bestimmung der Teilchen mit kleineren Energien erfolgt über ihre spezifische Ionisation dE/dx. Bei höheren Energien ist dies nicht mehr möglich und die Identifikation erfolgt über die Zeit, die das Teilchen von dem Kollisionspunkt bis zum Detektor benötigt. Die TPC kann zusammen mit dem ITS Kaonen von Pionen über ihre spezifische Ionisation bis zu Impulsen von 0,5 GeV/c unterscheiden. Danach wird dies bis zu einem Impuls von etwa 2.5 GeV/c von dem TOF Detektor übernommen.

Der TOF Detektor besteht aus 160 000 zylindrisch angeordneten Parallel-Platten-Zählern und wird eine Zeitauflösung von etwa 150 ps haben.

Das Photon-Spektrometer (PHOS)

Das Photon-Spektrometer (PHOTon Spectrometer, PHOS) [10] dient zum Nachweis von hochenergetischen Photonen, π^0 s und η s.

PHOS ist ein elektromagnetisches Kalorimeter aus Blei-Wolfram-Kristallen mit hoher Granularität. Er befindet sich unterhalb der übrigen Detektoren des Zentralbereichs und nimmt eine Fläche von etwa 8 m² ein, so dass er den Bereich der Pseudorapazität von $-1,2 < \eta < 1,2$ ein und in azimuthaler Richtung 100° abdeckt.

Der Hochenergie-Teilchen-Identifikations-Detektor (HMPID)

Der Hochenergie-Teilchen-Identifikations-Detektor (High Momentum Particle Identification, HMPID) [11] soll, wie der Name sagt, hochenergetische Teilchen identifizieren, also Pionen, Kaonen und Protonen mit Impulsen von 1 bis 5 GeV/c. Es handelt sich um einen Ring-Imaging-Cerenkovzähler, der aus sieben Modulen besteht, die oben zwischen TOF und dem L3-Magneten angebracht sind.

Zur Identifikation wird aus dem Öffnungswinkel, der von den Teilchen emittierten Cerenkov-Photonen, die Geschwindigkeit der Teilchen ermittelt. So kann bei bekanntem Impuls ihre Masse berechnet werden.

Der L3-Magnet

Der L3-Magnet umgibt die Detektoren des Zentralbereichs. Er stammt von dem Experiment L3, das sich an der Stelle im jetzigen LHC befand, wo nun der ALICE Detektor entsteht. Der Magnet wird eine Feldstärke von 0.4 Tesla haben.

Das Myon-Spektrometer

Das Myon-Spektrometer soll Myon-Paare nachweisen, die aus Quarkonia-Zerfällen stammen. Das Spektrometer ist zum Schutz vor Hadronen und Photonen die direkt aus dem Wechselwirkungspunkt kommen mit einem Absorber versehen, der sich noch teilweise innerhalb des L3-Magneten befindet. Auch das Strahlrohr ist innerhalb des Spektrometers durch einen Absorber abgeschirmt. Die Spurkammern sind teilweise innerhalb eines weiteren Magneten angebracht. Hinter einem zweiten Absorber, der zusammen mit dem ersten Absorber Myonen bis zu einem Impuls von 4 GeV/c abschirmt, befinden sich die Triggerkammern.

2.2 TRD Trigger Elektronik

Die Aufgabe der Elektronik [12,13] ist es, Spuren von Teilchen mit hohem Transversalimpuls zu finden und zu rekonstruieren. Durch lineare Regression wird die Spur einer Geraden angenähert und deren Parameter berechnet. Diese Parameter werden weitergeleitet, um in nachfolgenden Instanzen eine Triggerentscheidung zu treffen.

Dieser Trigger löst bei interessanten Ereignissen den Ausleseprozess der TPC aus. Damit während des Entscheidungsprozesses nicht zu viele Informationen über das Ereignis in der TPC verloren gehen, stehen nur 6 μ s Zeit zur Verfügung, um zu entscheiden, ob die TPC ausgelesen wird oder nicht. Von diesen 6 μ s stehen der hier vorgestellten Elektronik 3,9 μ s zur Verfügung. Die restliche Zeit wird gebraucht um die gewonnen Daten zu nachfolgenden Instanzen zu versenden und sie dort weiterzuverarbeiten. Dem MIMD Prozessor, für den der Quadport Memory entwickelt wird, stehen diese Daten erst nach 2,35 μ s zur Verfügung.

Zu jedem Zeitpunkt i wird ein Punkt der Spur bestimmt (x_i, y_i) . Die angenommene Gerade hat die Gleichung:

$$y_i = a + bx_i$$

Der Achsenabschnitt a und die Steigung b sind für N Punkte bestimmt durch:

$$a = \frac{\sum x_i^2 \sum y_i - \sum x_i \sum x_i y_i}{N \sum x_i^2 - \left(\sum x_i \right)^2}$$

$$b = \frac{N \sum x_i y_i - \sum x_i \sum y_i}{N \sum x_i^2 - \left(\sum x_i \right)^2}$$

Um diese und weitere Werte der Spur zu bestimmen, werden zunächst die Signale von jeweils 18 azimuthal benachbarten Kanälen der Ausleseammern des TRD in ein Multi-Chip-Modul (MCM) geleitet. Zusätzlich werden noch zwei Kanäle von dem nachfolgenden und ein Kanal von dem vorhergehenden MCM eingekoppelt. Auf den MCMs werden die Signale in Vorverstärkern verstärkt und durch ADCs in digitale Daten umgewandelt. Die ADCs arbeiten bei 10 MHz und liefern ein 10 Bit Datenwort. Bei jeder Spur werden zu ca. 15 Zeitpunkten Daten geliefert. Diese Daten gelangen dann in den MIMD² Prozessor. Der MIMD Prozessor besteht aus einem Preprozessor, der die Parameter für die lineare Regression berechnet und dem eigentlichen Prozessor, der die lineare Regression ausführt und die berechneten Daten an die übergeordneten Instanzen weiterleitet.

² MIMD Multiple Instruction Multiple Data: Prozessor, der auf unterschiedlichen Daten unterschiedliche Operationen ausführt

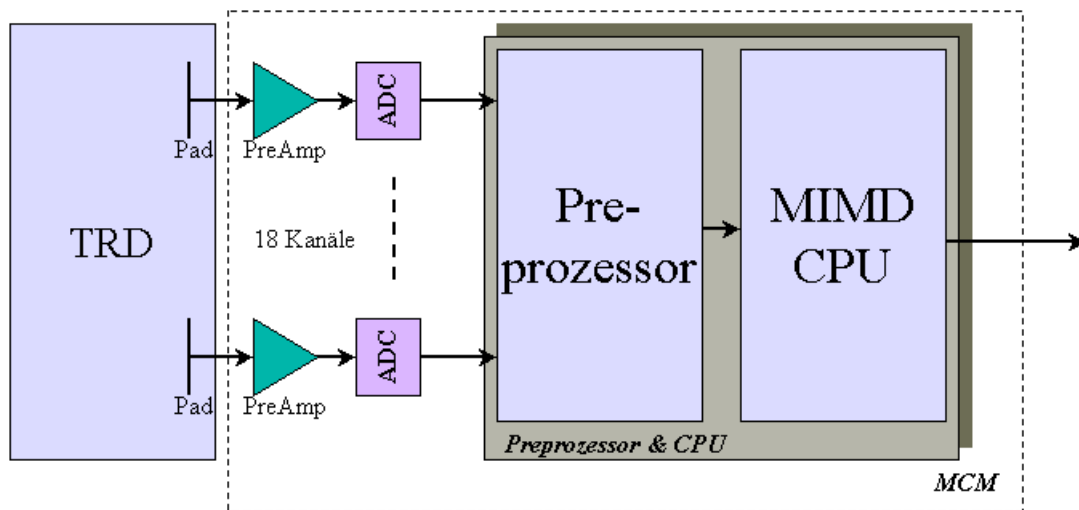


Abbildung 2.4: Übersicht über die TRD-Elektronik

Der Preprozessor läuft während der $2\mu\text{s}$ Driftzeit und besteht aus zwei Teilen. Der erste Teil läuft mit der Taktfrequenz der ADCs von 10 MHz. Er erfasst die Daten aus den ADCs und trifft eine Vorauswahl der Daten. Hierzu muss die Amplitude eines Kanals größer sein als die seines linken und größer - gleich als die des rechten Nachbarn ($A_m > A_l$ und $A_m \geq A_r$), außerdem muss die Summe der Amplituden aller drei Kanäle über einer konfigurierbaren Schwelle liegen. Sind diese Bedingungen erfüllt, so werden im zweiten Teil, der mit einer Taktfrequenz von 120 MHz läuft, weitere Berechnungen angestellt. Aus der Verteilung der Ladungen über die drei Kanäle A_l , A_m und A_r wird die Position y in azimuthaler Richtung berechnet. Die Position in Driftrichtung x ergibt sich aus der Driftzeit. Außerdem werden das Produkt $x * y$ sowie die Quadrate x^2 und y^2 berechnet. Das Quadrat y^2 ist für die Berechnung der Qualität der linearen Regression notwendig. Diese Werte werden für jede Spur aufsummiert und in einem speziellen Register (FIT) gespeichert.

Dieses Register ist die Schnittstelle von Preprozessor und Hauptprozessor, wo nun die restlichen Berechnungen für die lineare Regression geschehen. Im Unterschied zum Preprozessor, wo nur wenige Parameter einstellbar sind, ist der Hauptprozessor voll programmierbar. Erste Abschätzungen haben ergeben, dass ein einzelner Prozessor nicht die notwendigen Rahmenbedingungen einhalten kann, auch ein einfacher SIMD Prozessor³ ist nicht flexibel genug. Es wurde daher eine MIMD Architektur gewählt, die im Folgenden näher beschrieben wird. Der Prozessor besteht aus vier unabhängigen Prozessorkernen mit zwei Pipelinestufen. In der ersten werden die Befehle abgerufen und dekodiert, in der zweiten ausgeführt und die Ergebnisse zurückgeschrieben. Die vier Prozessorkerne teilen den Instruktions- und Datenspeicher. Diese Speicher, deren Implementation Ziel dieser Arbeit ist,

³ SIMD Singel Instruction Multiple Data: Prozessor, der auf unterschiedlichen Daten gleiche Operationen ausführt

hat für jeden der vier Kerne einen unabhängigen bidirektionalen Zugang, so dass keine globalen Busse und die dafür erforderlichen Protokolle notwendig sind. Da nur einige tausend Datenworte als Instruktions- und Datenspeicher gebraucht werden, können diese Speicher auf dem Chip integriert werden, so dass ein unverzüglicher Zugriff möglich ist und somit keine zusätzlichen Cache-Speicher notwendig sind. Der Programmcode wird nur einmal im Instruktionsspeicher abgelegt. Allen Prozessorkerne steht daher der gleiche Code zur Verfügung. Da aber jeder Prozessorkern einen eigenen Programmzähler hat und somit auf unterschiedliche Stellen im Speicher zugreifen kann, können unterschiedliche Prozessorkerne unterschiedliche Befehle ausführen. Auch die Daten im Datenspeicher sind für alle vier Prozessoren unabhängig von einander zugänglich.

Jeder Prozessorkern hat ein privates, nur für ihn zugängliches Register (PRF), zusätzlich gibt es noch ein globales, für alle zugängliches Register (GRF). Das globale Register dient dem Datenaustausch und der Synchronisation der Prozessorkerne.

Die Daten aus dem Preprozessor werden über das oben erwähnte FIT-Register weitergegeben, welches für den Hauptprozessor wie für das globale Register ansprechbar ist, außer, dass nur lesend darauf zugegriffen werden kann.

Der Datenpfad jedes Prozessorkerns ist 32 Bit breit. Ein Datenwort hat eine Tiefe von 32 Bit. Ein Befehl ist 24 Bit lang, es handelt sich um einen RISC-artigen Befehlssatz, der, neben den allgemein bekannten Instruktionen, noch spezielle Befehle zur Synchronisation der Prozessorkerne enthält.

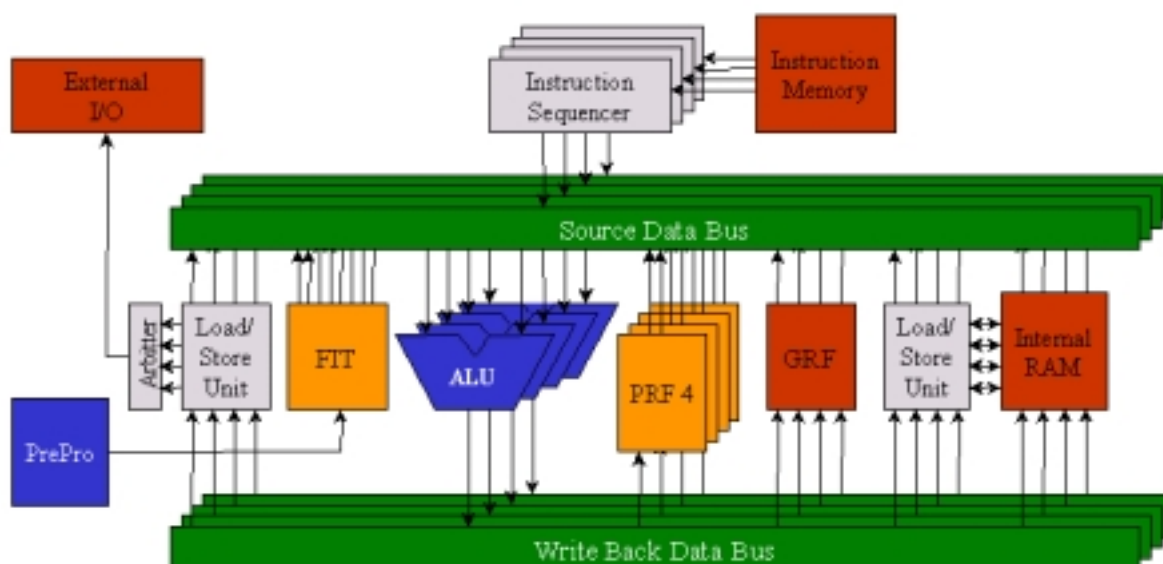


Abbildung 2.5: Architektur des MIMD-Prozessors

Kapitel 3

CMOS Technologie

3.1 Grundlagen der CMOS Technologie

Unter der CMOS Technologie [14,15,16] versteht man die Technologie, die es ermöglicht, komplexe Schaltkreise auf Halbleitern herzustellen. CMOS steht für Complementary Metal Oxid Semiconductor. Als Halbleitermaterial wird meistens Silizium verwendet, welches zu einen großen Monokristall gezüchtet wird und dann in Scheiben geschnitten wird. Auf diese Scheiben, sogenannte Wafer, werden dann mittels photolithographischer Verfahren Strukturen aufgebracht, die die gewünschten Schaltungen ergeben. Diese Verfahren sind sehr aufwändig und empfindlich, insbesondere, wenn die Strukturbreiten kleiner werden. Kleinere Strukturen ermöglichen dabei, mehr Schaltungen auf einer gegebenen Fläche unterzubringen. Heutige industriell verwendete Verfahren sind in der Lage, Strukturen mit Größen von 130 nm zu fertigen. Zum Vergleich: das sichtbare Licht hat eine Wellenlänge von mindestens 380 nm.

Für diese Arbeit wurde der 0,35 μm Prozess von AMS⁴ benutzt, also ein Prozess mit Strukturbreiten im Bereich von 350 nm. Für die Zukunft ist geplant, den 0,18 μm Prozess von UMC⁵ zu verwenden.

Halbleiter zeichnen sich dadurch aus, dass sich ihre Leitfähigkeit stark durch das Einbringen von Fremdatomen steuern lässt, dem sogenannten Dotieren. Insbesondere lässt

⁴ AMS: Austria Micro Systems, <http://www.austriamicrosystems.com>

⁵ UMC: United Microelectronics Corporation, <http://www.umc.com>

sich durch das Dotieren die Art des Ladungstransportes bestimmen. So kann man durch Einbringen von Atomen mit mehr Valenzelektronen als der Halbleiter (z.B. Arsen), zusätzliche Elektronen als Ladungsträger zur Verfügung stellen. Dies nennt man n-Dotieren. Haben die Fremdatome hingegen weniger Valenzelektronen (z.B. Indium), so entstehen „Löcher“ in der Elektronenverteilung, die den Ladungstransport übernehmen und sich ähnlich wie positive Ladungsträger verhalten, die Löcher sind aber in der Regel etwas weniger beweglich als die negativen Ladungsträger. Man spricht von p-Dotierung.

Durch diese Dotierungen kann man in einem CMOS-Prozess nun zwei Arten von Transistoren herstellen: NMOS- und PMOS-Transistoren. Der erste Buchstabe bezeichnet die Art des Ladungstransportes, die in dem Transistor stattfindet (positive oder negative Ladungsträger). MO steht für das Metalloxid welches den sogenannten Gate-Kontakt von dem übrigen Transistor elektrisch isoliert und S für Semiconductor, also das englische Wort für Halbleiter. Da diese beiden komplementären (englisch: Complementary) Arten von MOS-Transistoren möglich sind, heißt der Prozess CMOS.

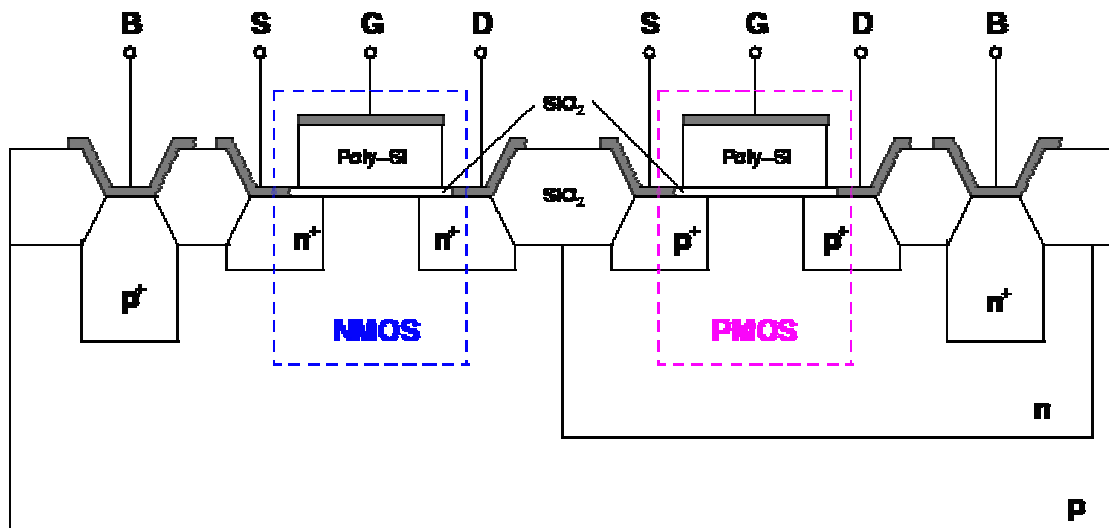


Abbildung 3.1: Schematischer Querschnitt durch zwei Transistoren

Ein NMOS-Transistor besteht aus einer schwach p-dotierten Wanne. In dieser Wanne sind nun zwei Areale stark n-dotiert. Diese nennt man Source und Drain (Quelle und Senke der Ladungsträger). Über dem Zwischenraum dieser beiden Areale befindet sich durch eine Metalloxidschicht isoliert das Gate (Tor) des Transistors. Die Wanne verfügt noch über einen zusätzlichen stark p-dotierten Bereich, über den sie geerdet ist. Liegt nun an dem Gate eine positive Spannung an, so zieht diese negative Ladungsträger unterhalb der Isolierschicht an. Es bildet sich je ein mit steigender Spannung anwachsender Kanal von negativen Ladungsträgern zwischen Source und Drain, so dass jetzt auch in diesem eigentlich p-dotierten Bereich die negativen Ladungsträger überwiegen. Dadurch kann nun ein Strom zwischen Source und Drain fließen. Je größer die Gatespannung ist, also je größer der Kanal, desto geringer ist der Widerstand, bis bei der VDD genannten Spannung dieser Kanal voll ausgebildet ist. Das Gate besteht aus polykristallinem Silizium, welches im Gegensatz zum monokristallinen auch ohne Dotierung gut leitfähig ist. Ein normaler NMOS ist also bei einer Gatespannung von 0 Volt im gesperrten Zustand und wird bei der Spannung VDD am Gate maximal leitfähig.

Bei einem PMOS Transistor sind die Arten der Dotierungen genau entgegengesetzt. Die Wanne ist mit der Spannung VDD verbunden, und das Gate muss der Wanne gegenüber negativer geladen sein, damit sich ein Kanal aus positiven Ladungsträgern ausbildet, so dass ein PMOS bei einer Gatespannung von VDD gesperrt ist und bei 0 Volt am Gate maximal leitend ist.

Das Dotieren des Siliziumwafers, das Aufbringen der Metalloxid- und Polysiliziumschicht, verschiedene Schichten Metall, Schichten um elektrische Kontakte herzustellen (sogenannte Vias) und weiterer Schichten geschieht mit photolithographischen Verfahren. Dazu wird Photolack auf den Wafer aufgebracht, der durch eine Maske belichtet wird. Anschließend werden entweder die belichteten oder unbelichteten Stellen meistens durch Ätzverfahren entfernt, so dass nun die ungeschützten Stellen des Wafers mit Fremdatomen dotiert oder andere Schichten aufgetragen werden können. Nach Entfernung des übrigen Photolackes werden diese Schritte für andere Schichten wiederholt.

Um nun einen Chip, also einen kleinen Teil eines Wafers, zu entwickeln, werden Vorlagen angefertigt, aus denen die oben genannten Masken hergestellt werden. Dies geschieht mit CAD-Programmen⁶. In diesen zeichnet man in unterschiedlichen Lagen die gewünschten Strukturen. Aus diesen Zeichnungen werden dann die Masken gefertigt, wobei die einzelnen Zeichenlagen nicht direkt eine Maske einer Schicht repräsentieren müssen. So ist ein Gate im AMS Prozess dadurch definiert, dass man in der Zeichenlage für Polysilizium über eine sogenannte Diffusionslage zeichnet, die wiederum über einer Lage liegen muss, die angibt, ob eine p- oder n-Dotierung gemeint ist. Man braucht also nicht explizit eine Lage für das

⁶ CAD Computer Aided Design, Computer unterstütztes Design

isolierende Metalloxid unter dem Gate zeichnen oder kennzeichnen, das der Wafer direkt unter dem Gate eben nicht stark p- oder n-dotiert ist.

Die CAD-Programme helfen auch dabei, die Designregeln, die vom Prozess vorgegeben sind, einzuhalten. Hierbei handelt es sich in erster Linie um Mindestabstände, die zwischen den Lagen einzuhalten sind, z.B. zwischen zwei Leiterbahnen auf der gleichen Metallschicht oder zwischen den stark n-dotierten Flächen eines NMOS-Transistors und dem Rand der schwach p-dotierten Wanne, in der er liegt.

Der im Rahmen dieser Arbeit entwickelte Quad Port Memory (QPM) ist für den 0,35 μm AMS Prozess entworfen und gefertigt worden. Dieser Prozess stellt drei Lagen Metall zur Verfügung und arbeitet mit einer VDD-Spannung von 3,3 Volt. Die minimale Gatebreite beträgt 0,3 μm . Ein Quadratmillimeter Siliziumfläche kostet hier etwa 325 Euro.

Da hier wie in anderen Prozessen nach Fläche abgerechnet wird, ist die Minimierung der genutzten Fläche wichtig.

Im Folgenden wird der Designablauf für diesen Prozess vorgestellt. Der Designablauf ist für andere Prozesse sehr ähnlich, kann sich aber im Detail etwas unterscheiden, insbesondere was die verwendeten Programme betrifft.

Für die Entwicklung wurde das Design Framework von Cadence⁷ in der Version 4.43 verwendet.

Die Entwicklung eines Chips beginnt mit der Erstellung eines Schaltplanes. Dieser wird dann mit dem Programm spectreS simuliert, um die Funktionalität und Eigenschaften der Schaltung zu testen.

Daran anschließend zeichnet man nun das Layout der Schaltung, auf deren Grundlage später die Masken gefertigt werden. Dieses Layout wird dann darauf geprüft, ob alle vom Prozess vorgegebenen Designregeln eingehalten werden (DRC, Design Rule Check).

Aus dem Layout werden anschließend alle Schaltungselemente extrahiert und geprüft, ob das Layout dem Schaltplan entspricht (LVS, Layout versus Schematic). Außerdem wird mit Hilfe der extrahierten Schaltung die Simulation wiederholt, um auch Effekte wie z.B. Kapazitäten zwischen Leitungsbahnen zu berücksichtigen.

Die Entwicklung verläuft im allgemeinen hierarchisch, d.h. es werden zunächst Teile des Designs entworfen und diese dann zusammengefügt, worauf dann wieder alle Tests ausgeführt werden müssen.

Ist das Layout des Chips fertig und hat es alle Tests bestanden, so wird dieses in dem sogenannten GDS2-Format herausgeschrieben. Das GDS2-Format ist das Format, in dem das Layout an den Chiphersteller übermittelt wird, der dann daraus die Masken fertigt, um den Chip zu produzieren. Bevor diese Datei allerdings an den Hersteller übermittelt wird, wird die Datei wieder eingelesen, um zu überprüfen, ob beim Herausschreiben der Datei kein Fehler

⁷ <http://www.cadence.com>

unterlaufen ist. Es wird der DRC angewendet, das Layout extrahiert und der LVS-Test durchgeführt.

Diese Art der Entwicklung nennt man Full Custom Entwicklung, also voll kundenspezifische Entwicklung.

Eine andere Art der Chipentwicklung ist das Verwenden von Standardzellen.

Bei Standardzellen handelt es sich um fertig entwickelte Zellen, die bestimmte digitale Operationen vornehmen. Also zum Beispiel eine „Und“-Verknüpfung, oder das Speichern von Bits. Die Vorteile in der Verwendung der Standardzellen liegen in der einfachen Verwendbarkeit. Man muss nicht die Lage einzelner Transistoren oder Leiterbahnen bestimmen.

Der Designablauf beginnt mit der Eingabe des VHDL⁸ Codes [17], der das gewünschte digitale Verhalten beschreibt. Dieser Code kann durch Programme wie z.B. ModelSim simuliert werden, um die Funktionalität zu testen.

Mit dem Design Analyzer von Synopsys [18,19] wird dieser Code in eine technologieabhängige Netzliste übersetzt, die die gewünschte Funktionalität auf die zu dem Prozess gehörenden Standardzellen abbildet. Diese Netzliste kann dann auch wieder in ModelSim simuliert werden und mit Primetime kann eine statische Timinganalyse angefertigt werden. Diese beinhaltet Informationen z.B. über den längsten Signalweg, so dass dieser optimiert werden kann.

Das Programm Silikon Ensemble übernimmt dann das Plazieren der Standardzellen und verbindet diese elektrisch (routing). Gerade dieses Routen ist sehr aufwändig und zeitintensiv.

Anschließend kann das Design dann in das Cadence Design Framework eingelesen werden und die Kontrollen DRC und LVS durchgeführt werden.

Leider ist bei den verwendeten Standardzellen von AMS keine Information über deren inneren Aufbau, also zum Beispiel über die Lage der einzelnen Diffusionslagen, vorhanden.

3.2 CRSRAM

Eine erste Implementation des Speichers wurde mit Standardzellen von AMS in dem 0,35 µm Prozess gefertigt. Diese erhielt den Namen CRSRAM (Christian Reichlings Strange Random Access Memory)

Ein generelles Problem von Multiport Speichern ist die durch die Multiplizität der Zugänge bestimmte große Zahl von Ein- und Ausgängen. Da die IO-Pads (Zellen, an die die Ein- und Ausgangssignale angelegt werden, die den Chip also mit der „Außenwelt“ verbinden) verhältnismäßig groß sind, bestimmen sie wesentlich die Chipfläche. Um die Chipfläche im

⁸ VHDL: Very high speed integrated circuit Hardware Description Language, Hardwarebeschreibungssprache

Rahmen zu halten, wurde die Speichergröße auf 16 Speicherzeilen mit einer Tiefe von jeweils 2 Bit festgelegt.

Der CRSRAM besitzt vier Lesezugänge und einen Schreibzugang, die unabhängig voneinander betrieben werden können. Die Zugriffe müssen allerdings synchron erfolgen. Für die Adresse sind 4 Bits und für die Daten 2 Bits pro Zugang notwendig. Des Weiteren benötigt man ein Rücksetz-, ein Schreib- und ein Taktsignal, also 33 Pads für die Daten sowie noch zusätzlich 4 Pads für die Stromversorgung, so dass die Fläche dieser Pads weit mehr als die Hälfte des Chips ausmachen.

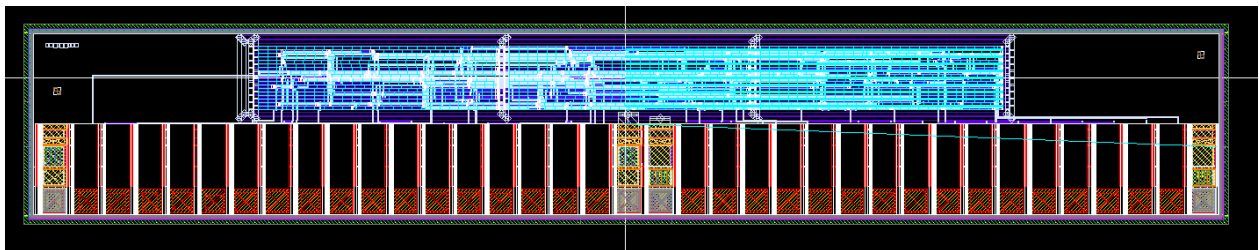


Abbildung 3.2: Layout des CRSRAM.

Die Breite beträgt 4,5 mm die Höhe ist 0,74 mm. In der Mitte und am Rand befinden sich die Pads zur Stromversorgung.

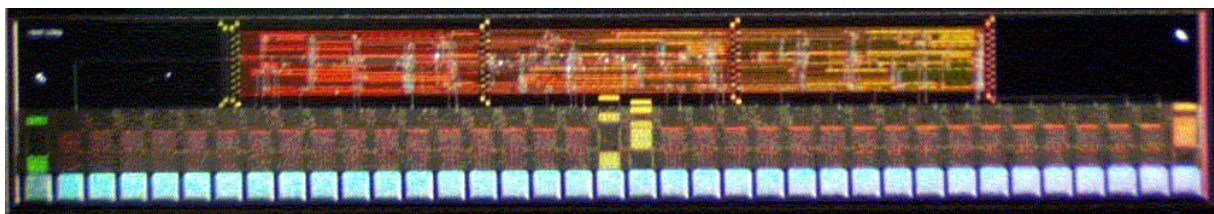


Abbildung 3.3: Reales Foto des CRSRAM-Chips

Die Speicherung der Daten erfolgt in D-Flipflops (DFA2). Dieser Flipflop ist $26,6 \mu\text{m}$ breit und $13 \mu\text{m}$ hoch. Zwei Flipflops sind zu einer Speicherzeile zusammengefasst.

Die Schreibadresse, die zu schreibenden Daten und das Schreibsignal werden in einer Registerbank, auch aus D-Flipflops bestehend, für einen Takt zwischengespeichert, so dass alle Schreibvorgänge einen Takt nach dem Anlegen der Signale geschrieben werden. Die Daten werden an alle Zeilen geleitet. Das Schreibsignal wird allerdings über eine Schaltung nur an die adressierte Zeile des Speichers weitergeleitet, so dass nur diese die Daten übernimmt.

Auch die Leseadressen werden in einer Registerbank zwischengespeichert. Anschließend werden die Adressen an eine Reihe von Multiplexern geleitet, die die adressierten Zeilen mit den Datenausgängen verbindet. Die Datenausgänge werden nicht in einer Registerbank zwischengespeichert, sondern sofort auf die Pads gelegt, da ansonsten die Taktfrequenz die Zugriffszeit bestimmen würde, ich aber an der durch die Verzögerungszeiten der Standardzellen bestimmten Zugriffszeit interessiert bin.

Die gemessene Zugriffszeiten lagen bei 4 ns, was unter den durch Synopsys Design Analyzer und Prime Time⁹ berechneten Werten von 5,1 ns liegt.

Ein wesentlicher Nachteil von Standardzellen ist die relativ geringe Integrationsdichte. Diese wird durch das Design der Zellen selbst bestimmt, so haben alle Zellen eine vorgegebene Höhe und nur diskrete Breiten. Zudem bestehen die verwendeten DFA2-Flipflops aus 33 Transistoren während man für einen SRAM-Bit nur 6 Transistoren benötigt (für einen Zugang). Des weiteren ist es für das automatische Routing, also das elektrische Verbinden der Zellen, notwendig, etwas Platz zu lassen, so dass oft 20 % und mehr der Chipfläche freigehalten werden müssen.

Für gut strukturierte Schaltungen, also solche mit sich regelmäßig wiederholenden Elementen, ist es daher durchaus von Vorteil, ein Full Custom Design zu machen.

⁹ Programm zur statischen Zeitverhaltensanalyse

Kapitel 4

Aufbau und Funktion des Quadport Memory (QPM)

Aus den oben genannten Gründen der besseren Flächenausnutzung wurde die zweite Implementation des Speichers als Full Custom Design konstruiert. Bei dem Speicher handelt es sich um statischen Speicher (SRAM: Static Random Access Memory) [20,21], bei dem die Werte in einem stabilen Zustand gespeichert werden, also keine Auffrischung der Werte notwendig ist, wie dies bei dynamischen Speichern (DRAM: Dynamic Random Access Memory) erforderlich ist.

Der Speicher in dieser Implementation besteht aus Blöcken zu jeweils 64 Zeilen, die wiederum aus 16 Bit bestehen. Die 16 Bit in einer Zeile werden im folgenden auch Wort genannt. Der Speicher hat vier Zugänge, die sowohl zum Schreiben als auch zum Lesen verwendet werden können. Die Zugänge sind unabhängig voneinander und müssen nicht synchron betrieben werden. Aufgrund des Problems der großen Anzahl von Ein- und Ausgängen, welches ja schon die Größe des CRSRAM bestimmte, ist in dieser Submission der eigentliche Speicher (bestehend aus vier Blöcken) von einer Teststruktur umgeben. Diese Teststruktur erzeugt Testadressen und –Daten und übergibt sie an die QPM Blöcke, liest dessen Ausgänge aus und überprüft die Funktion des Speichers. Dies geschieht mit nur wenigen Ein- und Ausgängen, so dass eine große Zahl von Pads eingespart werden kann.

4.1 Überblick

Ein QPM Block besteht aus einer Matrix von Ein-Bit-Zellen, in der die Informationen gespeichert werden. Für jeden der vier Zugänge gibt es einen Adressdekoder zur Dekodierung der Adressen, sowie einen Signalgenerator, der die internen Steuersignale erzeugt. Für jede durch die Speicherzellen-Matrix gehendes Paar von Bit und Nicht-Bit-Leitungen, das sind ein Paar für jedes der 16 Bit in einer Zeile und dies für jeden der vier Zugänge, also 64 Paare, gibt es eine Vorladeeinheit zum Vorspannen der Leitungen und einen Senseamplifier zum Auslesen der Leitungen, sowie eine Schreibeinheit zum Beschreiben der Speicherzellen

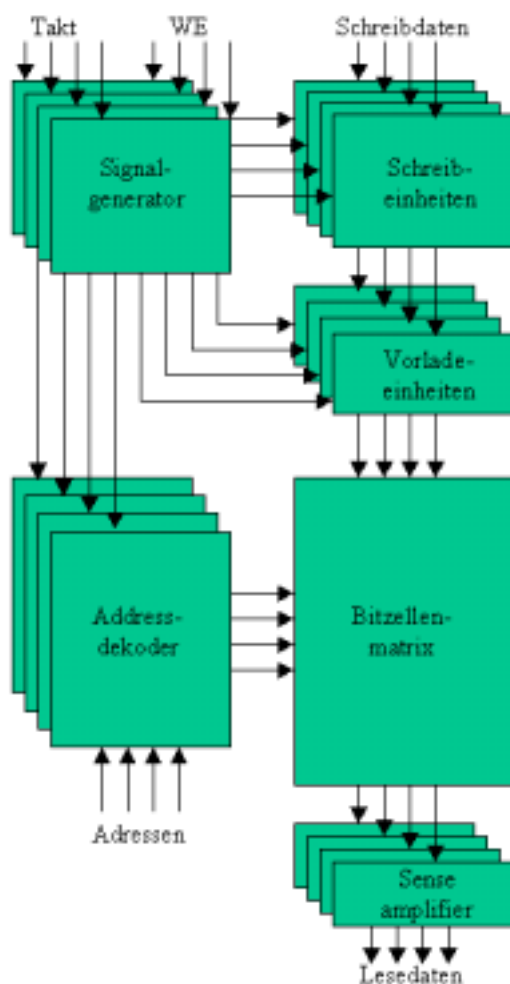


Abbildung 4.1: Blockschaltbild eines QPM-Blocks

4.2 Funktion

Lesezyklus

Um ein Speicherwort durch einen der vier Zugänge auszulesen, werden zunächst alle Bit und Nicht-Bit-Leitungen dieses Zuganges vorgeladen. Gleichzeitig dekodiert der zuständige Adressdekoder die Adresse. Nachdem das Vorladen abgeschlossen ist und die Adresse dekodiert ist, erhält der Adressdecoder ein Signal von dem Signalgenerator und treibt nun die adressierte Wortleitung auf die Spannung VDD. Dies bewirkt, dass von allen Bit-Zellen dieser Wortleitung die dem Zugang gehörenden Zugangstransistoren geschaltet werden, so dass diese die Bit- und Nicht-Bit-Leitungen treiben. Je nachdem, ob eine logische Eins oder Null gespeichert ist, wird die Bit-Leitung auf die volle VDD Spannung getrieben und die Nicht-Bit-Leitung entladen oder umgekehrt. Die Senseamplifier detektieren möglichst schnell den Spannungsunterschied zwischen der Bit und der Nicht-Bit-Leitung und geben den gespeicherten digitalen Wert an den Ausgang. Dies geschieht noch bevor die Bit- und Nicht-Bit-Leitungen vollständig ge- oder entladen sind.

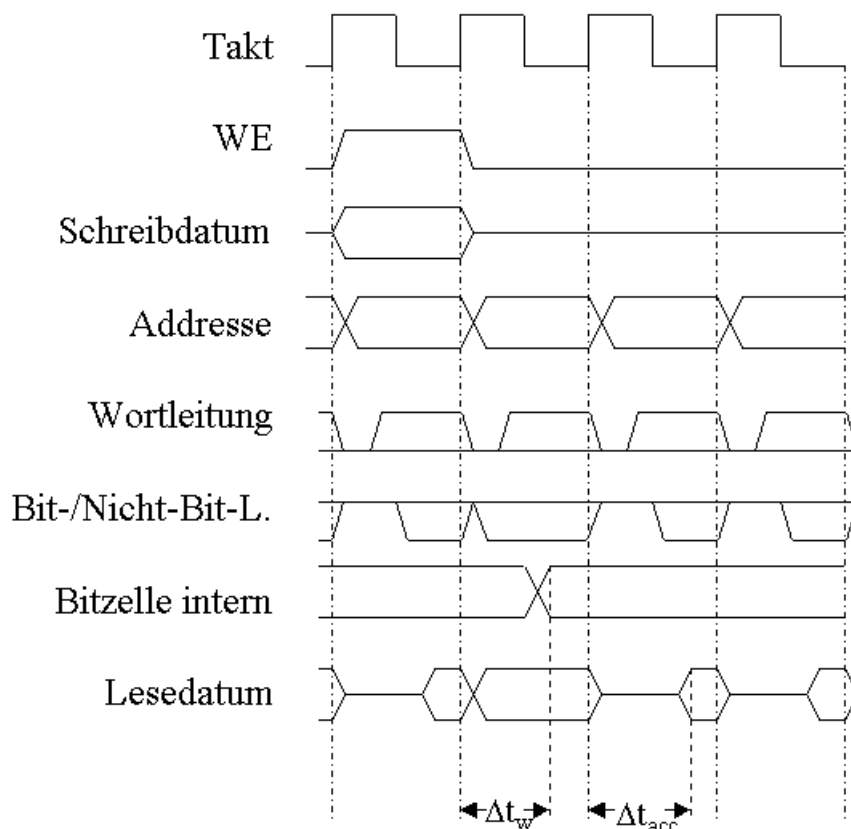


Abbildung 4.2: Timingdiagramm des QPM-Blocks

Schreibzyklus

Um eine Speicherzeile über einen Zugang zu beschreiben, wird zunächst die Adresse genauso dekodiert wie im Lesezyklus. Allerdings werden die Bit- und Nicht-Bit-Leitungen nicht vorgeladen. Die Schreibeinheit treibt viel mehr die Bit- und Nicht-Bit-Leitungen auf entgegengesetzten Potentialen VDD beziehungsweise Erde, abhängig davon welcher Wert gespeichert werden soll. Ist die Adressdekodierung abgeschlossen, so erhält der Adressdekoder wiederum das Signal, auf das er die adressierte Wortleitung treibt und die Bitzellen der Zeile schalten wiederum ihre entsprechenden Zugangstransistoren frei. Da die Bit- und Nicht-Bit-Leitungen nun aber entgegengesetzt geladen sind, sind die Bitzellen nun nicht in der Lage, diese Leitungen zu treiben, sondern kippen vielmehr in den von den Bit und Nicht-Bit-Leitungen vorgegebenen Zustand. Somit sind die angelegten Werte gespeichert

Im Folgenden werden die einzelnen Elemente des Speicherblocks im Detail vorgestellt.

4.3 Ein Bit Zelle

Eine einzelne statische Bit Zelle besteht aus zwei gegengekoppelten Invertern. Jeder Inverter besteht aus einem PMOS und einem NMOS Transistor. Der PMOS Transistor ist mit der Betriebsspannung VDD verbunden und zieht den Ausgang des Inverters auf die Spannung VDD, wenn an dem Eingang Null Volt anliegt. Der NMOS Transistor ist mit dem Erdungspotential verbunden und zieht den Ausgang auf dieses Potential, wenn an dem Eingang die Spannung VDD anliegt.

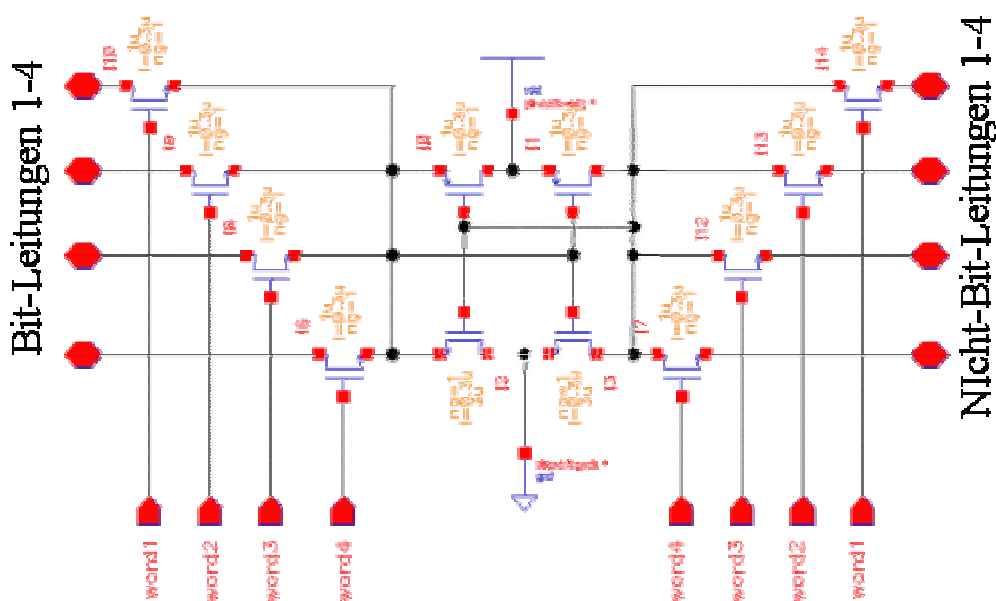


Abbildung 4.3: Schaltplan einer Bitzelle mit vier Zugängen

Der Ausgang des ersten Inverters ist mit dem Eingang des zweiten verbunden und umgekehrt. Daraus ergeben sich zwei stabile Zustände. Wenn der Eingang des ersten Inverters auf dem Potential VDD ist, zieht dieser den Eingang des zweiten auf Erdungspotential, der dann wiederum den Eingang des ersten Inverters auf VDD Potential zieht. Dieser Zustand kann dann eine digitale Eins repräsentieren. Die digitale Null erhält man nun, wenn man die Eingangspotentiale der Inverter vertauscht.

Ein einzelner Zugang zu dieser Zelle erhält man über zwei NMOS Transistoren. Ein Transistor verbindet den Eingang des ersten Inverters mit der Bit-Leitung, der zweite Transistor den Eingang des zweiten Inverters mit der Nicht-Bit-Leitung. Die Gate-Anschlüsse dieser Zugangstransistoren sind mit einer Wort-Leitung verbunden, die von dem Adressdeko-der angesteuert werden. Die Zugangstransistoren nehmen die minimal mögliche Fläche ein. Diese Struktur wird für jeden der vier Zugänge benötigt.

Da es möglich ist, dass alle vier Zugänge eine Zeile adressieren, muss jede Zelle in der Lage sein, die vierfache Kapazität eines Paares von Bit- und Nicht-Bit-Leitung treiben zu können. Diese Kapazitäten resultieren hauptsächlich aus den parasitären Kapazitäten der Zugangstransistoren, die an die Bit- und Nicht-Bit-Leitungen der jeweiligen Spalte der Matrix angeschlossen sind.

Aus diesem Grund sind die NMOS-Transistoren der beiden Inverter dreimal so groß wie die PMOS-Transistoren. Die PMOS-Transistoren und die Zugangstransistoren nehmen die kleinste von den Designregeln erlaubte Fläche ein. Man spricht von Minimum Size Transistoren.

Durch die größeren NMOS-Transistoren können die Zellen die Bit- und Nicht-Bit-Leitung zwar nicht schneller laden, aber erheblich schneller entladen. Obwohl die Ladungsträgerbeweglichkeit in den NMOS-Transistoren und damit die Leitfähigkeit im geschalteten Zustand schon erheblich größer ist als bei gleichgroßen PMOS-Transistoren, vergrößert man trotzdem nur die NMOS-Transistoren. Dies resultiert aus dem geringeren Platzbedarf dieser Transistoren, da die PMOS-Transistoren noch von einer Diffusionswanne umgeben sind, die bei Vergrößerung der Transistoren mitwachsen würde.

Die dreifache Größe der NMOS-Transistoren vergrößert die Zelle hingegen kaum, da die Transistoren in einem aus den Zugangstransistoren gebildeten Rechteck liegen, welches bei kleineren NMOS Transistoren zum Teil frei bleiben würde.

Die maximale Kapazität, die die Zellen in einer annehmbaren Zeit treiben können, beschränkt die Anzahl der Zeilen in einem Block. Hierbei ist zwischen dem Flächenbedarf der Inverter, der Zugriffszeit und der Anzahl der Zeilen abzuwägen. Bei Verwendung von 128 Zeilen müssten die NMOS-Transistoren mindestens die vierfache Fläche einnehmen, was die Zelle wesentlich größer machen würde, da sie nicht mehr in das oben beschriebene Rechteck passen würden.

Insgesamt besteht eine Zelle aus 8 NMOS Zugangstransistoren, zwei PMOS Transistoren und zwei NMOS Transistoren, dreifacher Größe für die beiden Inverter. Für alle Transistoren war es möglich, jeweils mit zwei Transistoren einen Kontakt gemeinsam zu nutzen. Hierbei nehmen die Transistoren der beiden Inverter die größte Fläche ein, da die NMOS Transistoren

das dreifache der minimalen Transistorfläche einnehmen und die PMOS Transistoren in einer N-dotierten Wanne liegen. Zu den Rändern der Wanne müssen sowohl die PMOS Transistoren innerhalb als auch die NMOS Transistoren außerhalb einen relativ großen Mindestabstand einhalten. Außerdem braucht jede N-dotierte Wanne auch noch Kontakte zu VDD. Damit die Flächenverluste aufgrund dieser Wanne möglichst gering sind, sind die einzelnen Zeilen zu der Zeile über oder unter ihr gespiegelt. Dadurch können sich jeweils zwei Zellen eine n-dotierte Wanne mit Kontakten teilen. Diese Transistoren liegen in der Mitte der Zelle übereinander.

Links von diesen Transistoren befinden sich die vier Zugangstransistoren der Bit-Leitungen und rechts die vier der Nicht-Bit-Leitungen, die Transistoren eines Zuganges liegen sich jeweils gegenüber (wie auch die entsprechenden Leitungen).

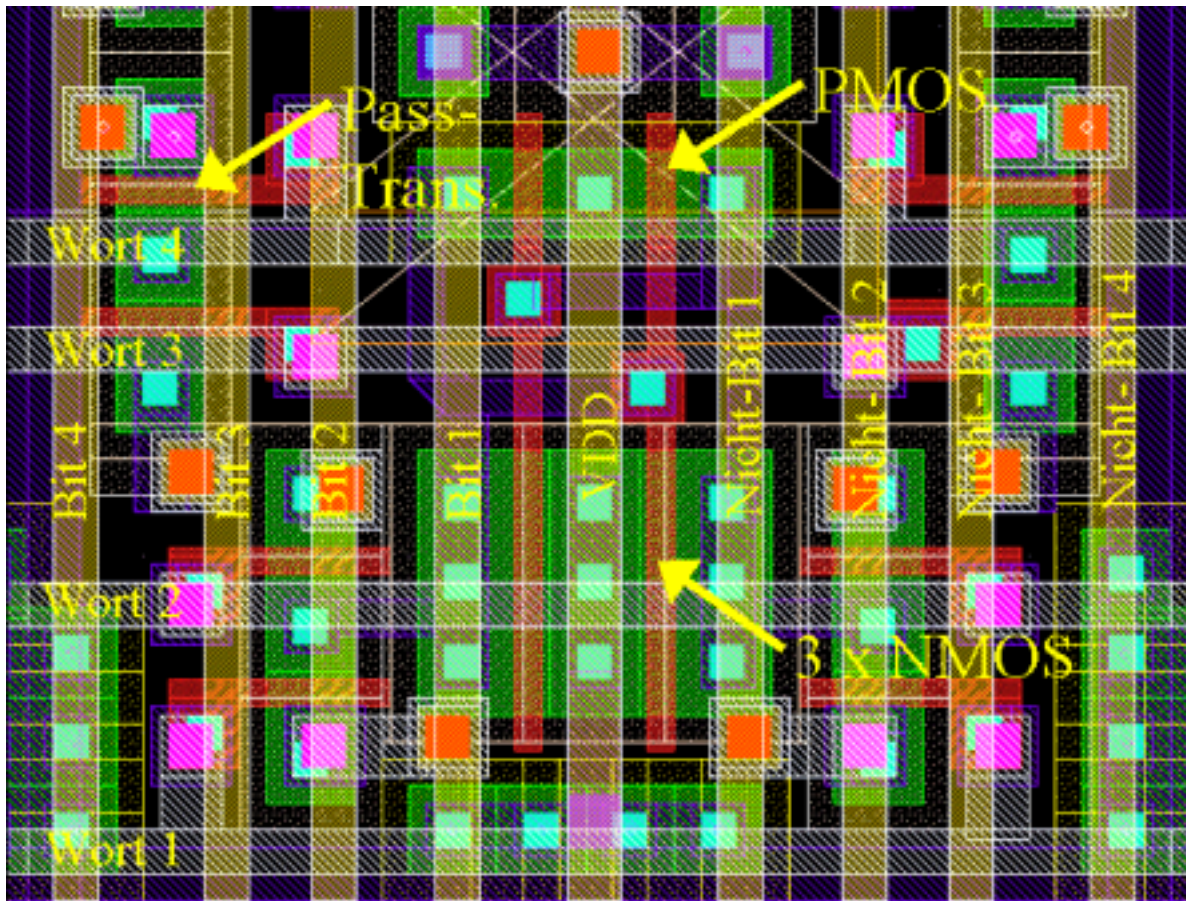


Abbildung 4.4: Layout einer Bitzelle

Rot schraffiert ist die Polysilizium-, grün schraffiert die Diffusionschicht. Beider übereinander ergeben einen Transistor (Metallagen siehe Text)

Durch eine Zelle gehen vier Wort-Leitungen, diese sind waagrecht angeordnet und liegen auf der zweiten Metallschicht (in Abbildung 4.4 weiß schraffiert), sowie vier Bit-Leitungen und vier Nicht-Bitleitungen, die senkrecht verlaufen und auf der dritten Metallschicht (gelb schraffiert) liegen. Die Leitung für die Versorgungsspannung VDD durchläuft die Zelle senkrecht in der Mitte ebenfalls auf der dritten Metallschicht. Die Erdungsanschlüsse liegen auf der ersten Metallschicht (blau schraffiert) und durchlaufen die Zelle senkrecht an den Rändern, so dass diese Leitungen auch die Nachbarn links und rechts versorgen. Eine zusätzliche Erdungsleitung geht ebenfalls auf der ersten Metallschicht waagrecht auf dem den PMOS Transistoren entgegengesetzten Rand durch die Zelle. Dadurch, dass die Zeilen übereinander gespiegelt angebracht sind, wird auch diese Leitung von jeweils zwei Zeilen genutzt. Die Erdungskontakte der P-dotierten Wanne liegen teilweise unter diesen Leitungen (da hier genug Platz ist, hat jede Zelle einen eigenen Satz dieser Kontakte, im Gegensatz zu denen in der N-dotierten Wanne).

Die Kontakte innerhalb der Zelle zwischen den einzelnen Transistoren werden über die erste Metallschicht geführt, sofern es nicht möglich ist diese Kontakte direkt über das Polysilizium herzustellen.

Da die Bitzellen das sich am häufigsten wiederholende Element in dem Speicherblock sind, wurde hier besonders Wert auf minimalen Flächenverbrauch gelegt. Zunächst sind die Transistoren so dicht gepackt, wie es die Designregeln erlauben. Das Hauptproblem ist aber das Durchführen der vielen Leitungen. Die erste Metallschicht ist durch die Leitungen für die zellinternen Signale und die vielen notwendigen Kontakte für durchgehende Leitungen blockiert (jeder Kontakt von der Diffusions- oder Polysiliziumschicht benötigt ein Quadrat aus Metall der ersten Schicht) Nur eine Erdungsleitung findet am Rand noch Platz. Die vier waagerechten Wortleitungen mussten auf die zweite Metallschicht, damit die nötigen Vias, das sind die Verbindungen zwischen den Metallschichten, die Metallschicht für die senkrechten Leitungen nicht blockieren. Dies wäre der Fall gewesen, wenn die Wortleitungen in der dritten Metallschicht liegen würden. Für die Bit- und Nicht-Bit-Leitungen bleibt also nur die dritte Metallschicht.

Die Notwendigkeit, dass jedes Via von zwei relativ großen Quadraten der Metallschichten die es verbindet, umgeben ist und der Mindestabstand zwischen zwei Metallflächen, der größer ist als die minimale Leitungsbreite, benötigen viel Fläche. Aus diesen Gründen ist die Zelle $1,2 \mu\text{m}$ breiter und $0,8 \mu\text{m}$ höher als die Fläche die der Transistoren brauchen. Dies macht pro Speicherblock ca. $980 \mu\text{m}^2$ aus.

Insgesamt ist eine Zelle $12,9 \mu\text{m}$ breit und $9,6 \mu\text{m}$ hoch.

4.4 Vorladeeinheit

Da eine Bitzelle die Bit- oder Nicht-Bit-Leitung schneller entladen als laden kann, gibt es eine Einheit, die diese Leitungen zunächst auf das Potential von VDD bringt, bevor die Zugangstransistoren freigeschaltet werden. Dabei ist darauf zu achten, dass keine Potentialdifferenzen zwischen Bit- und Nicht-Bit-Leitung entstehen, da dies unter Umständen

zu einem Umkippen des Zustandes der angesprochenen Bitzelle führen könnte. Dieses Vorladen der Leitungen geschieht durch zwei NMOS-Transistoren, die beide Leitungen mit der Spannung VDD verbinden. Ein zusätzlicher NMOS-Transistor zwischen diesen Leitungen sorgt dabei für gleiche Potentiale auf den Leitungen. Die 3 NMOS-Transistoren werden durch ein Signal aus dem Signalgenerator gesteuert, welches vor jedem Lesezyklus gegeben wird. Die Vorladeeinheit liegt unmittelbar über der Matrix aus Bitzellen. Die verwendeten 12 Transistoren pro Bit Wortbreite sind jeweils $10\ \mu\text{m}$ breit. Um schnelles Vorladen und einen möglichst guten Potentialausgleich zwischen den Leitungen zu gewährleisten, und wegen der relativ geringen Gesamtzahl von Transistoren gegenüber denen aus den Speicherzellen, wurden hier relativ große Transistoren verwendet.

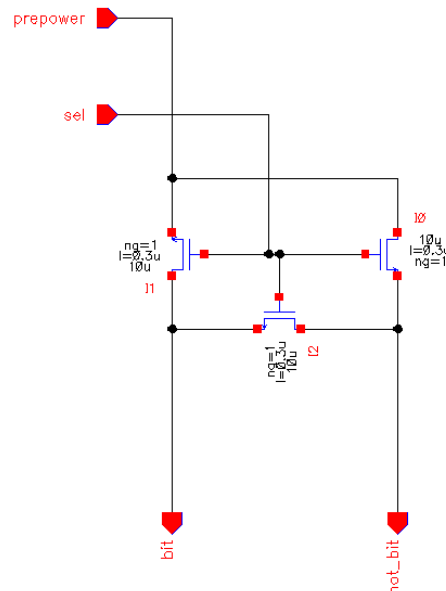


Abbildung 4.5: Schaltplan der Vorladeeinheit für einen Zugang

Die Anordnung der Bit und Nicht-Bit-Leitungen ist durch die Speicherzellen vorgegeben und sie werden durch diese Einheit weiter auf Metallschicht drei senkrecht hindurchgeführt.

Die Transistoren zur Versorgung der Leitungen mit VDD stehen senkrecht an den vier Ecken einer Spaltenzelle und zwei Transistoren teilen sich jeweils den Kontakt zu VDD. Von den Transistoren für den Potentialausgleich befinden sich zwei waagrecht über die gesamte Breite der Zelle in deren Mitte, sowie jeweils eine oben und unten senkrecht zwischen den oben genannten Transistoren zur Versorgung mit VDD. Außerdem befinden sich noch vier waagerechte Reihen Wannenkontakte in den Zellen. Die Verbindungen zu den Bit- und Nicht-Bit-Leitungen sowie die vier Vorladesignale werden auf der zweiten Metallschicht geführt. Die Vorladesignale gehen waagrecht durch alle 16 Zellen hindurch.

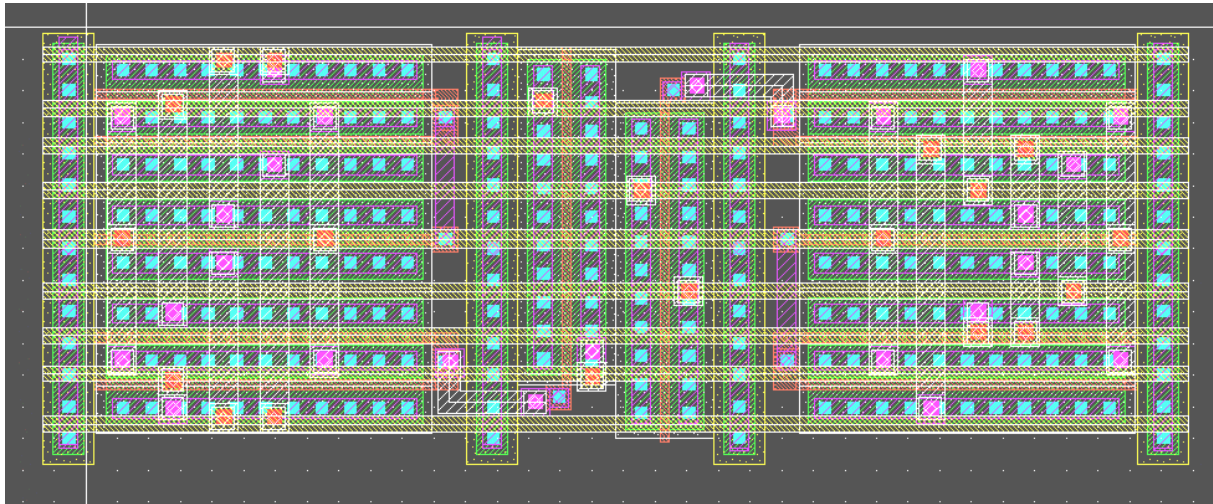


Abbildung 4.6: Layout der Vorladeeinheit (um 90° gedreht)

Die Fläche dieser Einheit wird im Wesentlichen durch ihre Transistoren und nicht durch die hindurchgehenden Leitungen bestimmt, wobei die Breite durch die Breite der Bitzellen vorgegeben ist. Hierbei ist die Fläche aber weniger kritisch, da es nur eine Vorladeeinheit pro Block gibt.

4.5 Schreibeinheit

Die Schreibeinheit treibt, wenn für den jeweiligen Block und Zugang das Schreibsignal anliegt, die jeweilige Bit-Leitung mit dem zu speichernden Spannungs-Wert (also VDD oder Null Volt) und die jeweilige Nicht-Bit-Leitung mit dem invertierten Wert. Da die zu speichernden Werte innerhalb der Teststruktur in einer Registerbank zwischengespeichert werden, wurden die nichtinvertierten und invertierten Ausgänge dieser Register verwendet und über Passtransistoren, die von dem Schreibsignal gesteuert werden, mit den Bit- und Nicht-Bit-Leitungen verbunden.

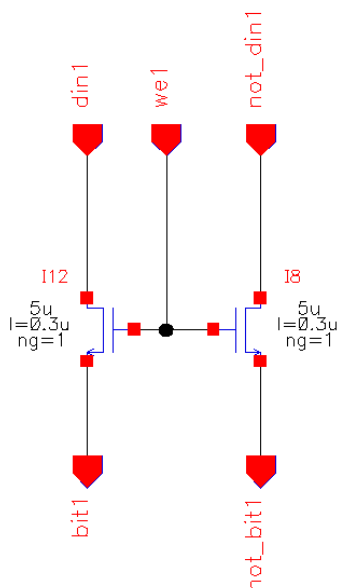


Abbildung 4.7: Schaltplan der Schreibeinheit für einen Zugang

Diese acht Transistoren sind NMOS Transistoren der Breite $5\ \mu\text{m}$. Hiervon stehen jeweils vier senkrecht in einer Reihe. Die Bit- und Nicht-Bit-Leitungen kommen von unten aus der Bitzellen-Matrix und den Vorladeeinheiten auf der dritten Metallschicht. Die Anordnung entspricht der in den Bitzellen. Sie werden bis zu den zugehörigen Transistoren der Schreibeinheit geführt. An diese Transistoren kommen von oben auch auf der dritten Metallschicht die Schreibdaten und die invertierten Schreibdaten an. Das Gate dieser Transistoren wird von dem Schreibsignal des jeweiligen Zugangs gesteuert. Diese Signale werden waagrecht auf der zweiten Metallschicht durch die Zellen geführt.

Ebenfalls waagrecht in den Zellen liegen die Wannenkontakte.

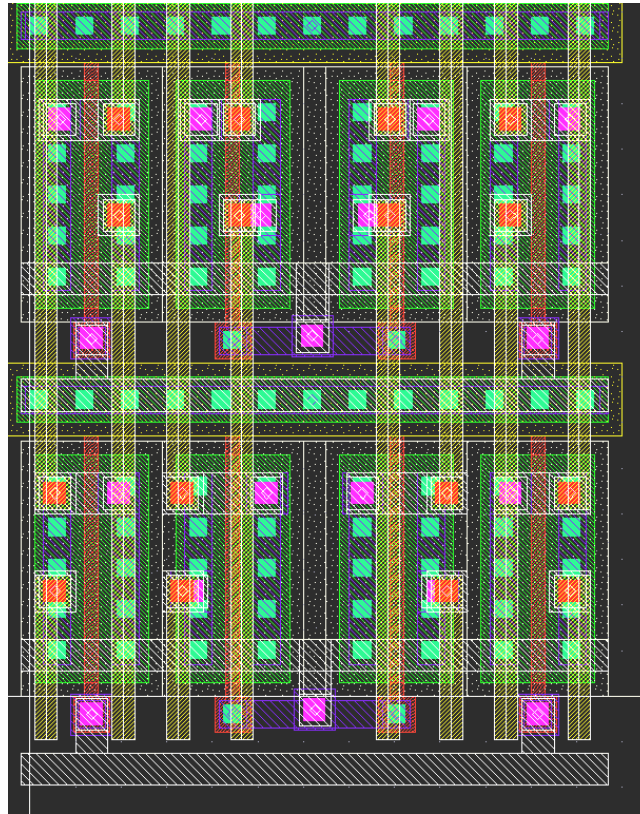


Abbildung 4.8: Layout der Schreibeinheit für vier Zugänge

Die Schreibeinheiten befinden sich oberhalb der Vorladeeinheit. Ihre Breite ist durch die Breite der Bitzellen gegeben. Die Höhe wird hier wieder durch die Leitungen bestimmt.

4.6 Adressdekoder

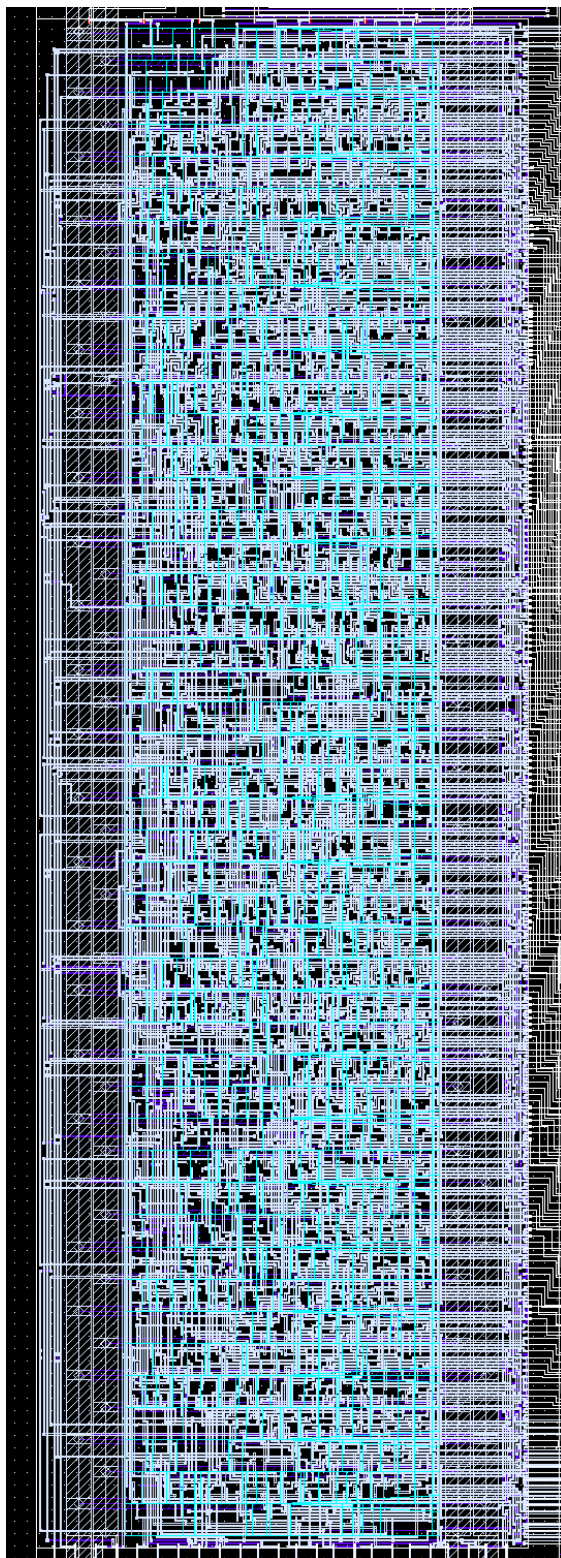


Abbildung 4.9: Layout des Adressdekoders

Die Ansteuerung der Wortleitungen geschieht über den Adressdekoder. Hier wird die, durch die hinteren 6 Adressbits angesprochene Wortleitung, angesteuert. Dies geschieht für alle vier Zugänge. Die Adressdekodierung erfolgt gleichzeitig mit dem Vorladen der Bit- und Nicht-Bit-Leitungen. Um Zeit einzusparen, werden alle Blöcke gleichzeitig ausgelesen und dann über Multiplexer, die von den oberen Adressbits gesteuert werden, an den Datenausgang geschaltet, so dass das Adressdekodieren gleichzeitig mit dem Multiplexen geschieht.

In der gegenwärtigen Realisierung wurde der Adressdekoder aus VHDL Kode in Standardzellen synthetisiert. Dabei werden alle Adresseingänge sowie die Schreibsignale durch eine Registerbank für einen Takt zwischengespeichert. Die adressierte Wortleitung wird erst dann auf das Potential VDD getrieben, wenn die Dekodierung der Adresse und das Vorladen der Bit- und Nicht-Bit-Leitungen abgeschlossen ist. Dies wird durch eine Reihe von Und-Gattern erreicht, die dem eigentlichen Adressdekoder nachgeschaltet sind und eine Wortleitung nur dann treiben, wenn der Adressdekoder diese ausgewählt hat und ein Signal aus dem Signalgenerator kommt. Hierdurch sollen sowohl sogenannte Glitches, also die Auswahl einer falschen Wortleitung während die Adresse noch dekodiert wird, vermeiden, als auch das Vorladen der Bit und Nicht-Bit-Leitungen ermöglichen. Da ansonsten bei gleichzeitigem Treiben der Wortleitung und der Vorladeeinheit zumindest immer ein Inverter gegen die Vorladeeinheit arbeiten würde.

Es hat sich herausgestellt, dass der aus Standardzellen synthetisierte Dekoder sehr groß ist, zumal er für jeden der vier Zugänge vorhanden ist. Diese vier Adressdekoder sind in etwa genauso breit wie die Bitzellenmatrix. Dadurch verdoppelt sich der Flächenbedarf eines QPM-Blocks.

Auch ist die Integration des Dekoder in das übrige Full Custom Design schwierig, da diese über viele Leitungen verbunden sind ($64 \cdot 4 = 256$ Wortleitungen). Da es nicht möglich ist, die Ausgänge des Standardzellenblocks an vorbestimmte Positionen zu legen, und auch das automatische Verbinden von Leitungen bei dieser Dichte nicht geht, müssen die Wortleitungen einzeln von Hand verbunden werden, wobei auch für dieses Verbinden Fläche benötigt wird.

4.7 Senseamplifier

Sobald die Passtransistoren der Bitzellen durchgeschaltet sind, treibt die Bitzelle je nach gespeichertem Wert die Bit- oder Nicht-Bit-Leitung auf die Spannung VDD und entlädt gleichzeitig die jeweils andere Leitung. Dies geschieht allerdings relativ langsam, aufgrund der begrenzten Treiberleistung der einzelnen Bitzellen. Darum hat jedes Paar von Bit und Nicht-Bit-Leitung einen Senseamplifier mit der Aufgabe, die Spannungsdifferenzen zwischen den beiden Leitungen möglichst schnell zu detektieren und am Ausgang den entsprechenden digitalen Wert zu treiben. Dies geschieht, noch bevor die Leitungen vollständig ge- und entladen sind. Hierbei kommt es nicht auf eine lineare Verstärkung der Spannungsdifferenzen an, sondern im Gegenteil, der Senseamplifier soll möglichst schnell in einen stabilen Zustand

kippen, und den Ausgang je nach gespeichertem Wert mit dem vollen Potential von VDD oder mit Null Volt treiben.

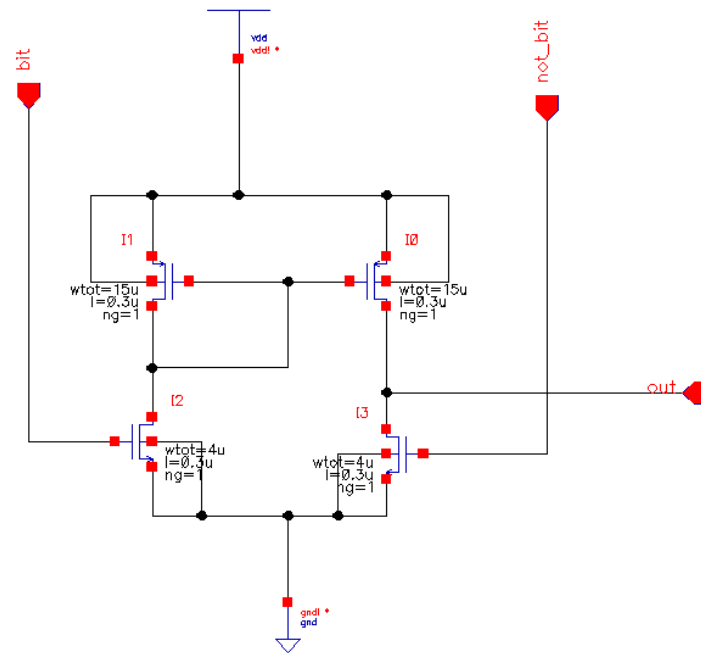


Abbildung 4.10: Schaltplan des Senseamplifier für einen Zugang

Es hat sich herausgestellt, dass der in Abbildung 4.10 abgebildete Differenzverstärker dafür am besten geeignet ist. Da es weder auf gute Linearität noch auf common mode suppression ankommt, ist ein Stromspiegel nicht notwendig. Aus den Simulationen mit SpectreS ergab sich das Optimum der Transistorgrößen bei 15μ Gatebreite für die PMOS-Transistoren und 4μ für die NMOS-Transistoren, bei einer Gatelänge von $0,3\mu$ bei beiden Transistoren.

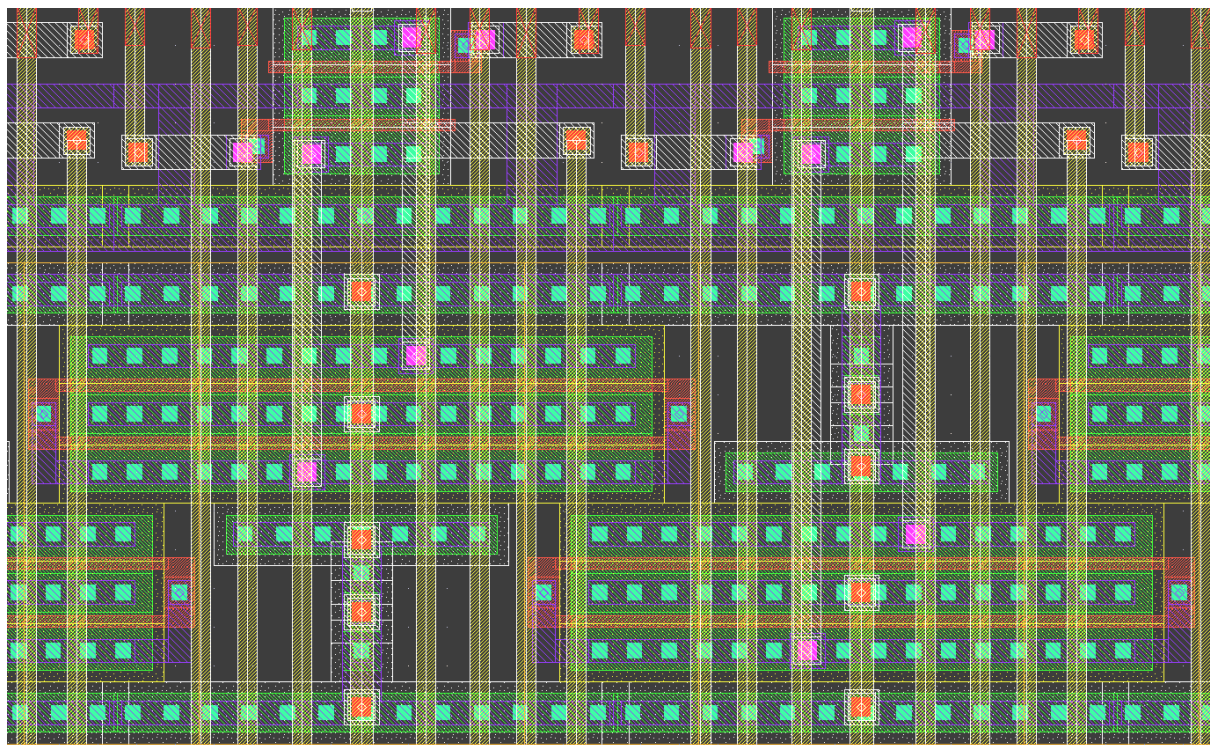


Abbildung 4.11: Layout zweier nebeneinander liegender Senseamplifier

Die Senseamplifier befinden sich unterhalb der Bitzellenmatrix. Die zu einem Zugang gehörenden sind nebeneinander, und die zu der einer Spalte gehörenden sind untereinander angeordnet. Die platzsparende Anordnung der relativ großen Transistoren war hier ein größeres Problem. Folglich ist die Fläche dieses Elementes hiervon, und nicht durch die Leitungsführung bestimmt. Jeweils zwei Transistoren teilen sich wieder ihren gemeinsamen Kontakt zu Erde oder zu VDD. Da die PMOS-Transistoren breiter sind als eine Bitzelle, sind sie verschränkt angeordnet. Wären sie um 90° gedreht, würde sehr viel Platz verschenkt, da ihre schmale Seite viel kleiner ist als die Breite der Bitzelle. Um Flächenverluste durch die Mindestabstände zu den Wannenkontakten zu verringern, sind die Reihen der Senseamplifier untereinander gespiegelt angeordnet. Die dennoch verbleibenden Freiflächen werden durch Wannenkontakte benutzt. Die Bit- und Nicht-Bit-Leitungen werden auf der dritten Metallschicht in der gleichen Anordnung wie in den Bitzellen bis zu den Eingängen der Senseamplifier geführt. Die internen Signale werden auf der Polysilizium- und ersten Metallschicht geführt, sowie seltener auf der zweiten Metallschicht. Die Ausgangssignale werden auf der dritten Metallschicht zu den Ausgängen des Blocks, den sogenannten Pins geführt, wo sie an die Teststruktur übergeben werden.

4.8 Signalgenerator (Delayer)

Jeder der vier Zugänge hat einen eigenen Signalgenerator, der die internen Signale zur Ansteuerung des Adressdekoders, der Vorladeeinheit und der Schreibeinheit steuert. Diese Signale werden aus dem Takt- und Schreibsignal des jeweiligen Zuganges erzeugt. Diese von außen angelegten Signale werden zunächst jeweils durch einen Verstärker geleitet. Dieser Verstärker ist eine Standardzelle und dient als definierte Übergangsstelle in den Speicherblock. Insbesondere beginnt hier das interne Netz für die Taktsignale. Das Schreibsignal wird nach dem Verstärker direkt an die Passtransistoren der Schreibeinheit weitergeleitet, und schaltet das Vorladesignal aus. Da es relativ viele und breite Passtransistoren in der Schreibeinheit gibt (2 Transistoren mit $5\ \mu\text{m}$ Gatebreite für jedes der 16 Bit Wortbreite), wurde ein stärkerer Verstärker gewählt, um diese Kapazitäten treiben zu können.

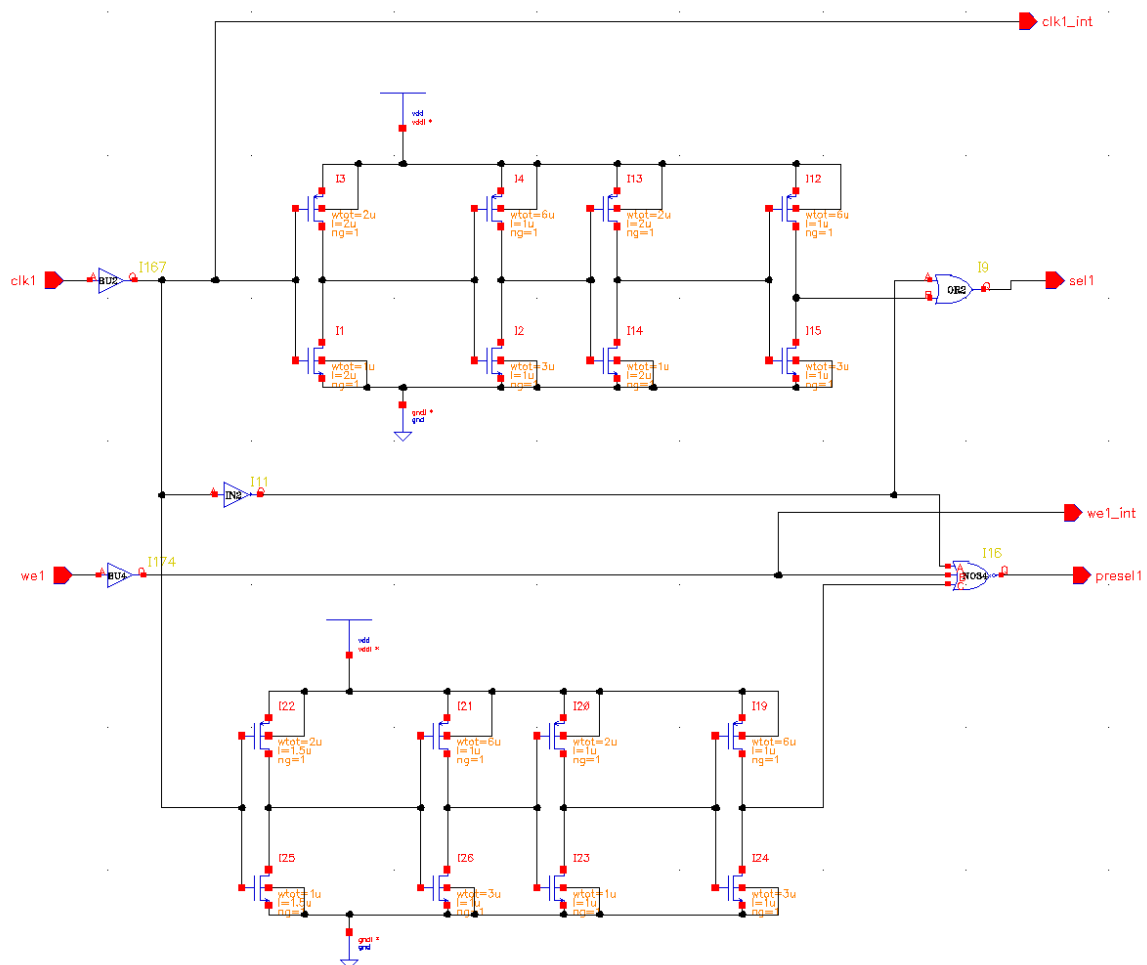


Abbildung 4.12: Schaltplan des Signalgenerators für einen Zugang

Die Signale zum Vorladen und zum Aktivieren der dekodierten Adresse werden aus dem Taktsignal gewonnen. Hierzu wird das Taktsignal verzögert, in dem es durch zwei Verstärker geschickt wird. Diese beinhalten Transistoren mit einer größeren Gatelänge als die Minimallänge. Hierdurch verzögert sich der Aufbau eines Leitungskanals unter dem Gate. Durch Vergrößern der Gatelänge verzögert man das Signal. Damit die Signalform erhalten bleibt, wurden zwei Verstärker hintereinander gestellt, und nicht ein Verstärker mit entsprechend längerem Gate genommen. Bei den beiden Invertern, aus denen ein Verstärker besteht, wurde beim Zweiten eine geringere Gatelänge verwendet, um steilere Signalflanken zu erhalten.

Dieses verzögerte Signal wird dann wieder mit dem invertierten Signal des ursprünglichen Taktes in folgender Weise verknüpft:

Das Vorladesignal entsteht aus einer Nicht-Oder-Verknüpfung (NOR) zwischen dem invertierten Takt, einem verzögerten Takt und dem Schreibsignal. Es ist also nur aktiv, das heißt auf VDD Potential, wenn alle Signale logisch Null sind. Falls das Schreibsignal nicht gesetzt ist, ist dies nur zu Beginn eines Taktes der Fall. Das Taktsignal ist dann auf VDD, und daher das invertierte auf Null Volt und das verzögerte Signal ist noch nicht auf VDD.

Das Signal zur Aktivierung der dekodierten Adresse bekommt man aus einer Oder-Verknüpfung (OR) des invertierten und des verzögerten Signals. Es ist dann aktiv, wenn eins der beiden Signale auf VDD ist. Dies ist ab dem Zeitpunkt der Fall, an dem das verzögerte Signal ankommt und dauert bis zum Ende des Taktes, wo der invertierte Takt auf VDD ist.

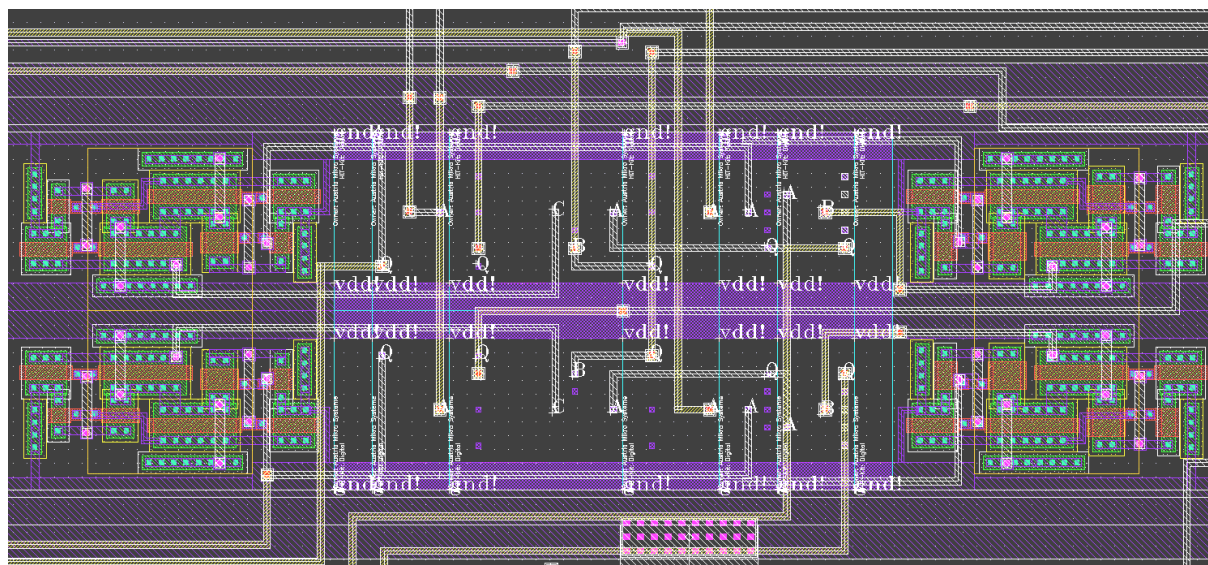


Abbildung 4.13: Layout des Signalgenerators.

Zu sehen sind zwei übereinander liegende Viertel des Signalgenerators. Jedes Viertel erzeugt die Signale für einen Zugang. In der Mitte liegen die Standardzellen, hierüber sind keine Layoutinformationen vorhanden und man kann nur die leeren Platzhalter sehen. Links und rechts liegen die Verzögerungsschaltungen.

Es gibt zwei getrennte Verzögerungsschaltungen für die beiden Signale, die so eingestellt sind, dass es eine kleine Zeitspanne gibt, in der keines der beiden Signale aktiv ist, um zu verhindern, dass die Bit- und Nicht-Bit-Leitungen vorgeladen werden, und gleichzeitig die Passtransistoren der Bit-Zellen aktiviert sind. Dies würde dazu führen, dass die Bitzelle eine der beiden Leitungen gegen die Vorladeeinheit treiben würde, und schlimmstenfalls in einen anderen Zustand kippen könnte.

Die Breiten der Gates in der Verzögerungsschaltung sind so gewählt, dass sich in der Simulation folgender Signalverlauf ergibt. Das Vorladesignal ist zu Beginn des Taktes für etwa 1,92 ns aktiv sofern nicht geschrieben wird. Das Aktivierungssignal des Adressdekoders ist 2,36 ns nach Taktbeginn bis zum Taktende aktiv. Mit Beginn des Taktes ist hier die steigende Flanke des Signals gemeint. Die angegebenen Zeiten sind nicht abhängig von der Taktfrequenz, sondern fest eingestellt. Natürlich darf die Taktperiode keinesfalls kürzer sein als diese Zeiten.

Die Eingangsverstärker sind Standardzellen (BU2 und BU4). Das Invertieren des Taktsignals geschieht mit dem Standardzellen Invertern IN2 und die logischen Verknüpfungen sind durch die Zellen OR2 für das OR und der Zelle NO34 für das NOR realisiert. Die Zelle NO34 ist eine NOR-Zelle mit drei Eingängen und doppelter Treiberleistung, da sie die Passtransistoren der Vorladeeinheit treiben muss. Dies sind für jedes der 16 Bit Wortbreite drei Transistoren mit 10 μm Gatelänge.

Die Verzögerungsschaltungen sind von Hand entworfen. Sie passen sich dem Layout der Standardzellen an, was ihre Höhe und Stromversorgung betrifft. Das sich diese Einheit oberhalb des Adressdekoders, rechts neben den Vorlade- und Schreibeinheiten befindet, ist diese Einheit nicht flächenkritisch, da dieser Platz ansonsten ungenutzt bliebe.

4.9 Integration der Speicherblöcke in ein Standardzellendesign

Die einzelnen Blöcke haben die Form eines Rechtecks. An den schmalen Seiten befinden sich die Pins für die Ein- und Ausgänge, an der Oberseite die Eingänge der zu speichernden Daten, sowie die Takt und Steuersignale und an der Unterseite befinden sich die Eingänge für die Adressen, sowie die Ausgänge für die gelesenen Daten. Vier dieser Blöcke wurden in eine aus Standardzellen bestehende Teststruktur manuell platziert und automatisch angeschlossen.

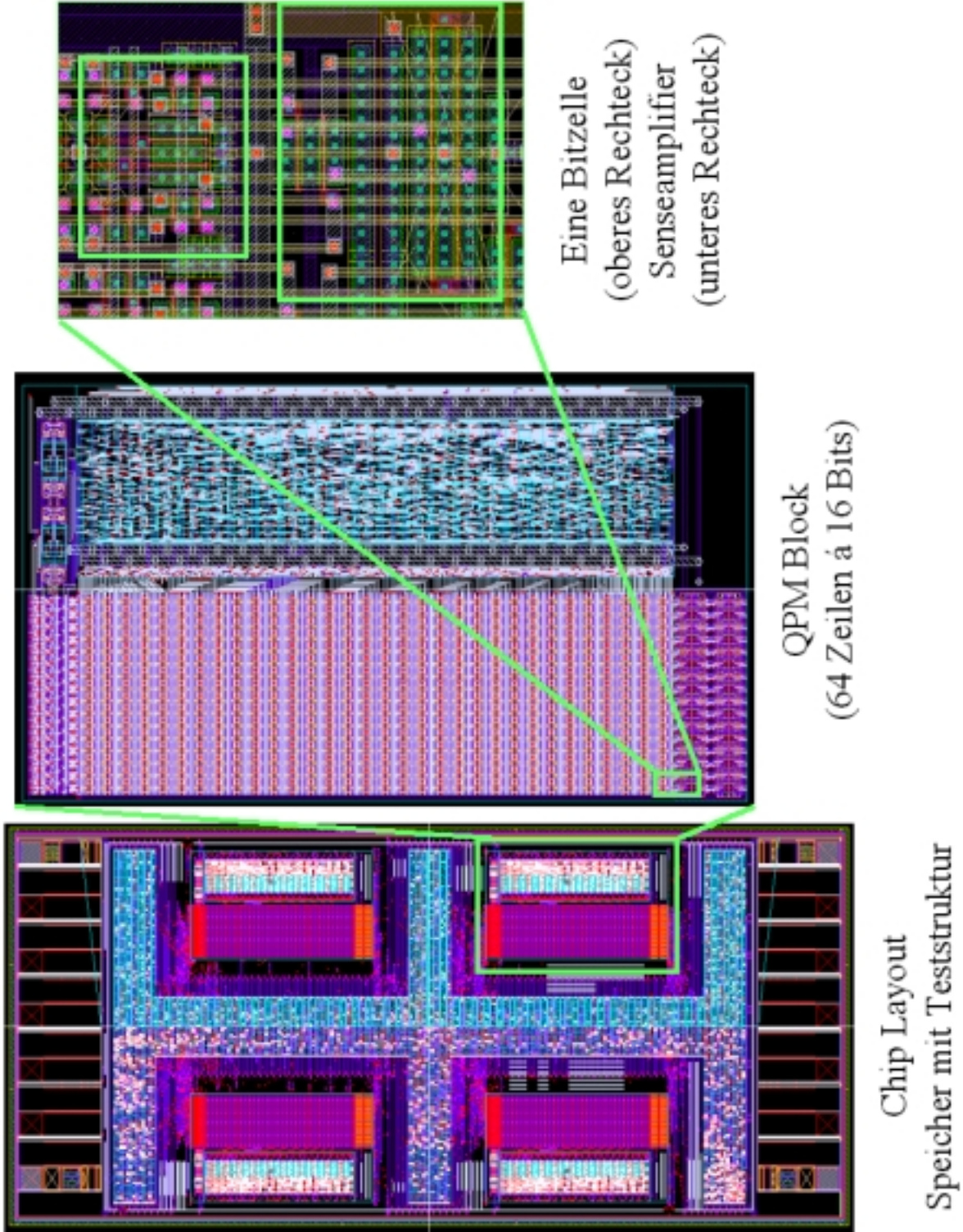


Abbildung 4.14: Verschiedene Layoutansichten des Chips

Da die zu schreibenden Daten an der Oberseite sowohl nichtinvertiert als auch invertiert ankommen, sind besonders dort die Anschlüsse sehr zahlreich. Aber auch an der Unterseite mit nur einem Ausgang pro Bit Wortbreite und Zugang, führt dies zu Problemen. Es wurde sehr viel Platz für das Durchführen der Leitungen gebraucht. Das Verlegen der Ausgänge des Speicherblocks an die breiteren Seiten würde das Problem nur mildern, da man dann die Leiterbahnen zu diesen mindestens 192 Ein- und Ausgängen nur für Daten von Hand ziehen müsste, und auch hierfür Platz benötigen würde.

Um ein automatisches Verbinden der Pins zu ermöglichen, wurden zunächst alle Pins auf ein Raster gelegt, mit dem das Programm die Leiterbahnen zieht. Dieses Raster hat etwas größere Abstände zwischen zwei Leitungen, als die von den Designregeln gegebenen Mindestabstände, und die in dem QPM-Block verwendeten Abstände. Die Abstände sind hier so gewählt, dass auch bei zwei nebeneinander liegenden Leitungen beliebig Vias, die etwas breiter sind als die Leitungen, gesetzt werden können. Des Weiteren wurde beim Verlegen der Leitungen für die Taktsignale, was vor dem Verlegen der übrigen Leitungen passiert, zunächst eine Blockadefläche vor die übrigen Datenpins der Oberseite gelegt, da ansonsten diese Leitungen direkt vor diesen Pins verliefen, und hier zumindest eine Metallschicht blockierten.

Auch mit diesen Maßnahmen war es nicht möglich, die Leitungen voll automatisch zu verbinden. Das Programm lieferte trotz mehrerer Durchgänge Fehler in den Verbindungen. Gelöst wurde dieses Problem, indem von Hand alle Leitungen, die solche Verbindungsfehler aufwiesen, gelöscht wurden, und auch die Leitungen um diese kritische Stelle herum entfernt wurden. Dann wurde das Programm zum automatischen Verbinden wieder durchlaufen und der Vorgang mehrmals wiederholt, bis keine Fehler mehr auftraten.

Die Verbindungen zur Stromversorgung wurden manuell gezogen, was leicht zu Fehlern führen kann.

4.10 Teststruktur

Vier dieser QPM-Blöcke sind in einer Teststruktur eingebaut. Diese Teststruktur ist ein Standardzellendesign und erzeugt pseudozufällige Daten und Adressen. Die Blöcke werden in drei Adressbereiche aufgeteilt, in Teil AB, in D und in C. In Teil AB wird über Zugang A an eine Adresse ein Datum geschrieben. Adresse und Datum werden dann ein paar Takte lang gespeichert, bis über Zugang B dieselbe Adresse ausgelesen wird. Der ausgelesene Wert wird dann mit dem ursprünglichen Wert verglichen. In Teil C und D des Speichers wird über einen Zugang jeweils abwechselnd geschrieben und gelesen. Die geschriebenen Daten werden ebenfalls gespeichert bis wieder auf die gleiche Adresse lesend zugegriffen wird, nur diesmal über den selben Zugang. Die gelesenen Daten werden dann ebenfalls verglichen.

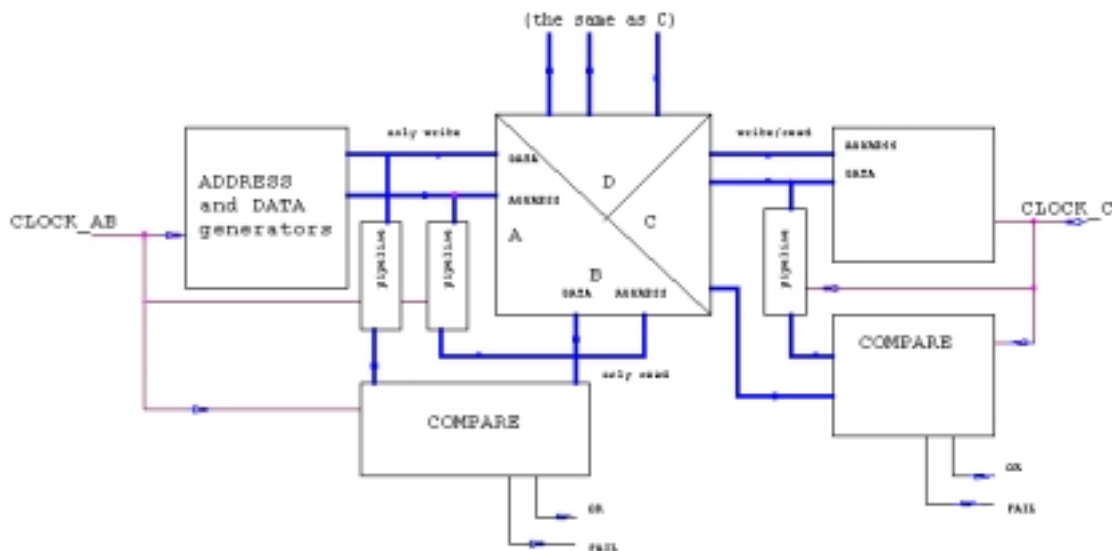


Abbildung 4.15: Blockschaltbild der Teststruktur

Die Adressbereiche sind konfigurierbar. Sie können auch so konfiguriert werden, dass sie sich überschneiden, um so Fehler hervorzurufen.

An zwei Ausgangspads können über einen konfigurierbaren Multiplexer folgende Signale geleitet werden:

Vergleich stimmt und Vergleich stimmt nicht für Teil eins, zwei oder drei

Ein Bit eines geschriebenen und ein Bit eines gelesenen Datums der gleichen Adresse aus einem der drei Teile.

Diese und weitere Konfigurationen geschieht über einen JTAG Boundary Scan Pfad. Hierbei handelt es sich um eine Art serielles Schieberegister, so dass es möglich ist, über ein Pad alle notwendigen Konfigurationsbits seriell einzuspielen. Es ist hiermit auch möglich, zusätzliche Daten wie Adressen, geschriebene Daten und gelesene Daten aller drei Teile seriell über ein zusätzliches Pad auszulesen. Außerdem sind noch drei Pads zur Steuerung des Scan Pfades notwendig.

Durch diese insgesamt 5 Pads werden in dieser Teststruktur insgesamt 173 Bits eingespielt bzw. ausgelesen.

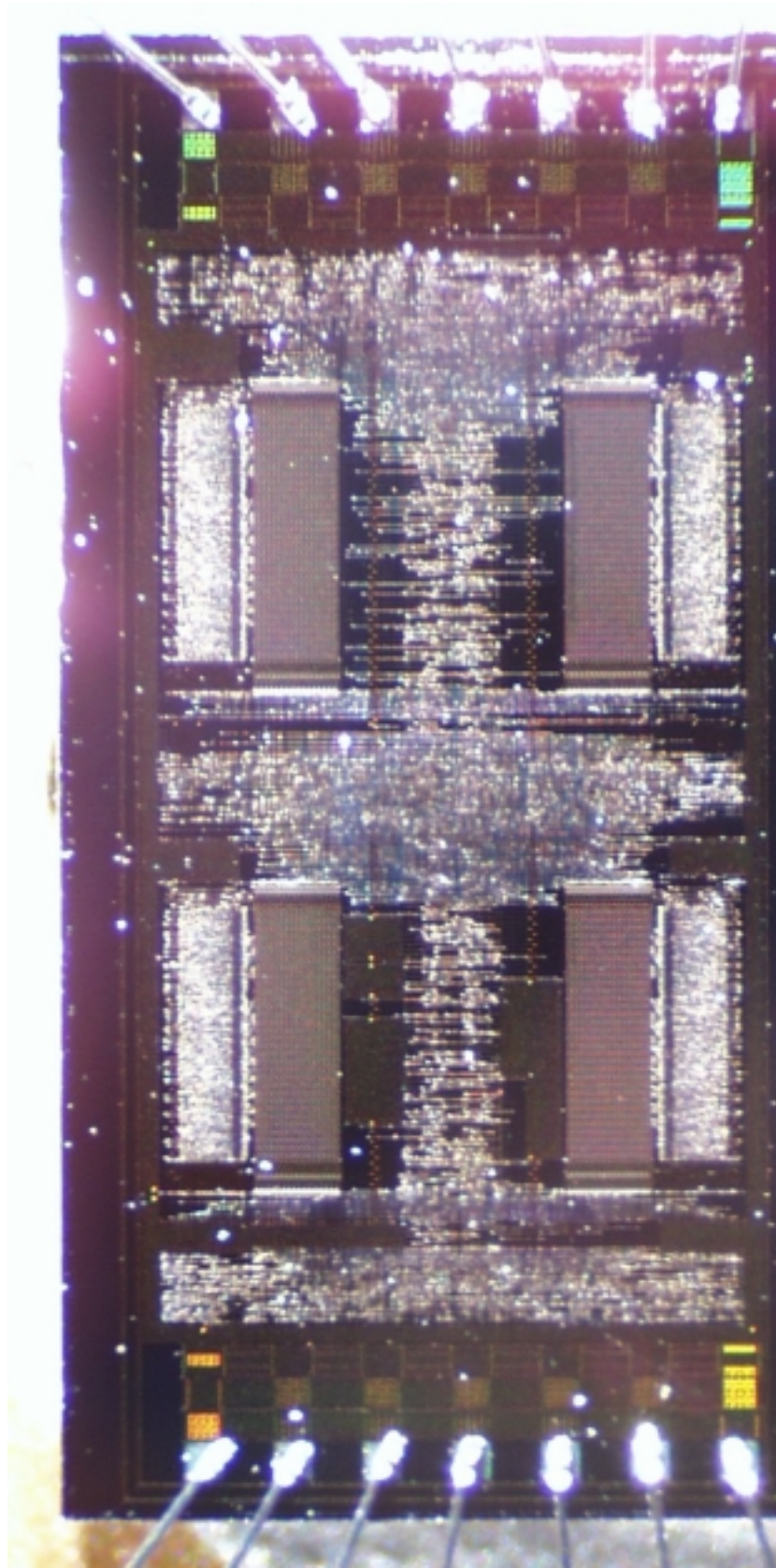


Abbildung 4.16: Reales Foto des Chips

4.11 Charakteristische Größen

Ein QPM-Block besteht aus 64 Speicherzeilen mit einer Wortbreite von 16 Bits. Er wurde in dem 0,35 μm Prozess von AMS gefertigt und nimmt eine Fläche von ca. 0,325 mm^2 ein. Hiervon entfallen ca. 0,124 mm^2 auf den Adressdeko­der, 0,127 mm^2 auf die Bitzellenmatrix, 0,016 mm^2 auf die Senseamplifier, 0,007 mm^2 auf die Vorladeeinheiten, 0,003 mm^2 auf die Schreibeinheiten und 0,005 mm^2 der Signalgenerator ein. Der Rest der Fläche wird zum Durchführen von Leiterbahnen gebraucht oder bleibt ungenutzt.

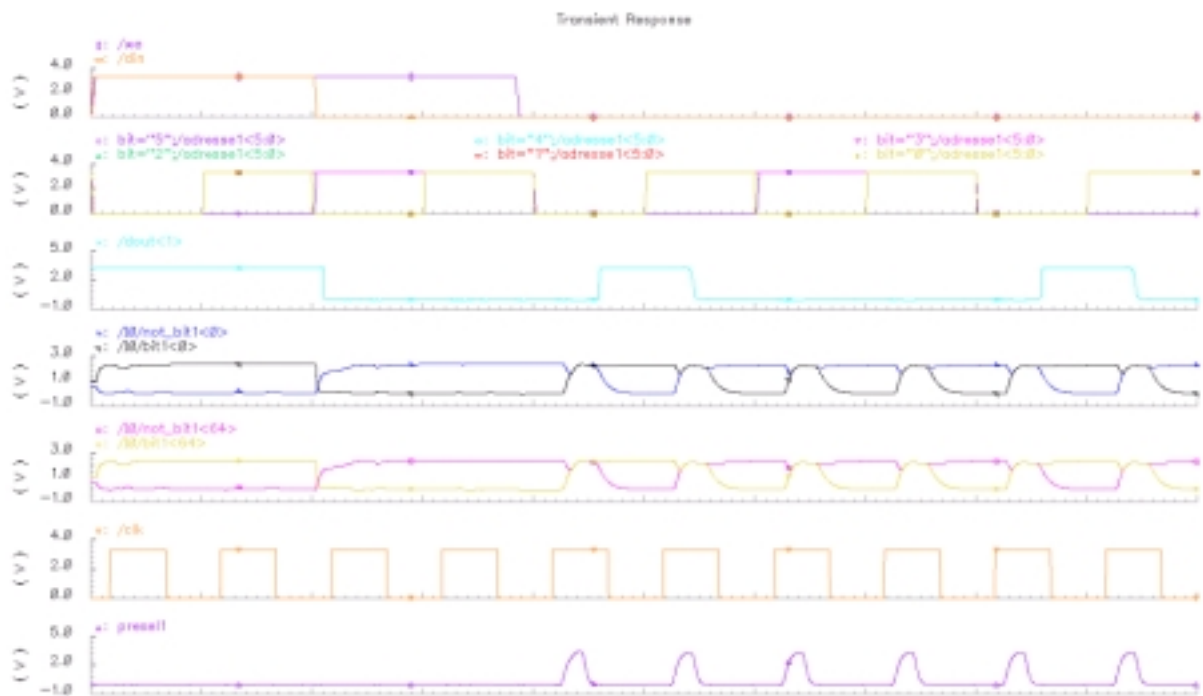


Abbildung 4.17: Simulation über einige Schreib und Lesezugriffe

Aus der Simulation ergibt sich, dass die Zugriffszeit t_{acc} , d.h. die Zeit im Lesezyklus von steigender Taktflanke bis zum Zeitpunkt, wenn gültige Daten am Ausgang anliegen, ca. 3,7 ns beträgt. Die Zugriffszeit wird bestimmt durch die Zeit, bis der Adressdeko­der das Aktivierungssignalbekommt (diese Zeit wird zur Dekodierung und zum Vorladen der Bit und Nicht-Bit-Leitungen genutzt), der Zeit, die die Bitzellen benötigen um die Leitungen

entsprechend zu treiben und der Zeit die die Senseamplifier benötigen um diese Leitungen dann auszulesen.

Die Zeit zum Schreiben t_w , d.h. von steigender Taktflanke bis zum Kippen der Bitzelle in den gewünschten Wert, beträgt ca. 2,7 ns. Sie ist im Wesentlichen durch das Aktivierungssignal des Adressdekoders bestimmt, da die Bitzellen sehr schnell in den zu speichernden Zustand springen.

Kapitel 5

Skalierbarkeit

In diesem Kapitel wird untersucht, wie sich die Veränderung der Anzahl von Speicherzeilen, Bits pro Speicherzeile, Zugänge sowie die Veränderung der Technologie auf die Fläche des Speichers auswirkt. Bei diesen Veränderungen soll die Zugriffszeit nach Möglichkeit in etwa gleich bleiben. Da der bestimmende Faktor für die Gesamtfläche die Größe der einzelnen Bitzellen ist, wird im Wesentlichen diese untersucht. Die entwickelte Bitzelle hat eine Breite von $12,9\ \mu\text{m}$ und eine Höhe von $9,6\ \mu\text{m}$.

5.1 Anzahl Bits pro Zeile

Die Anzahl der Bits pro Speicherzelle hat keinen Einfluß auf die Gestaltung der Bitzellen. Hier ist der begrenzende Faktor die Anzahl der Transistoren, die die Ausgangsstufen des Adressdekoders und des Signalgenerators treiben können. Diese Ausgangstreiber können aber leicht durch Stärkere ersetzt werden, oder es können noch zusätzliche Verstärker eingeführt werden. Für letzteres wäre zwar ein leichtes Anpassen des Zeitverhaltens der Steuersignale notwendig, aber beide Maßnahmen würden den Adressdekode und Signalgenerator kaum oder gar nicht größer machen. Auch der jetzige Adressdekode ist ohne Anpassung leicht in der Lage, die vierfache Anzahl von Transistoren zu treiben. Der Adressdekode, der in der jetzigen Implementation die Hälfte der Fläche ausmacht, würde also nicht größer werden. Die einzelnen Bitzellen und die dazugehörenden Strukturen der Vorladeeinheiten, Schreibeinheiten, und Senseamplifier würden sich auch nicht ändern.

Dem QPM-Block wird pro zusätzliches Bit in einer Speicherzelle eine neue Spalte dieser Strukturen angefügt. Eine dieser Spalten ist genau $12,9 \mu\text{m}$ breit.

5.2 Anzahl der Speicherzeilen

Die Anzahl der Speicherzeilen ist pro Block auf 64 begrenzt, da die einzelne Bitzelle in ihrer jetzigen Form nicht in der Lage wären eine 128 Zeilen Bit- und Nicht-Bit-Leitung zu treiben. Da diese Leitungen die doppelte Kapazität hätten. (Zeilenanzahlen die keine zweier Potenz sind, machen keinen Sinn, da sonst adressierbare Bereiche verschwendet würden). Dies ist aber kein großes Problem, da man einfach die Anzahl der Blöcke vergrößern kann. Die einzigsten Flächen, die noch zusätzlich benötigt werden, sind die für die Schreibeinheit, die Senseamplifier sowie die Precharge Unit, welche nur einen geringen Anteil an der Gesamtfläche haben. Der Adressdekoder wird hierbei zwar auch mehrfach benötigt, aber ein Adressdekoder für mehr Zeilen würde ja auch entsprechend größer werden, so dass hier keine Fläche verloren geht.

5.3 Anzahl der Zugänge

Die Zugriffszeit hängt im Wesentlichen von der benötigten Zeit ab, mit der die Bit- und Nicht-Bit-Leitungen geladen werden können. Diese Zeit τ ist wiederum proportional zu der Kapazität C der Bit- und Nicht-Bit-Leitungen und dem Widerstand R durch den diese Kapazität geladen werden muß.

Es gilt $\tau \sim R \cdot C$.

Diese Kapazitäten sind im Wesentlichen durch die parasitären Kapazitäten der Passtransistoren bestimmt, welche an der jeweiligen Bit- und Nicht-Bit-Leitung hängen. Diese Kapazität einer Leitung sei C_L . Da im schlimmsten Fall auf allen Zugängen eine einzige Speicherzeile ausgelesen wird, wird die Kapazität also von allen Passtransistoren der Bitzellen einer Spalte auf allen Zugängen bestimmt.

Der Widerstand ist zum Einen durch den der Passtransistoren R_p bestimmt, da jede Leitung aber einen separaten Passtransistor hat, sind diese parallel geschaltet, zum Anderen ist er durch den Widerstand durch die beiden Inverter in der Bitzelle bestimmt. Da die Leitungen ja vorgeladen sind, ist hier vor allem der Widerstand von derjenigen Leitung, die entladen werden soll, zu Erde wesentlich. Nennen wir ihn R_i . Der Gesamtwiderstand R ist für n Bitleitungen also

$$R = R_i + R_i/n$$

Folglich gilt für die Ladezeit $\tau \sim R \cdot C = (R_i + R_i/n) \cdot n \cdot C_L = n \cdot C_L \cdot R_i + C_L \cdot R_i$.

Nach dieser Abschätzung ist es also sinnvoll, vor allem den Widerstand in den Invertern R_i zu erniedrigen, um die Zugriffszeit bei wachsender Anzahl der Zugänge niedrig zu halten. Hierbei sind vor allem die Widerstände zu Erde wesentlich, den man durch Verbreiterung der Gates in den NMOS Transistoren der Inverter verringern kann. Von diesen Transistoren gibt es in einer Zelle auch nur zwei Stück und nicht wie bei den Passtransistoren zwei pro Zugang. Diese Verbreiterung ist ja auch schon bei den Bitzellen mit vier Zugängen geschehen.

Für jeden weiteren Zugang werden neben der Vergrößerung der Inverter auch zwei zusätzliche Passtransistoren benötigt. Außerdem müssen die zugehörigen Leitungen für Bit und Nicht-Bit sowie die entsprechende Wortleitung durch die Zelle geführt werden. Die Leitungen sind jeweils $0,5 \mu\text{m}$ breit, allerdings benötigt man für die Kontakte zu anderen Metallschichten Vias die $0,9 \mu\text{m}$ breit sind. Der Mindestabstand zur nächsten Leiterbahn beträgt $0,6 \mu\text{m}$.

Für einen fünften Zugang würde die Zelle durch die zusätzliche Wortleitung also mindestens $1,5 \mu\text{m}$ höher. Dies würde vermutlich ausreichen, um die NMOS Transistoren der Inverter wie erforderlich zu vergrößern. In der Breite wären allerdings nicht die Bitleitungen, sondern die zusätzlichen Passtransistoren entscheidend. Mit den nötigen Kontakten und Mindestabständen sind diese mindesten $3,1 \mu\text{m}$ breit. Vielleicht könnte man durch die etwas eingerückte Anordnung ein halbes μm sparen, so dass die Zelle um $2 \times 2,6 \mu\text{m}$ also $5,2 \mu\text{m}$ breiter würde. Dies alles unter der Annahme, dass keine weiteren Flächenverluste auftreten wegen ungünstiger Anordnungen oder notwendigen Leitungsführungen. Die Fläche der Bitzelle würde also um mindestens ca. 25 % steigen. Auch bräuchte der zusätzliche Port einen Adressdekoer, so dass auch dieser im günstigsten Fall um 25 % größer werden würde.

Für einen sechsten Port würde das Durchführen der Leitungen ein größeres Problem und somit die Fläche bei weitem nicht mehr so optimal nutzbar sein. Die Zelle würde sehr viel erheblicher wachsen, als dies beim Anwachsen der Zugänge von vier auf fünf der Fall wäre.

5.4 Technologie

Eine weitere Frage ist, wie sich die Größe bei dem Übergang zu einem anderen Herstellungsprozeß verhält. Zur Zeit ist geplant, diesen Speicher in der $0,18\mu\text{m}$ Technologie von UMC zu implementieren. Leider ist bis jetzt der Designablauf für diesen Prozeß noch nicht vollständig etabliert, so dass die Abschätzung nur sehr grob erfolgen kann.

Die Größe der Zelle in der $0,35 \mu\text{m}$ Technologie von AMS ist zwar durch die Leitungsführung bestimmt, aber auch die Fläche, die nur für die Transistoren mit Kontakten zu der Polysiliziumschicht nötig ist, wäre nicht sehr viel kleiner gewesen.

Die für die Leitungsführung notwendige Fläche hängt bei den technologiespezifischen Größen in erster Linie von der Größe der Vias und den einzuhaltenen Mindestabständen zu benachbarten Metallbahnen ab. Obwohl in dem UMC Prozeß erheblich mehr Metallschichten vorhanden sind (sechs Stück) ist nicht zu erwarten, dass das Problem dadurch erheblich besser

wird, da es nur möglich ist, von der Polysiliziumschicht angefangen, alle Metallschichten der Reihe nach durchzuverbinden. Es ist nicht möglich, zum Beispiel von der ersten Metallschicht direkt auf die fünfte zu kommen, ohne alle dazwischen Liegenden zu benutzen.

Die Fläche der Vias und der notwendigen Mindestabstände ist beim UMC Prozess um einen Faktor von ca. 4,4 kleiner als bei AMS. (Mit dieser Fläche sind nicht nur die Flächen der eigentlichen Via Schichten gemeint, sondern auch die Flächen die für Metallschichten notwendig sind, die die Vias eventuell umgeben müssen, plus der Fläche die wegen der Mindestabstände frei bleiben muß. Hierbei wurde ein Quadrat als Grundfläche angenommen.

Die Fläche eines minimal großen Transistors mit Kontakten zu der Polysiliziumschicht ist bei UMC um den Faktor 3,7 kleiner als bei AMS. Hierbei wurde eine rechteckige Grundfläche angenommen, und die Mindestabstände zum nächsten Transistor berücksichtigt In Abbildung 5.1 und 5.2 sind minimale Transistoren beider Technologien zu sehen. Die Abbildungen sind nicht maßstäblich zueinander und berücksichtigen nicht die Mindestabstände zu Nachbartransistoren.

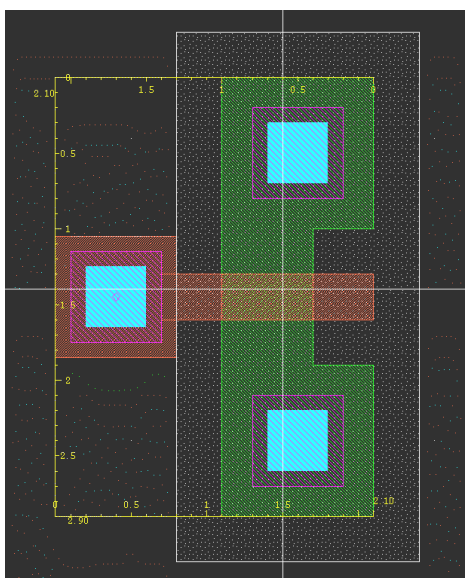


Abbildung 5.1: Minimaler Transistor von AMS

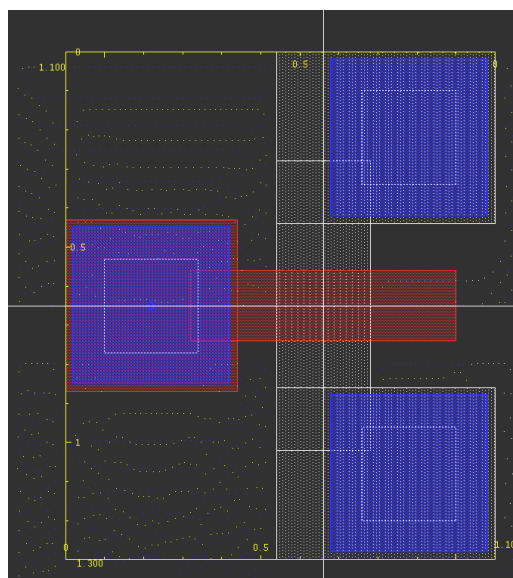


Abbildung 5.2: Minimaler Transistor von UMC.

Die Fläche für die Bitzellen würde also in dem UMC Prozeß grob abgeschätzt ein Viertel so groß sein wie in dem AMS Prozeß.

Allerdings ist diese Abschätzung sehr grob. Einerseits könnten die vielen Metallschichten durchaus eine erheblich bessere Leitungsführung ermöglichen und damit die für den QPM-Block notwendige Fläche verkleinern, andererseits könnte es sich herausstellen, dass die kleinsten Transistoren eben nicht geeignet sind, und man folglich für größere Transistoren erheblich mehr Platz benötigt.

Kapitel 6

Zusammenfassung und Ausblick

Im Rahmen dieser Arbeit wurde ein Quadport Memory für den 0,35 μ m Prozess von AMS entwickelt. Hierbei handelt es sich um einen Speicher auf den durch vier unabhängige Zugänge bidirektional zugegriffen werden kann.

Der Speicher ist in Blöcken von 64 Zeilen aufgebaut, die sich in beliebiger Anzahl kombinieren lassen, um größere Speicher zu realisieren.

Die Anzahl der Bits pro Zeile lässt sich durch einfaches Duplizieren einer Speicherspalte leicht über weite Bereiche variieren.

Die Zugriffszeit des Speichers beträgt ca. 3,7 ns, so dass er sich ohne Probleme bei 133 MHz der Taktrate des PCIX-Bus-Protokolls betreiben ließe.

Die Blöcke lassen sich in ein Standardzellendesign integrieren.

Es wurde ein Chip mit vier QPM Blöcken mit 16 Bits Zeilentiefe, sowie einer Teststruktur entworfen, submitiert und gefertigt. Ein Block hat bei dieser Anzahl von Bits pro Zeile eine Fläche von ca. 0,325 mm².

Bei der Entwicklung dieses Chips wurden sowohl Full Custom Designs angefertigt, als auch Standardzellen Designs. Diese beiden Arten des Designs wurden erfolgreich ineinander integriert.

Für die Zukunft ist geplant, auf den 0,18 μm Prozess von UMC umzusteigen. Daher wird der nächste Schritt die Implementation des QPM in diesem Prozess sein. Des Weiteren kann man versuchen, den relativ großen Adressdekoder in einem Full Custom Design zu realisieren und nicht wie bisher aus Standardzellen.

Als Anwendungsbereiche von Multiport Speichern ist neben dem Einsatz in der MIMD-CPU für das Alice-Experiment und andere MIMD-CPU's, auch der Einsatz im Kommunikations- und Netzwerkbereich vorstellbar. Insbesondere könnte diese Art von Speichern in schnellen Switches eingesetzt werden, wo sie wie in der MIMD-CPU die Kommunikation zwischen den Knoten übernehmen könnten, anstatt dies über Busse zu realisieren.

Literaturverzeichnis

- [1] Cern Press Release. New State of Matter created at CERN, 2000
- [2] The LHC Study Group. The Large Hadron Collider, Conceptual Design Report. CERN/AC/95-05
- [3] <http://lhc.web.cern.ch/lhc/>
- [4] <http://alice.web.cern.ch/Alice>
- [5] Die ALICE Kollaboration. Technical Proposal for A Large Ion Collider Experiment at the CERN LHC. CERN/LHCC 95-71. 1995
- [6] Die ALICE Kollaboration. Technical Design Report of the Inner Tracking System (ITS). CERN/LHCC 99-12. 18. 1999
- [7] Die ALICE Kollaboration. Technical Design Report of the Time Projection Chamber (TPC). CERN/LHCC 2000-001. 2000
- [8] Die ALICE Kollaboration. Technical Design Report of the Transition Radiation Detector. 2001
- [9] Die ALICE Kollaboration. Technical Design Report of the Time of Flight System (TOF). CERN/LHCC 2000-12. 2000
- [10] Die ALICE Kollaboration. Technical Design Report of the Photon Spectrometer (PHOS)
- [11] Die ALICE Kollaboration. Technical Design Report of the High Momentum Particle Identification Detector. CERN/LHCC 98-19. 1998
- [12] F. Lesser, J. de Cuveland, V. Lindenstruth, C. Reichling, R. Schneider, M. W. Schulz. A MIMD-Based Multi Threaded Real-Time Processor for Pattern Recognition. DSD Warschau 2001

-
- [13] F. Lesser, J. de Cuveland, V. Lindenstruth, C. Reichling, R. Schneider, M. W. Schulz. A MIMD based Multi Threaded Processor. HOTCHIPS 2001 Palo Alto
- [14] Neil H. E. Weste, Kamran Eshraghian. Principles of CMOS VLSI Design. Addison Wesley Publishing Company. 1994
- [15] Randall L. Geiger, Phillip E. Allen, Noel R. Strader. VLSI Design Techniques for Analog and Digital Circuits. McGraw-Hill Publishing Company. 1990
- [16] R. Jacob Baker, Harry W. Li, Dabid E. Boyce. CMOS Circuit Design, Layout, and Simulation. IEEE Press. 1998
- [17] Gunther Lehmann, Bernhard Wunder, Manfred Selz. Schaltungsdesign mit VHDL. Franzis. 1994
- [18] Himanshu Bhatnager. Advanced ASIC Chip Synthesis. Kluwer Academic Publishers. 1999
- [19] Pran Kurup, Taher Abbasi. Logic Synthesis Using SYNOPSIS Second Edition. Kluwer Academic Publishers 1999
- [20] Dietrich Rhein, Heinz Freitag. Mikroelektronische Speicher. Springer Verlag. 1992
- [21] Betty Prince. High Performance Memories. John Wiley & SONS, LTD. 1999

