Fakultät für Physik und Astronomie
Ruprecht-Karls-Universität Heidelberg

Diplomarbeit
im Studiengang Physik

vorgelegt von
Holger Blinzinger
aus Öhringen

im März 2000

Aufbau eines kompakten Bildverarbeitungsrechners für ein taktiles Blindenhilfssystem

Diese Diplomarbeit wurde von Holger Blinzinger ausgeführt
am Kirchhoff Institut für Physik der Universität Heidelberg
unter der Betreuung von
Herrn Prof. Dr. K. Meier

Übersicht

Es wird hier ein mobiler Bildverarbeitungsrechner als Ergänzung zu einem Blindenhilfssystem vorgestellt. Die Rechnereinheit ist dabei aus einem Kleinst-PC und einer selbsterstellten Bildverarbeitungsplatine zusammengesetzt. Dieses Kompaktsystem arbeitet zusammen mit zwei ASICs (Application Specific Integrated Circuits) und soll die aufgenommene Umgebungsinformation an Ausgabegeräten für sehbehinderte Personen zur Verfügung stellen. Bei den ASICs handelt es sich um einen Kamerachip und einen Bildverarbeitungschip, die speziell für diesen Zweck entwickelt wurden. Der Kompakt-PC ist ein handelsübliches PC/104plus-Modul, woran die zugehörige Bildverarbeitungsplatine als PCI-Steckkarte betrieben wird. Diese Erweiterungskarte und ihre Erstellung sind Hauptbestandteil der vorliegenden Arbeit. Die Tests der Platine wurden erfolgreich durchgeführt. Die Einheiten Kamera, Bildverarbeitungschip, Rechnereinheit und Ausgabegerät können als komplettes System eingesetzt werden. Der Einsatz des Bildverarbeitungsrechners ist nicht nur im Rahmen des Blindenhilfssystems möglich.

Abstract

In this work, an existing vision substitution system is being completed by the development of a mobile image processing computer. The whole unit consists of a miniaturized Personal Computer in combination with a self-developed printed circuit board for image processing purposes. This compact system cooperates with two ASICs (Application Specific Integrated Circuits) in order to record the user's environment and transfer this information to output devices for visually impaired persons. The ASICs used for this unit are a camera chip and an image processing chip, particularly developed to serve this special purpose. A conventional PC/104plus module is used to run the image processing board as a PCI expansion card. This board and its development are the main topics of this work. Testing of the printed circuit board was successfully done. Camera chip, image processing chip, computing unit and peripheral device can be operated as a complete system. Possible applications for the image processing computer are not limited to the use within the vision substitution system.

Inhaltsverzeichnis

Einführung

Schnelle Bildverarbeitung stößt heute in vielen Industriezweigen auf Interesse. Diese Technik ist in Bereichen der Robotik oder Rüstungstechnik ebenso gefragt wie bei der alltäglichen industriellen Massenfertigung. Am Kirchhoff-Institut für Physik der Universität Heidelberg wird sie für den Betrieb eines taktilen Sehersatzsystems eingesetzt. Die vorliegende Arbeit ergänzt die vorhandenen Entwicklungen um den zentralen Bildverarbeitungsrechner, der bereits vorhandene Komponenten wie Kamera und taktile Ausgabegeräte miteinander verbindet. Das Vorhaben der Vision-Gruppe am Kirchhoff-Institut ist, ein System zu entwickeln, das sehbehinderten Personen hilft, sich in ihrer Umwelt zu orientieren. Dieses System sieht die Umgebung mit Hilfe einer Miniaturkamera, die aufgenommene Schwarzweißbilder als analoges Signal ausgibt. Sie besteht aus einer 23×23 mm^2 großen Platine, die einen Kamerachip trägt. Diese Platine kann in einem dafür vorgesehenen Aluminiumgehäuse oder auch für sich allein betrieben werden, was eine unauffällige Montage erlaubt, wie etwa hinter Brillengläsern. Das analoge Ausgangssignal der Kamera, das die Bilddaten trägt, wird anschließend von einem Bildverarbeitungschip aufgenommen und bearbeitet. Der Chip detektiert die Umrisse der auf den Bildern dargestellten Gegenstände und gibt nur diese als Bildinformation weiter. Die für die weitere Bearbeitung unnötige Detailinformation wird so herausgefiltert. Die so vorbereiteten Bilder müssen nun in ausreichend schneller Folge zwischengespeichert und von einem Rechner zur Ausgabe an Endgeräte aufbereitet werden. Dies muß mit Hilfe einer an diesem Rechner betriebenen Erweiterungskarte geschehen, die speziell für diesen Zweck zu entwickeln ist. Diese Erweiterungskarte muß für die Zusammenarbeit mit den vorhandenen ASICs ausgelegt sein. Daher muß sie die entsprechende Hardware zur Aufnahme des Bildverarbeitungschips und die Verbindung zur Kamera zur Verfügung stellen, um die ASICS zu einem lauffähigen System zu vereinigen. Der gesamte Rechner soll dabei in Größe und Gewicht so dimensioniert sein, daß ihn der Benutzer als batteriebetriebene Einheit bei sich tragen kann. Sein Energieverbrauch sollte darüberhinaus mehrere Stunden ununterbrochenen Betrieb erlauben. Sich dem Bildverarbeitungsprozess anschließende Ausgabegeräte können vielfältiger Art sein. Von der Vision-Gruppe verfolgte Möglichkeiten sind derzeit eine Brille mit LCD-Anzeige und ein taktiles Display. Die Brille wurde zur Verbesserung der Sehkraft für Personen mit einem gewissen Restsehvermögen entwickelt. Das taktile Display bietet dem Benutzer mit den Fingern ertastbare Bildinformationen an. Zusätzlich beschäftigt sich die Vision-Gruppe derzeit mit der Möglichkeit des Ansprechens der Hautoberfläche mit gezielten taktilen Reizen.

Kapitel 1

Das Vision-Projekt

In diesem Kapitel wird eine Übersicht über das Gesamtprojekt und die bereits entwickelten Komponenten gegeben. Dabei handelt es sich um zwei im ASIC-Labor des Kirchhoff-Instituts speziell für das Blindenhilfssystem entwickelte Chips und zwei Ausgabegeräte.

1.1 Der Kamerachip Divichi

Bei dem Kamerachip Divichi[1] [Loose 99] handelt es sich um eine CMOS[2]-Kamera, deren Größe lediglich $11,5 \times 7,7$ mm^2 beträgt. Der lichtempfindliche Teil dieses Chips besteht aus Photodioden, die in einem 0,6 μm CMOS-Prozeß realisiert wurden. Diese Kamera besitzt eine Auflösung von 384×288 Pixeln und ist in der Lage, bei Intensitäten von etwa 10^{-3} W/m^2 bis 10^3 W/m^2 ohne äußere Einflußnahme ein qualitativ gleich gutes Bild zu liefern. Diese Eigenschaft charakterisiert ihren hohen Dynamikbereich[3], der weit über dem normaler CCD-Kameras (charged coupled device) liegt. Der hohe Dynamikbereich wird erreicht durch logarithmische Komprimierung des Signals. Bei CCD-Kameras wird das Signal linear umgesetzt. Die damit einhergehende Schwäche im Dynamikbereich wird bei diesen Kameras in der Regel durch den Einsatz von Blenden ausgeglichen. Die Abbildungen 1.1 bis 1.3 geben eine Vorstellung vom Aussehen und der Größe des Divichi. Dabei zeigt Abbildung 1.1 zunächst den auf die Platine gebondeten Kamerachip, die Abbildungen 1.2 und 1.3 zeigen den Einbau in ein kompaktes Gehäuse.

[1] VIsion CHIp mit integrierter analog-DIgital-Wandlung
[2] Complementary Metal Oxide Semiconductor
[3] Eine hohe Empfindlichkeit auch bei sehr unterschiedlichen Helligkeiten

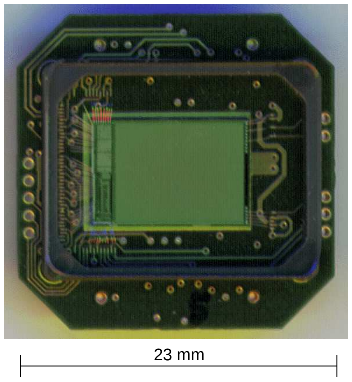

Abbildung 1.1: Der Kamerachip Divichi, auf die zugehörige Platine gebondet

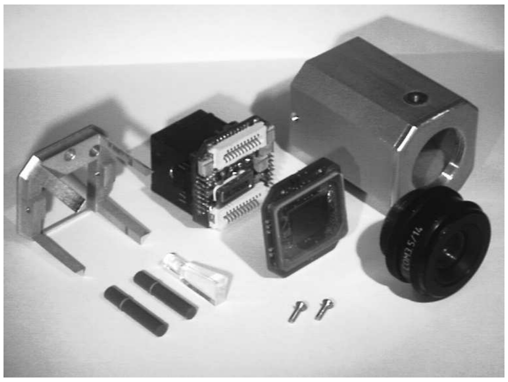

Abbildung 1.2: Die Einzelteile der Kamera mit Gehäuse

Abbildung 1.3: Die zusammengesetzte Kamera

1.2 Kantenextraktion mit EDDA

Der Bildverarbeitungschip EDDA[4] [Schemmel 99] reduziert zu bearbeitende Bilder durch sogenannte 'Kantenextraktion' auf die notwendige Information. Dabei werden nur die wesentlichen Strukturen der aufgenommenen Bilder herausgearbeitet. So wird die Speichergröße der Bilder minimiert und die weitere Bearbeitung der Bilder und schließlich auch das Erkennen von Objekten vereinfacht. In Abbildung 1.4 ist der EDDA-Chip auf einer Testplatine dargestellt. Ein von ihm bearbeitetes einfaches Bild zeigt Abbildung 1.5. Um eine effektive Kantenerkennung zu erreichen, muß darauf geachtet werden, daß bei der Reduktion der Bildinformation unter Beibehaltung wichtiger Bildinformationen auch eine geeignete Unterdrückung des auftretenden Rauschens erfolgt. Das Entscheidungskriterium für die Präsenz einer Kante ist die Größe der Differenz benachbarter Grauwerte. Welche Größe der Differenz schließlich zur Erkennung einer Kante führt, ist einstellbar. Dieser Chip wurde auch im 0,6 μm Prozess hergestellt und besitzt eine Matrix von 66 $\times$ 66 Elementarzellen in seinem Analogteil. Jede Elementarzelle überprüft zu je zwei benachbarten Pixeln hin, ob die erforderlichen Grauwertdifferenzen zwischen ihnen erreicht wurden, um diese Stelle als Kante zu definieren. Mit EDDA kann ein Bild dieser Größe in weniger als 10 μs verarbeitet werden (vgl [Schemmel 99]).

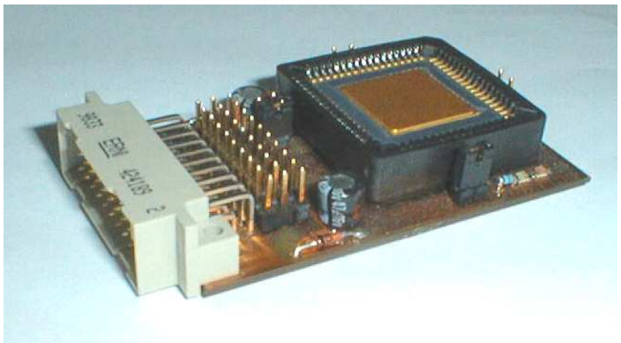

Abbildung 1.4: Der EDDA-Chip auf einer Testplatine

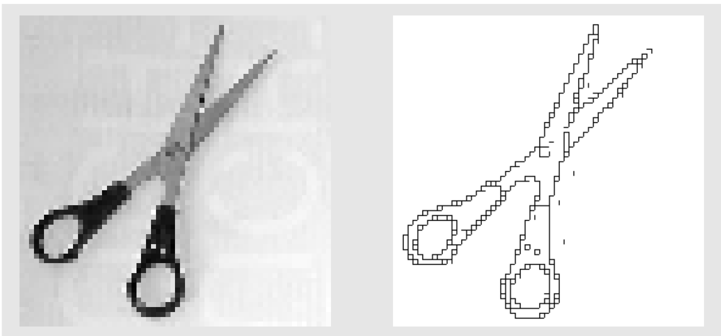

Abbildung 1.5: Ein von EDDA bearbeitetes Bild

[4]EDge Detection Array

1.3 Ausgabegeräte

1.3.1 Das taktile Display

Das VTD[5] [Maucher 98] ermöglicht durch manuelles Abfahren eines virtuellen Bildes mit dynamischen Braille-Modulen, einfache geometrische Strukturen zu übermitteln. Dies können direkt eingelesene Figuren, aber auch entsprechend vorbearbeitete Bilder der Umgebung oder aus anderen Quellen, wie etwa dem Internet, sein. Der Benutzer gelangt an diese Information, indem er mit den Fingern sechs Braillemodule auf einem kleinen Schlitten über eine rechteckige Fläche führt, die das abzutastende Bild repräsentiert. Dabei wird der jeweils untersuchte Teil des Bildes vergrößert auf den Braillemodulen ausgegeben. Jedes Braillemodul besteht aus acht Aktuator-Pins, durch deren Auf- und Abbewegung das Bild als Relief übertragen wird. Das VTD kann so Bilder bis zu 2880 Pixeln darstellen. Das Display ist sehr gut für den Einsatz am PC geeignet, wodurch auch blinden Personen die Möglichkeit geschaffen wird, Arbeiten am Computer auszuführen. Abbildung 1.6 zeigt Fotos der beiden momentan existierenden Versionen des taktilen Displays.

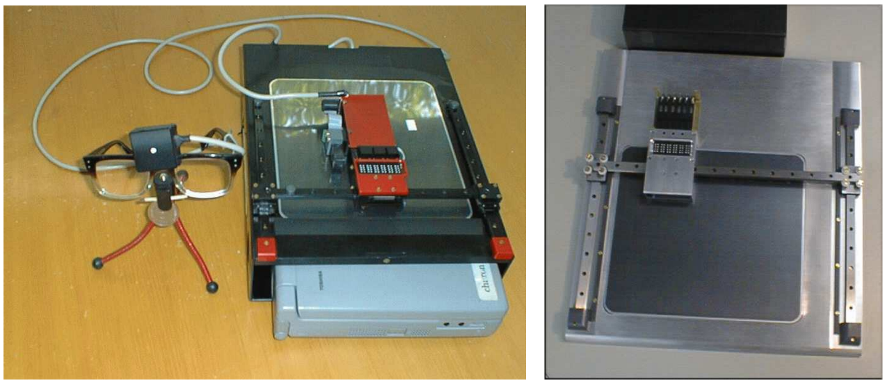

Abbildung 1.6: Die alte und die neue Version des taktilen Displays

1.3.2 HVES - Das Heidelberger Vision Enhancement System

Hierbei handelt es sich um eine Sehhilfe, die zum Einsatz kommt, wo Sehbehinderungen mit gewöhnlichen Brillen oder Kontaktlinsen nicht ausgeglichen werden können [Schmidt-Mende 99]. Zu diesem Zweck wurde eine kommerzielle Brille mit LCD[6]-Anzeige so modifiziert, daß sie diese Aufgabe möglichst optimal erfüllt. Im Betrieb wird ein digitalisiertes Kamerabild vergrößert auf zwei LCDs auf der Innenseite der HVES-Brille dargestellt. Dabei existieren Einstellmöglichkeiten zur Vergrößerung, Helligkeit, zum Kontrast und zur Verschärfung der Kanten. Diese Brille ist als Sehhilfe mobil einsetzbar. Abbildung 1.7 gibt eine Vorstellung von ihrem Aussehen.

[5] Virtuelles Taktiles Display
[6] Liquid Crystal Display

Abbildung 1.7: Das Heidelberger Vision Enhancement System (HVES)

1.4 Grundlagen taktiler Wahrnehmung

Ein weiteres Projekt der Vision-Gruppe umfaßt die Erforschung der Arbeitsweise des Gehirns und der Bereiche, die für die Umsetzung taktiler Reize zuständig sind. Dazu werden Versuche in einem fMRI[7] durchgeführt, die letztendlich Aufschluß darüber geben sollen, welche Art von taktilen Reizen zur Informationsübermittlung am geeignetsten ist.

1.5 Die Bildverarbeitungseinheit

Um diese Komponenten nun als eine Funktionseinheit zu betreiben und zu steuern, benötigt man idealerweise einen schnellen Miniaturrechner, der mit geeigneter Bildverarbeitungshardware ausgestattet ist und auch im Stromverbrauch dem mobilen Einsatz gerecht wird, da auch der Energiebedarf durch die Wahl des Akkus Einfluß auf das Gewicht nimmt. Der Rechner sollte außerdem mit allen PC-üblichen Schnittstellen ausgerüstet sein, um einen problemlosen Betrieb der möglichen Ausgabegeräte über entsprechende Steckverbindungen zu gewährleisten.

[7] functional Magnetic Resonance Imaging

Kapitel 2

Das PC/104plus-Modul

Hier wird der für das Blindenhilfssystem verwendete Miniatur-PC präsentiert. Die an die Rechnereinheit gestellten Kriterien der Mobilität und des geringen Energiebedarfs bei hoher Rechenleistung können ideal durch den Einsatz eines PC/104plus-Rechnermoduls verwirklicht werden. Bei diesem Computer sind auch die Abmessungen und das Gewicht entsprechend dimensioniert, so daß damit leicht ein tragbares System aufgebaut werden kann.

2.1 Eigenschaften des Rechners

Eine eingehende Recherche nach geeigneten Modulen führte die Wahl auf die Profive CPU-T5 [CPU-T5] der Firma EEPD [EEPD]. Dies war der preisgünstigste Rechner bei sehr leistungsfähiger CPU mit allen nötigen Schnittstellen und Erweiterungsmöglichkeiten. Der Rechner ist mit 64 MB SDRAM und 512 KB L2 Cache ausgestattet und arbeitet mit einer Low Power Intel Pentium CPU bei 266 Mhz. Alle üblichen Betriebssysteme sind darauf lauffähig. Zur Ausstattung gehören eine parallele und 4 serielle Schnittstellen, ein USB-Port, ein IDE-Anschluß, sowie Anschlüsse für Tastatur, Maus und Diskettenlaufwerk. Das entsprechende Analogon zum ISA und PCI Bus findet sich auf dem PC/104plus-Rechner als je ein Anschluß für den PC/104 Bus, beziehungsweise den PC/104plus Bus. Für das Blindenhilfssystem wurde die PC/104plus-Norm verwendet. Diese unterscheidet sich von der PCI-Norm gewöhnlicher PCs durch eine unterschiedliche Steckverbindung und eine leicht abweichende Belegung der elektrischen Kontakte. Abbildung 2.1 zeigt ein Bild eines PCI-Steckers und seine Anpassung an die PC/104plus-Norm. PC/104plus-Steckverbinders. Der Rechner wird mit einer 'single 5V' Spannungsversorgung betrieben, also weitere für seinen Betrieb benötigte Spannungen generiert er selbst. Sein Energieverbrauch wurde im Handbuch mit 25 Watt kurzzeitigem Spitzenbedarf angegeben. Eigene Tests ergaben Werte von etwa 15 Watt kurzzeitiger Spitzenleistung und 12 Watt im Dauerbetrieb zusammen mit Ethernetkarte, Grafikkarte, Festplatte und Bildverarbeitungsplatine. Die Größe des Rechners, die zur mobilen Handhabung entscheidend beiträgt, entspricht der PC/104plus-Norm, also etwa 9×9,6 cm^2. Es können Erweiterungskarten beidseitig auf die PC/104plus-Stecker des Rechners aufgesteckt werden, wodurch ein Stapel aus mehreren Modulen gebildet werden kann. Der Abstand je zweier benachbarter Module im zusammengesteckten Komplettsystem beträgt etwa 2 cm. Zur Durchführung der Tests verwendete Karten sind die Ethernet-Netzwerkkarte 'Profive Ethernet-100' zur Verbindung mit einem Kontrollrechner und zum Aufbau des Netzwerkzugriffs, sowie die Grafikkarte 'Profive Graphic-6555x' mit 2MB Videospeicher, die eine Darstellung der Rechnerausgabe auf einem gewöhnlichen PC-Monitor gestattet. In Abbildung 2.2 sind alle diese Bausteine einzeln dargestellt, in Abbildung 2.3 zum Komplettsystem zusammengesteckt.

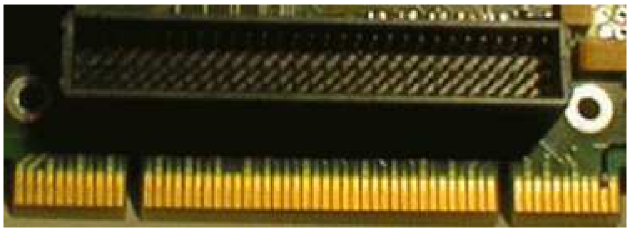

Abbildung 2.1: Der PCI-Stecker (unten) und der PC/104plus-Stecker (oben)

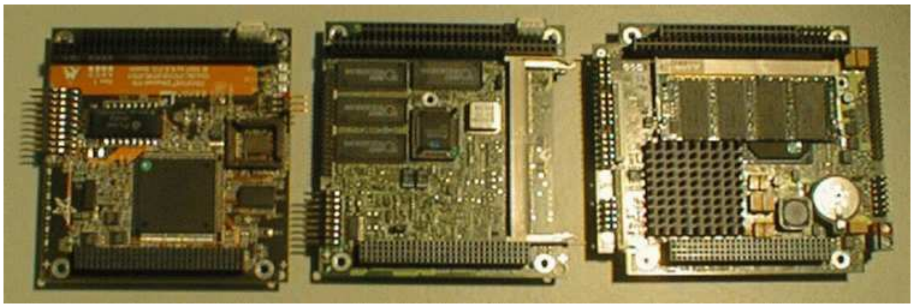

Abbildung 2.2: Die PC/104plus-Module Netzwerkkarte, Grafikkarte und Rechner

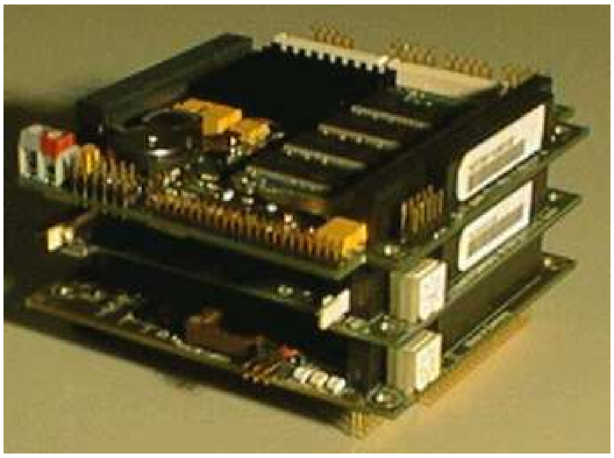

Abbildung 2.3: Der PC/104plus-Rechner im Stack mit 2 Modulen

2.2 Inbetriebnahme

Der Kompakt-PC wurde zusammen mit den zugehörigen Erweiterungsmodulen (Ethernetkarte und Grafikkarte) in Betrieb genommen, wobei die Reihenfolge der Anordnung der Steckkarten im gesamten Stapel durch entsprechende Einstellungen an den Modulen zu berücksichtigen war (vgl. [CPU-T5]). Jedes Erweiterungsmodul ist mit einem Drehschalter ausgestattet, der die Aufgabe hat, für bestimmte Signale jedem Modul separate Leitungen zuzuweisen, da diese nicht von den Modulen gemeinsam verwendet werden können. Diese Signale sind IRQ (Interrupt Request), IDSEL (Initialization Device Select), CLK (Clock), REQ (Request, wird vom Bus Master gesetzt, um für sich die Nutzung des PCI Bus anzufordern) und GNT (Grant, wird gesetzt, um dem Bus Master die Kontrolle über den PCI Bus zuzuweisen). Es können auf diese Art vier verschiedene Erweiterungskarten verwendet werden.

2.3 Betriebssysteme

Auf diesem PC wurden die Betriebssysteme SuSE Linux 6.2 und Windows 98 erfolgreich installiert und konnten ohne Einschränkung genutzt werden.
Der Rechner wurde zunächst für den Betrieb unter Windows 98 konfiguriert. Dazu muß er zusammen mit der Grafikkarte betrieben werden, da Windows 98 auf eine grafische Ausgabe angewiesen ist. Durch optionalen Betrieb zusammen mit der Ethernetkarte konnte eine Netzwerkverbindung zum einfachen Austausch von Daten mit anderen Rechnern hergestellt werden.
Das Betriebssystem SuSE Linux 6.2 soll einen Betrieb des Rechners ohne Grafikkarte ermöglichen. Dazu muß der Kernel, über den Linux standardmäßig gestartet wird, in der Weise verändert werden, daß eine reine Terminalausgabe der Bildschirmdaten über den seriellen Port ermöglicht wird. Dies kann durch das Aufrufen des entsprechenden Kernel-Konfigurationsprogramms erreicht werden, nachdem das Betriebssystem installiert wurde. Man hat nach dieser Einstellung die Möglichkeit, auf einem zweiten PC ein Terminalprogramm zu betreiben und darüber einen Datenaustausch mit dem PC/104-Modul vorzunehmen. Damit hat man durch das Terminalprogramm die volle Kontrolle über den PC/104plus-Rechner. In diesem Fall bestünde die Rechnereinheit lediglich aus dem PC/104plus-Modul und der selbsterstellten Platine als Erweiterungskarte. Abbildung 2.4 zeigt diesen kleinstmöglichen funktionsfähigen Aufbau für den Bildverarbeitungsrechner.

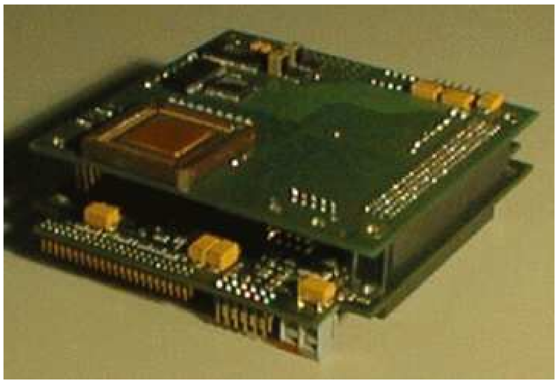

Abbildung 2.4: Die Minimalversion des Bildverarbeitungsrechners

Kapitel 3

Die Bildverarbeitungsplatine

Eine komplette Einheit für den vorgesehenen Einsatz bildet der PC/104plus-Rechner erst zusammen mit der Bildverarbeitungsplatine, die als Erweiterungskarte an diesem Rechner betrieben wird. Dieses Kapitel führt in die Funktionsweise dieser Karte und ihrer Bauteile ein und gibt einen Einblick in das ihr zugunde liegende Layout.

3.1 Arbeitsweise

Die Bildverarbeitungsplatine bearbeitet die Kameradaten und gibt sie danach an den PC/104plus-Rechner aus. Diese Daten können auf der Platine verschiedene Wege gehen. Die Hauptaufgabe besteht darin, die Bilder direkt an den Kantendetektionschip EDDA weiterzuleiten, wo die Bildbearbeitung stattfindet. Von hier aus gelangen die Kantendaten zum FPGA. Dieser Chip veranlaßt die Zwischenspeicherung der Kanten, die danach über die PCI-Schnittstelle dem Rechner zukommen. Alternativ kann man die Kamerabilder auch über das FPGA unbearbeitet an den Rechner ausgeben, oder Daten vom Rechner einlesen, die als Testbilder zu EDDA weitergeleitet werden. Einen Überblick über die an diesen Prozessen beteiligten Bauteile vermittelt Abb. 3.3.

3.2 Beschreibung der Bauteile

3.2.1 Der PCI-Interface-Chip PLX 9080

Hierbei handelt es sich um einen Chip, der eine Schnittstelle zwischen dem PCI[1] Bus eines PCs und dem anwenderseitigen Local Bus herstellt [PLX 98]. Dies ermöglicht, beim Herstellen einer PCI-Steckkarte mit dem Local Bus Protokoll zu arbeiten statt mit dem komplexeren PCI Bus Protokoll. Durch individuelle Beschaltung auf der Seite des Local Bus wird eine anwenderspezifische Nutzung des PCI Bus ermöglicht. Der PLX-Chip kann asynchron betrieben werden, das heißt, er

[1] Peripheral Component Interconnect

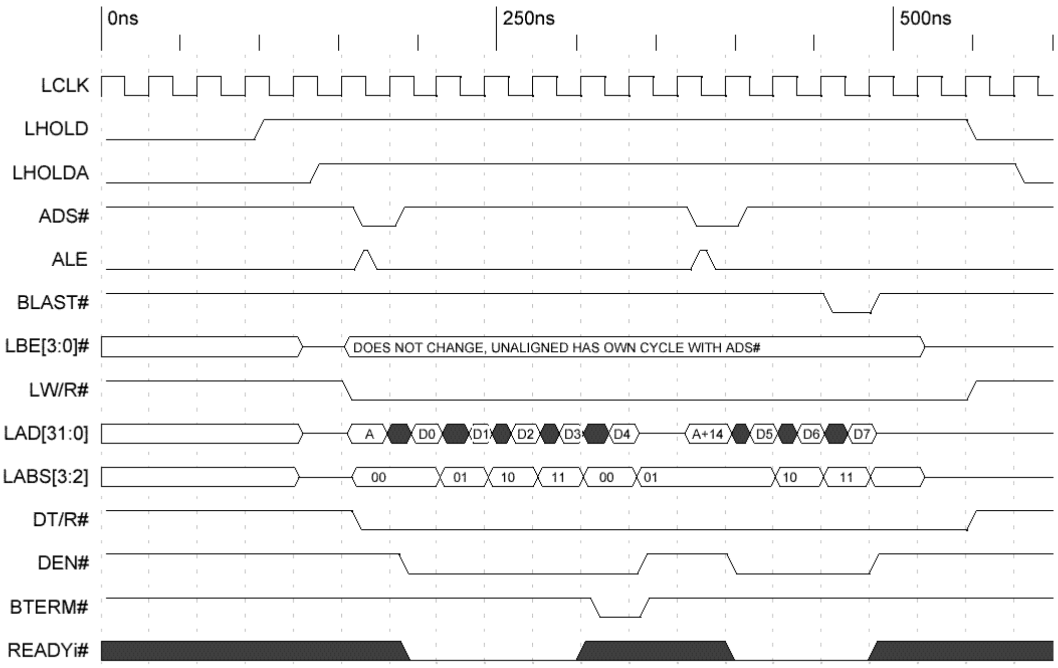

Abbildung 3.1: DMA-Lesezugriff des PLX 9080 auf den Local Bus

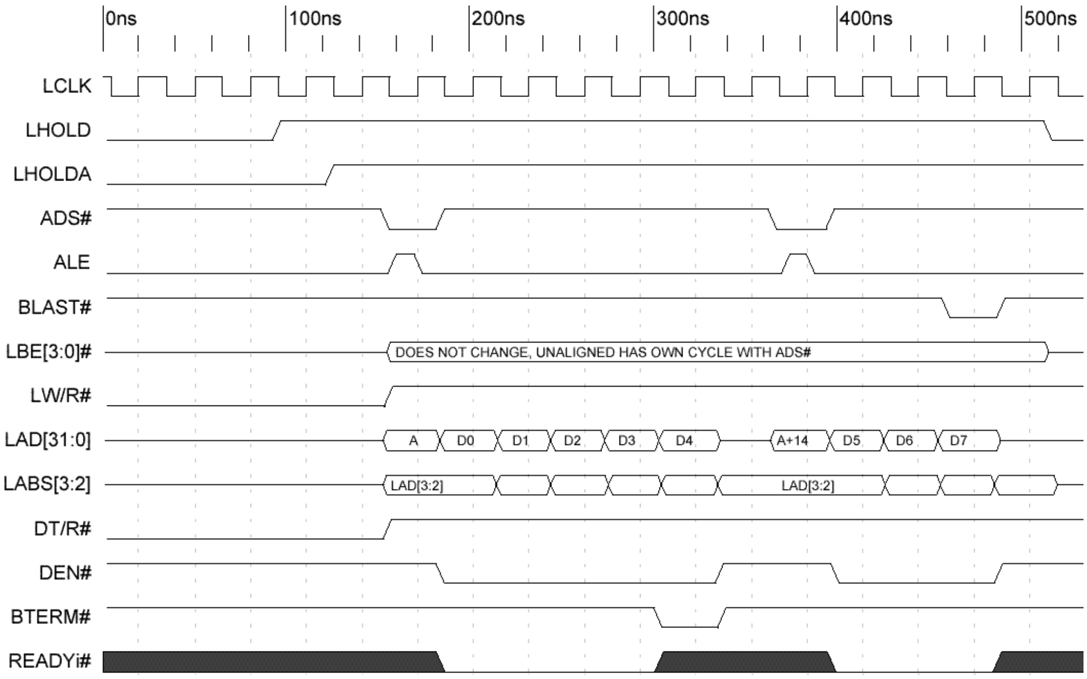

Abbildung 3.2: DMA-Schreibzugriff des PLX 9080 auf den Local Bus

kann mit unterschiedlichen Taktfrequenzen an PCI- und Local Bus arbeiten. Er beherrscht außerdem die Datenübertragung im DMA[2]-Modus. Bei einem DMA-Datentransfer werden Daten direkt vom Quell- zum Zielspeicher übertragen, ohne über die CPU zu laufen. Dies ermöglicht in der Regel eine schnellere Datenübermittlung. Der Hauptvorteil dabei ist, daß die CPU nicht durch die Datenübertragung blockiert wird und damit für andere Aufgaben zur Verfügung steht. Diese Funktion ist für Echtzeitanwendungen sehr wichtig. Auf der Bildverarbeitungsplatine wird diese Eigenschaft eingesetzt, um gleichzeitig zur DMA-Datenübertragung Bilddaten durch die CPU für Ausgabegeräte aufbereiten zu lassen. Die Datenübertragung im DMA-Modus kann vom PCI Bus zum Local Bus oder in umgekehrter Richtung erfolgen (vgl. [PLX 98]). Dabei vermittelt der PLX-Chip als Bus Master zwischen Quelle und Ziel. Er kann auf beiden Bussen als Initiator oder als Target fungieren. Zur Übertragung stehen zwei unabhängige Datenkanäle mit DMA Controller und programmierbarer FIFO[3] zur Verfügung. Die Abbildungen 3.1 und 3.2 zeigen die Timing-Diagramme eines DMA-Datenaustauschs mit dem 32 Bit Local Bus, wobei in Abbildung 3.1 ein Burst-Lesezugriff und in Abbildung 3.2 ein Burst-Schreibzugriff vom PLX-Chip auf den Local Bus dargestellt ist. Bei beiden Zugriffen sieht man zunächst die sich über den gesamten Prozess erstreckende Local Clock (LCLK). Sie legt das Timing zugrunde, auf das sich alle anderen Signale beziehen. Jeweils zur steigenden Flanke des Clocksignals werden andere Signale aktiviert. Das Signal LHOLD (Local Bus Hold Request) initiiert den Vorgang. Es wird als erstes Signal von 0 auf 1 gesetzt, um die Verwendung des Local Bus anzumelden. Als Antwort auf dieses auf 'high' gesetzte Signal kann ein Arbiter LHOLDA (Local Bus Hold Acknowledge) 'high' setzen, um zu signalisieren, daß die Kontrolle des Prozesses gewährleistet ist. Der Arbiter ist eine Einheit, die die Benutzung des PCI Bus, beziehungsweise des Local Bus regelt. Er verteilt die Zugriffsberechtigungen für alle Bus Master, die eine Anfrage (Request) zur Benutzung des Buses stellen. Da im vorliegenden System der PLX-Chip der einzige Bus Master ist, kann es keine Probleme mit verschiedenen Zugriffen geben, also wurden die Leitungen LHOLD und LHOLDA miteinander verbunden. Die Aktivierung von LHOLD beinhaltet somit automatisch die Zugriffsberechtigung. Zum nächsten Clockzyklus werden mehrere Signale aktiviert: ADS# (Address Strobe) wird aktiv (mit # gekennzeichnete Signale sind low aktiv), was eine gültige Adresse und den Beginn eines Zugriffs signalisiert. ALE (Address Latch Enable), DT/R (Data Transmit/Receive) und DEN (Data Enable) sind Signale, die für Daten- und Adressbuffer verwendet werden können und bleiben für die hier beschriebene Anwendung unbenutzt. LABS[3:2] (Local Address Bus Burst) arbeitet als Adresszähler, wird aber hier auch nicht verwendet. BLAST# (Burst Last) wird vom PLX-Chip aktiviert, um das letzte Datum des Burst-Vorgangs im Zyklus zu kennzeichnen. LBE[3:0] (Local Byte Enable) besteht aus vier Leitungen, die die jeweils aktiven Bytes eines Datenzyklus anzeigen, indem die entsprechenden Leitungen auf 'high' gezogen werden. LW/R# (Local Write/Read) kennzeichnet die Art des Zugriffs. Die Leitung ist 'high' für Schreibzugriffe und 'low' für Lesezugriffe, was auch der Vergleich der beiden Abbildungen zeigt. Außerdem liegen zur Zeit der Aktivierung von ADS# auch die Adressen am LAD[31:0] (Local Address/Data Bus) an. Hier handelt es sich um einen gemultiplexten Adress/Daten-Bus. Das heißt, derselbe Bus wird abwechselnd zur Übermittlung von Adressen und Daten verwendet. Deshalb werden einen Zyklus später am selben Bus die Daten angelegt, die übermittelt werden sollen. BTERM# (Burst Terminate) unterbricht einen Datenübertragungszyklus und veranlaßt den Beginn eines weiteren Adresszyklus. READYi# (Ready In) wird aktiv gesetzt, wenn die zu lesenden Daten an LAD[31:0] gültig sind

[2]Direct Memory Access

[3]Buffermethode First In First Out

oder ein Daten-Schreibzyklus abgeschlossen wurde. Nach der Deaktivierung dieses Signals (indem es auf 'high' gesetzt wird) pausieren die Schreib- und Lesezyklen. Somit kann das Signal READYi# genutzt werden, um bei Bedarf den gesamten Vorgang zu verzögern.

3.2.2 Das EEPROM

Das EEPROM[4] ist ein spezieller PROM[5]-Typ, dessen einprogrammierte Daten elektrisch gelöscht werden können. Ein EEPROM behält seine Information auch nach dem Abschalten der Versorgungsspannung bei. Die Datenauslesezyklen erfolgen beim Typ ST M93C56 bitweise, die Schreibzyklen wahlweise 8- oder 16-bitweise.

3.2.3 Das FPGA

Ein FPGA[6] ist ein programmierbarer Logik-Chip mit einer Matrix aus identischen Grundbausteinen (Lookup Table RAMs und Flip-Flops) mit programmierbaren internen Leiterverbindungen. Lookup Table RAMs sind Speicherzellen, die Logiktabellen logischer Grundschaltungen enthalten, um diese Schaltungen damit zu simulieren. Die Flip-Flops werden als Speicherelemente benutzt. Man hat nun die Möglichkeit, in dieses Feld von Logik-Elementen ein selbst erstelltes, benutzerdefiniertes Logik-Netzwerk einzuprogrammieren. Die programmierten Informationen müssen nach einer Unterbrechung der Versorgungsspannung bei den meisten FPGA-Typen wieder neu eingegeben werden. Zur Einprogrammierung der Informationen wird spezielle Software[7] benötigt, mit der zunächst ein Binärcode erstellt wird, der in einem ROM[8] abgelegt werden kann und daraus bei jeder Inbetriebnahme vom FPGA eingelesen werden kann. Eine weitere Möglichkeit ist, den Programmcode beim Start von einem angeschlossenen Rechner herunterzuladen. Die Eigenschaft der mehrfachen Programmierbarkeit des FPGA XC4052XLA [XILINX 99] resultiert aus der Tatsache, daß seine Funktionen und internen Verbindungen durch RAM-Zellen definiert sind. Der Typ XC4052XLA besitzt über 4.500 Logikzellen und etwa 62.000 RAM-Bits.

3.2.4 Das CPLD

Die Funktionsweise eines CPLD[9] ist ähnlich der eines FPGA, jedoch arbeitet dieser Baustein schneller. Er enthält ebenso programmierbare interne Verbindungen zwischen Logikblöcken. Für die hier behandelte Anwendung wurde der Typ XC9536XL gewählt mit 36 Makrozellen und 34 benutzerdefinierbaren Ein/Ausgängen.

[4] Electrically Erasable Programmable Read Only Memory

[5] Programmable Read Only Memory

[6] Field Programmable Gate Array

[7] Ein Quellcode, der, in diesem Fall, in VHDL[VHDL 97] geschrieben wurde, wird mit Hilfe der Synopsys[SYN 98] Software einer Synthese unterzogen, die daraus eine Textdatei erstellt, welche nur die Elemente der FPGA-Bibliotheken enthält. Darauf wird die 'place-and-route' Software M1 von Xilinx angewandt, die schließlich die Binärdatei erzeugt, mit der das FPGA konfiguriert wird.

[8] Read Only Memory

[9] Complex Programmable Logic Device

3.2.5 Das RAM

Ein RAM[10] ist frei übersetzt ein Speicher mit beliebigem Zugriff. 'Beliebig' bezieht sich dabei auf die Tatsache, daß auf jedes Byte des Speichers zugegriffen werden kann, ohne die Bytes benachbarter Speicherplätze dabei zu beeinflussen. Dies ist auch bei ROM[11]-Bausteinen der Fall, jedoch bietet ein RAM zusätzlich die Möglichkeit eines Schreibzugriffs auf den Speicher. Dabei gibt es prinzipiell zwei Typen, das statische RAM (SRAM) und das dynamische RAM (DRAM). Bei dynamischen RAM-Bausteinen muß der Speicherinhalt ständig in schneller Folge (mehrere tausend mal je Sekunde) aufgefrischt werden. Dies ist beim statischen RAM nicht nötig. Statisches RAM besitzt größere Zellen aufgrund einer höheren Anzahl von Transistoren je Bit und ist daher entsprechend teurer. Beide Typen sind in der Regel flüchtige Speicher, das heißt, sie verlieren beim Verlust der Versorgungsspannung die gespeicherte Information, im Gegensatz zu einem ROM. Für den Betrieb zusammen mit dem FPGA wurde das SRAM K7B 803625M verwendet, mit 1 MB Speicherkapazität und einer 256K$\times$36 Organisation.

3.2.6 Der Frequenz-Generator

Für die Erzeugung von Clocksignalen bestimmter Frequenzen kommt hier der Frequenz-Generator ICD 2051 zum Einsatz. Dieses Bauteil besitzt zwei Ausgänge, an denen vom FPGA programmierte Frequenzen von 320 KHz bis 100 MHz bereitgestellt werden können. Zusätzlich kann die Frequenz eines Ausgangs auch halbiert und geviertelt abgegriffen werden. Um die Konstanz des Verhältnisses der ausgegebenen Frequenzen zu erreichen, kommt eine PLL[12]-Schaltung zum Einsatz. Dabei erhält die Schaltung ihren Referenztakt vom Eingangssignal und betreibt gleichzeitig einen 'Feedbackschaltkreis' (Loop) zur Aufrechterhaltung der Phasenbeziehung (Phase Lock) der verglichenen Signale, womit ein genaues Frequenzverhältnis gewährleistet ist.

3.2.7 Der DAC

Ein DAC[13] wandelt Digitale Daten in Analogsignale um. Als Eingangssignal erhält ein DAC einen digitalen Wert und gibt als Ausgangssignal eine dazu proportionale Spannung aus. Für die Platine werden zwei Sorten von DACs benötigt, und zwar ein schneller DAC mit einer Auflösung von 16 Bits an seinem Eingang, der digitale Bilder in analoger Form als Testbilder für EDDA ausgeben soll und ein 8 Bit DAC, der zur Regelung von Bias-Spannungen dient.

3.2.8 Der ADC

Ein ADC[14] ist ein Bauteil, das ein veränderbares Analogsignal in einen Binärcode übersetzt. Ein 12 Bit-Typ, der bei 25 MHz arbeitet, findet hier Anwendung bei der Umwandlung der analogen Bildsignale in Informationen, die vom FPGA weiterverarbeitet werden können.

[10] Random Access Memory
[11] Read Only Memory
[12] Phase Locked Loop
[13] Digital to Analog Converter
[14] Analog to Digital Converter

3.2.9 Der Multiplexer

In Abbildung 3.3 erscheinen zwei Multiplexer, bezeichnet mit Mux 1 und Mux 2. Sie dienen als Umschalter für analoge Signale auf der Platine. Sie werden verwendet, um aus zwei Eingangssignalen eines zur Weiterleitung auszuwählen. Mux 1 gibt entweder den Kameraausgang oder das EDDA-Signal weiter, über Mux 2 können die Kameradaten oder das Testbild des FPGA an EDDA gegeben werden.

3.3 Funktionsablauf

Ein Schema des Gesamtsystems mit detailliert dargestellter Steuerungsplatine zeigt Abbildung 3.3. Der Signalablauf auf der Platine beginnt beim Kamerachip Divichi, der die Bildinformation als Analogsignal liefert. Dieses Signal kann über einen Multiplexer an den Analog/Digital-Wandler geschaltet werden, an dem sonst das analoge Ausgangssignal des Kantendetektionschips EDDA anliegt. Das durch den ADC erzeugte 12 Bit breite Digitalsignal kann nun an das FPGA weitergegeben werden. Auf diesem Weg können Kamerabilder ohne Kantenbearbeitung an den Rechner ausgegeben werden. Das FPGA regelt im wesentlichen den Austausch von Bilddaten mit EDDA, beziehungsweise dem RAM. Das von Divichi gelieferte Analogbild wird im normalen Betrieb direkt von EDDA eingelesen. Für die Bildübertragung von EDDA zum FPGA steht ein 8 Bit breiter digitaler Datenbus zur Verfügung. Nach der Kantenbearbeitung gelangt das Bild über diese Verbindung zum FPGA, das die Zwischenspeicherung im RAM regelt. Schließlich kann es über den PCI-Interface-Chip vom PC/104-Modul eingelesen werden, womit die Übertragung der Bildinformationen an Ausgabegeräte ermöglicht wird. Es besteht zusätzlich eine Verbindung vom FPGA zurück zu EDDA, die über einen 16 Bit Digital/Analog-Wandler (DAC) erfolgt. So können digitale Bildinformationen in analoge Signale verwandelt und zur Kantenbearbeitung an EDDA weitergegeben werden. Dieser Weg wird von Testbildern genommen, die direkt vom Rechner kommen. Der 8 Bit DAC zwischen FPGA und EDDA dient zur Einstellung von Kontrollspannungen. An die DACs schließt sich je ein Operationsverstärker zur Impedanzwandlung an. Die Verbindung des FPGA mit dem Kamerachip geschieht über einen Logik-IC, der als Konverter von +3 auf +5 Volt fungiert. Diese Spannungserhöhung ist nötig, da das FPGA eine Betriebsspannung von +3.3V aufweist. Der PCI-Interface Chip PLX 9080 stellt die Verbindung zwischen dem rechnerseitigen PCI Bus und dem Local Bus auf der Platinenseite her. Mit ihm ist ein EEPROM verbunden, aus dem der PLX-Chip die Konfigurationsdaten in seine Register einliest. Mit Hilfe des programmierbaren Frequenzgenerators ICD2051 werden die verschiedenen auf der Platine benötigten Frequenzen erzeugt. Mit seiner Hilfe können Clockfrequenzen auch halbiert oder geviertelt werden. Als Eingang erhält dieser Chip den PCI-Takt als Referenzfrequenz vom PLX-Chip. Dieser wird nach dem Reset der Platine unverändert ausgegeben. Die programmierte, vom FPGA bestimmte Frequenz und ihre Unterteilungen können an den Ausgängen des Frequenzgenerators bereitgestellt werden, indem das FPGA ein Indikatorbit am ICD2051 setzt. Alle Frequenzen werden zunächst dem CPLD zugeführt. Dieses kann nun den Komponenten auf der Platine verschiedene Taktfrequenzen zuweisen, so daß eine Einstellung erreicht werden kann, die für den Funktionsablauf auf der Platine optimal ist. Dem zugrunde liegt die Tatsache, daß die eingesetzten Bauteile verschiedene Maximalfrequenzen haben, mit denen sie betrieben werden können. So verkraften der EDDA Chip und das RAM zum Beispiel bis zu 100 MHz, wogegen der PCI-Chip auf maximal 40 MHz ausgelegt ist. Für das FPGA sind verschiedene Betriebsfrequenzen möglich.

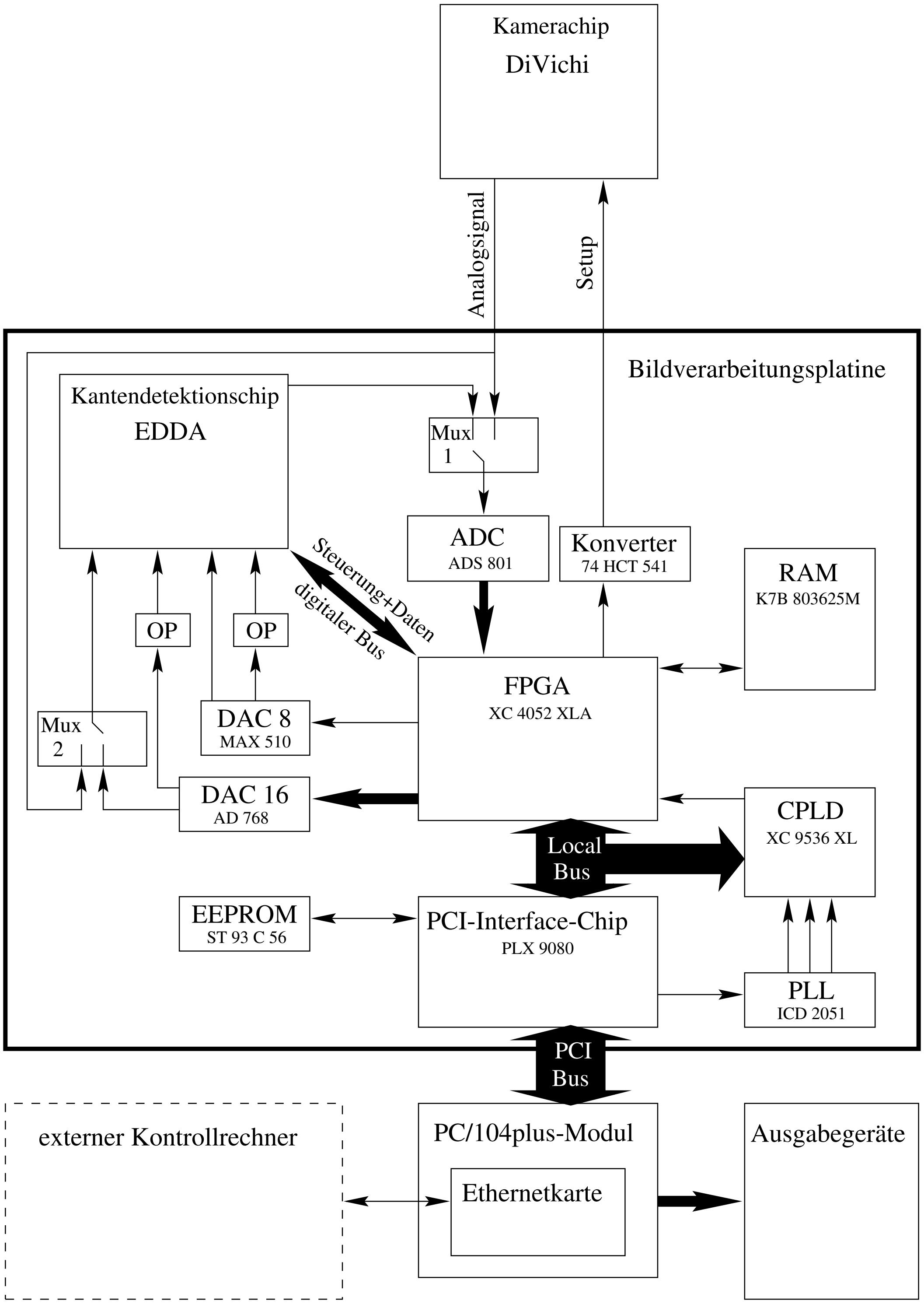

Abbildung 3.3: Blockschaltbild der Bildverarbeitungsplatine im Gesamtsystem

3.4 Das Platinenlayout

Die Platine ist so gefertigt, daß sie sowohl als Einsteckkarte für PC/104plus-Rechner als auch für gängige PCI-Steckbuchsen geeignet ist. Zu diesem Zweck wurde der PC/104plus-Anschluß am unteren Rand der Platine herausgeführt und gemäß der 'PCI Local Bus'-Spezifikation [PCI 2.1] auf einen PCI-Stecker übertragen. Durch das Ausfräsen entlang einer Markierungslinie auf der Platine kann man das Fädelfeld[15] und den PCI-Stecker entfernen und erhält so eine Erweiterungskarte nach PC/104plus-Norm. Die verwendete PCI-Variante ist die 32 Bit Version mit 33 Mhz[PCI 2.1]. Sie wurde so ausgelegt, daß sie sowohl in 5 V PCI-Steckbuchsen als auch in 3,3 V Buchsen eingesetzt werden kann. Das Platinenlayout wurde mit Hilfe der 'Cadence'-Software[16] erstellt und schließlich einem Leiterplattenhersteller [WÜRTH] in Auftrag gegeben. Als Ergänzung zur Bildverarbeitungsplatine wurde, jedoch nicht als Teil dieser Arbeit, eine Powerplatine gefertigt, die mit auf den Modulstapel aufgesteckt werden kann und die wesentlichen für den Betrieb der Platine benötigten Spannungen mit ausreichender Leistung erzeugt. Die Stromversorgung kann über ein Netzgerät oder durch den Anschluß eines Akkus erfolgen.
Bei der Plazierung der Bauelemente ist eine logische Anordnung wichtig, die die Signalwege kurz hält. Dabei müssen die Bausteine so verteilt sein, daß die Verbindungen zwischen ihnen noch geroutet werden können. Die beste Lösung für das Platinenlayout weist eine minimale Anzahl an Leiterbahnlagen auf, minimale Verbindungslängen der Leiterbahnen, insbesondere bei hochfrequenten Signalen und Taktleitungen, außerdem maximale Abmessungen für die Dicke der Leiterbahnen und deren Abstände. Speziell die Wege zwischen dem PC/104plus-Steckverbinder und dem PLX-Chip müssen möglichst kurz gehalten werden. Laut 'PCI Local Bus'-Spezifikation [PCI 2.1] sollten diese Signalwege kürzer als 3,8 cm sein. Die Leiterbahnen der Bildverarbeitungsplatine wurden auf 6 Lagen erstellt, die mittels Durchkontaktierungen (Vias) miteinander verbunden sind. Analog- und Digitalelemente wurden auf getrennten Seiten der Platine angebracht, um eine gegenseitige Beeinflussung zu minimieren. Aus diesem Grund wurde auch eine ganze innenliegende Ebene als Massefläche angelegt und fast ausschließlich mit SMD-Bauteilen gearbeitet. Diese Abschirmungsmaßnahmen sind schon durch das Vorhandensein hochfrequenter Digitalsignale erforderlich. Taktfrequenzen auf Leitungen zwischen Digitalbauteilen erreichen bis zu 100 Mhz. Einstreuungen in den Analogteil würden dessen Funktionalität nachhaltig beeinträchtigen.
Das Ersatzschaltbild in Abbildung 3.4 zeigt ein einfaches Beispiel eines Schaltplans und eine Realisierungsmöglichkeit für sein Layout. Dargestellt sind ein Chip im PLCC44[17]-Gehäuse, zwei Keramikkondensatoren, ein Tantalkondensator und die entsprechenden Leiterverbindungen. Keramikkondensatoren der Kapazität 220 nF werden als Blockkondensatoren zwischen verschiedenen Potentialen wie den Powerflächen und der Massefläche eingesetzt. Im gewählten Beispiel werden zwei Stück verwendet, jeweils zwischen Masse (GND) und +3.3V (VCC) geschaltet. Im Layout werden sie in unmittelbarer Umgebung des Bauteils positioniert, da sie speziell für die Abschirmung bei hohen Frequenzen geeignet sind. Die Induktivität langer Leitungen würde insbesondere hochfrequente Signale dämpfen und damit die Effektivität der Kondensatoren herabsetzen. Die Beispielschaltung beinhaltet außerdem einen Tantalkondensator höherer Kapazität (in der Abbildung mit Polaritätszeichen versehen), der als Blockkondensator für niedrige Frequenzen eingesetzt

[15]Ein auf dem unbenutzten Bereich der Karte angelegtes Lochraster für Test- und Ergänzungsschaltungen

[16]Die Schaltungen für die Platinen werden zunächst mit dem Programm 'Concept' aufgebaut, danach werden die Pläne in das Layoutprogramm 'Allegro' übernommen.

[17]Plastic Leaded Chip Carrier, 44 Pins

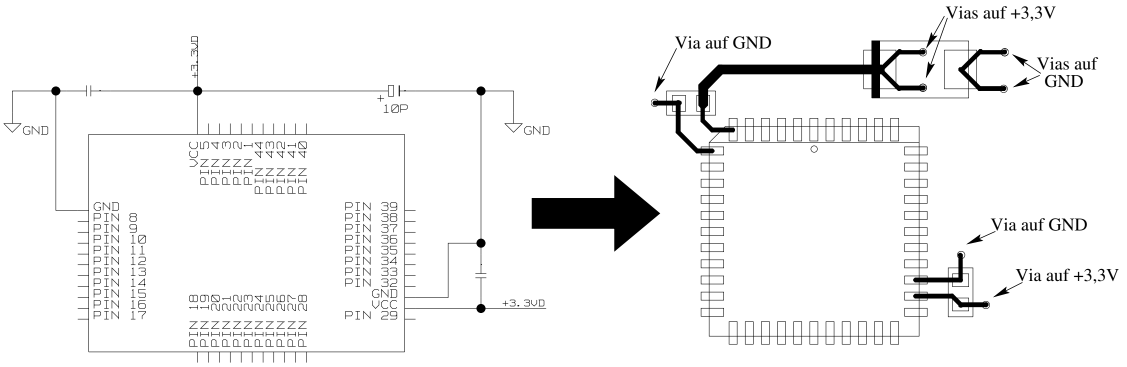

Abbildung 3.4: Ersatzschaltbild als Schaltplan (links) und als Layout (rechts)

wird. Zu diesem Zweck wird er in der Regel in der Umgebung der Spannungsversorgung plaziert und entweder mit den breiten Leitungen der Zuleitung verbunden oder, wie im Beispiel gezeigt, möglichst mit mehreren Vias[18] auf die entsprechende Lage durchkontaktiert.
Für hohe Ströme, etwa bei Verbindungen zwischen Teilen einer Powerfläche, muß ebenfalls eine möglichst große Anzahl an Vias gesetzt werden. Diese Vorgehensweise wurde auf der Bildverarbeitungsplatine zur Durchkontaktierung der +5VA-Fläche von der vierten auf die sechste Lage angewandt[19]. Für die Analog- und die Digitalspannungen wurde eine gemeinsame Massefläche verwendet. Bei Bohrungen, die innen leitend beschichtet sind (sog. plated holes) und mit einer Leiterfläche kontaktiert werden sollen, taucht in den Abbildungen in Anhang B ein 'Thermal Relief Pad' auf, dargestellt als Kreuz. Damit werden die Stege repräsentiert, die zur Verbindung der Beschichtung der Bohrung mit der Leiterfläche dienen. Für diese muß eine geeignete Breite gewählt werden, die einerseits ausreichenden Stromfluß gewährleistet, andererseits aber nicht so groß ist, daß dadurch eine hohe Wärmeleitung in die Leiterfläche begünstigt wird. Dies würde das Verlöten von Bauteilen mit diesen Bohrungen erschweren und zu langen Lötzeiten führen, wobei die Bauteile oder die Platine beschädigt werden könnten. Die Abbildung 3.5 zeigt die gefertigte Platine von beiden Seiten, Abbildung 3.6 stellt die Platine nach der Bestückung dar.

[18] Bohrungen auf der Leiterplatte, die Leitungen oder Leiterflächen verschiedener Lagen der Platine miteinander verbinden

[19] In Anhang B finden sich die Abbildungen der einzelnen Lagen

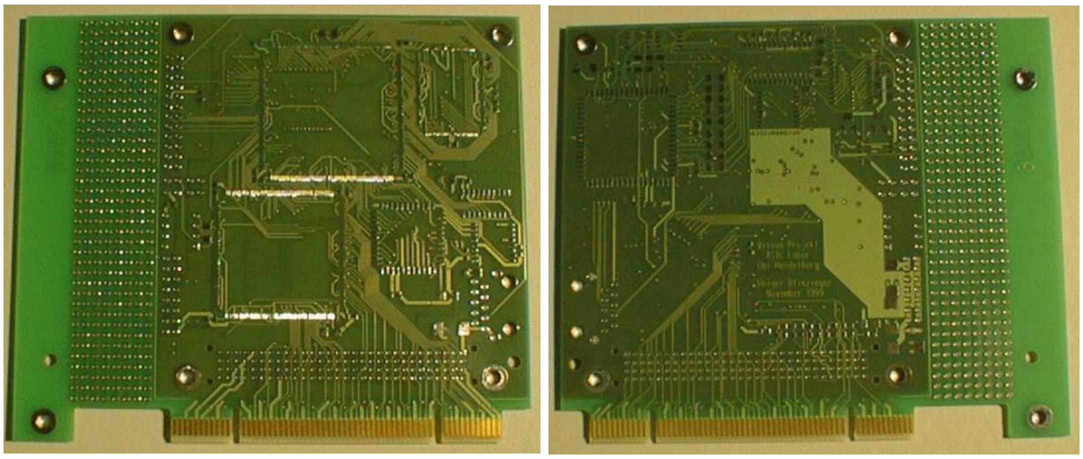

Abbildung 3.5: Die Platine nach der Fertigung

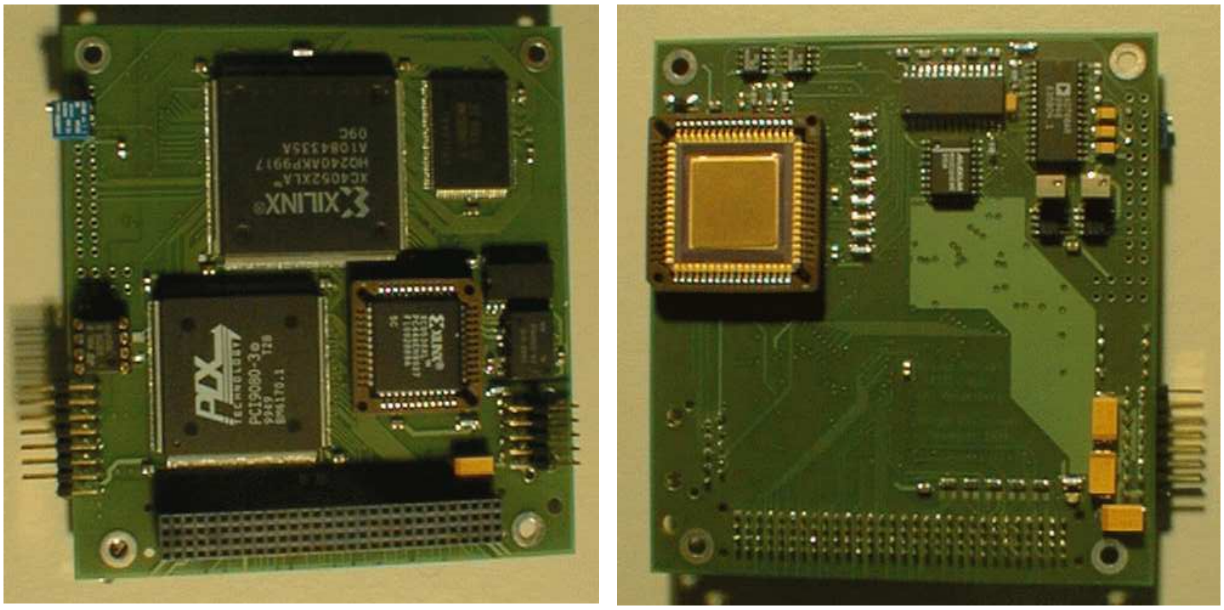

Abbildung 3.6: Die Digitalseite (links) und die Analogseite (rechts) der bestückten Platine

Kapitel 4

Tests und Ergebnisse

Beim Aufbau und bei der Inbetriebnahme des Rechners mit der Bildverarbeitungsplatine wurden verschiedene Testphasen durchlaufen. Der wichtigste Test, dessen Vorgehensweise hier skizziert wird, bezog sich auf die Funktionsfähigkeit der Bildverarbeitungsplatine.

Die Einheiten des Blindenhilfssystems (Divichi, EDDA, VTD, HVES) wurden bereits vor der Entwicklung des Bildverarbeitungsrechners in Betrieb genommen und getestet. Dazu wurde statt des Kompaktrechners ein Laptop benutzt und microEnable-Karten [MIC 99] übernahmen die nötigen Kontroll- und Steuerungsfunktionen, die nun der Bildverarbeitungsplatine zukommen. Daher beschränken sich die Tests im wesentlichen auf die Funktion der Bildverarbeitungsplatine, ihrer Komponenten und der verwendeten Software, die Funktionsfähigkeit des PC/104plus-Moduls, sowie den gemeinsamen Einsatz der ursprünglichen Einheiten des Systems mit dem neuen Bildverarbeitungsrechner.

4.1 Test der Platine und der Bauteile

Zum Test der Platine und der Bauteile wurde die Platine zunächst nur mit dem PCI-Interface-Chip PLX 9080 und den zugehörigen Kondensatoren bestückt. Damit sollte getestet werden, ob die Verbindungen auf der Platine vom PCI-Stecker zum Interface-Chip fehlerlos sind und somit der Rechner auch beim Bootvorgang die Platine als PCI-Steckkarte erkennt und als solche im Bootprotokoll ausweist. Dieser Test wurde zunächst mit einem gewöhnlichen PC durchgeführt. An dieser Stelle tauchten Probleme beim Booten des Rechners mit eingesteckter Karte auf. Der Rechner blieb dabei hängen und war nicht in der Lage, den Vorgang abzuschließen. Beim Test der Karte mit einem zwischengeschalteten PCI-Extender, mit dem bestimmte PCI-Signale zu Testzwecken abgegriffen werden können und die Möglichkeit besteht, daran betriebene Karten bei laufendem Rechner an- und abzuschalten, war festzustellen, daß der Bootvorgang normal fortgesetzt wird, wenn die Karte bei hängendem Rechner abgeschaltet wird. Dies ließ zunächst auf ein Problem mit dem PCI-Chip schließen, da der Rechner mit einer nicht bestückten Platine problemlos bootete. Auf diese Weise konnte man etwa einen Kurzschluß auf der Platine ausschlie-

ßen. Weiter wurde versucht, dem Interface-Chip durch den Anschluß des zugehörigen EEPROMs seine Konfigurationsdaten zur Verfügung zu stellen, die er beim Start vom EEPROM einliest. Der PLX 9080 sollte jedoch laut Datenblatt [PLX 98] ohne das Einlesen seiner Konfigurationsdaten Default-Werte annehmen, die zum Betrieb ausreichen. Die Tests mit angeschlossenem EEPROM lieferten keine Änderungen in den Ergebnissen, auch nicht mit verschiedenen Variationen der ins EEPROM geschriebenen Datensätze. Lötfehler konnten auch weitgehend ausgeschlossen werden, da sämtliche Kontakte zwischen den einzelnen Pins des PLX 9080 und dem PCI-Steckverbinder einzeln mit einem Meßgerät durchgemessen wurden. Durch den Einsatz eines PCI-Analyzers konnte bestätigt werden, daß die Konfigurationsregister im PLX-Chip mit den richtigen Werten, etwa für die 'Device-ID' oder die 'Vendor-ID', belegt waren. Zur Überprüfung der Registerinhalte wurde außerdem das Programm PLXMon [PLXMon] verwendet. Dieses Programm wird zum Auslesen und Schreiben ausgewählter Speicherstellen verwendet, sowie zur Bestimmung der vorhandenen PCI-Steckkarten und kann auch zum Schreiben und Auslesen von Daten des am PLX-Chip angeschlossenen EEPROMs eingesetzt werden. Das Problem fand sich schließlich in einem fehlenden, für den Betrieb jedoch essentiellen Clock-Signal auf der Local Bus-Seite des PLX 9080. Da auf der Platine noch die Bausteine für die Erzeugung der benötigten Frequenzen fehlten (PLL und CPLD), wurde dem PCI-Chip seitens des Local Bus zu Testzwecken die unveränderte PCI-Taktfrequenz von 33 MHz zugeführt, womit schließlich erfolgreiche Ergebnisse erzielt werden konnten. Der zum Betrieb des PLX-Chips am PCI Bus nötige Gerätetreiber wurde mit Hilfe der 'WinDriver'-Software der Firma KRFTech [KRFtech] erstellt.
Das weitere Bestücken und Testen der Bauteile verlief problemlos. Nach dem Einsetzen des FPGA und seiner Programmierung über das CPLD konnten alle weiteren Funktionstests der verbleibenden Bauteile, einschließlich EDDA, mit Hilfe des FPGA mit positivem Ergebnis getestet werden.

4.2 Test des Gesamtsystems

Zur Anbindung der Kamera, Inbetriebnahme und Optimierung der Leistung des Systems mußte weitere, intensive Softwarearbeit geleistet werden, was jedoch nicht Gegenstand dieser Arbeit war. Die Auflösung der Bilder und die Taktfrequenz ihrer Bearbeitung wurden schrittweise gesteigert, bis schließlich die bestmögliche Leistung erreicht war. Auf der CeBit 2000 wurde die komplette Einheit kurz nach ihrer Fertigstellung demonstriert. Dies wird in den Abbildungen 4.1 und 4.2 gezeigt. Die Kamera nimmt bei dieser Anordnug ein sich drehendes Objekt aus der Vogelperspektive auf und übergibt die Information an den Bildverarbeitungsrechner, der das kantenbearbeitete Bild auf einem Monitor darstellt.

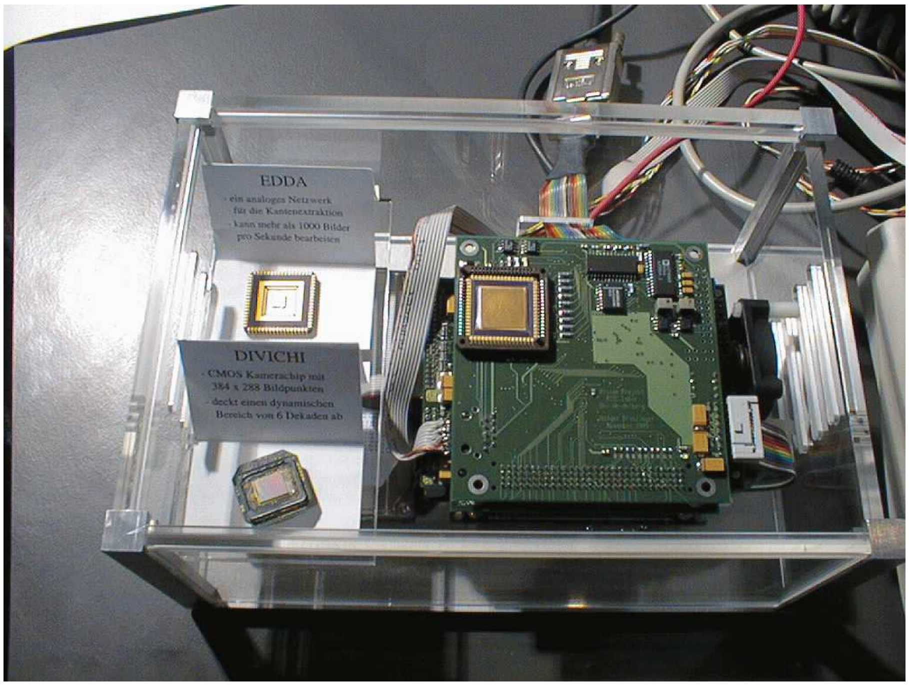

Abbildung 4.1: Der Bildverarbeitungsrechner in seiner Präsentationsbox mit Divichi und EDDA

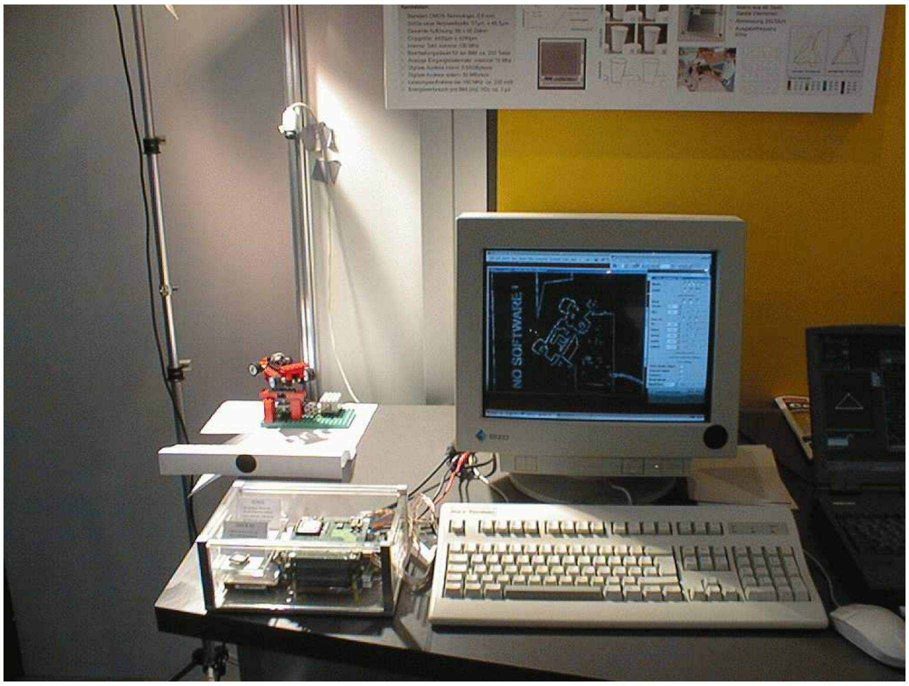

Abbildung 4.2: Die Anordnung zur Demonstration des Systems auf der CeBit 2000

Kapitel 5

Zusammenfassung und Ausblick

Mit der Entwicklung des Bildverarbeitungsrechners hat die Vision-Gruppe ihr System verbessert und einen weiteren Schritt in Richtung der Erstellung einer tragbaren Blindenhilfe unternommen. Alle Komponenten konnten erfolgreich zu einem lauffähigen System mit den zuvor angestrebten Eigenschaften vereint werden. Die weitere Forschung der Vision-Gruppe soll Hinweise darauf geben, wie ein geeignetes tragbares Ausgabegerät auf der Basis taktiler Wahrnehmungen aufgebaut sein kann, das ein komplettes Bild der Umgebung an den Anwender weitergibt. Ein solches Gerät könnte blinde Menschen in die Lage versetzen, sich in ihrer Umgebung frei und ungestört zu bewegen, während der Rechner ihnen aktuelle Informationen zu ihrer Orientierung zuführt und ihen auf diese Weise elektronisches Sehen ermöglicht.
Die weiteren Einsatzmöglichkeiten für den Bildverarbeitungsrechner sind sehr vielseitig. Auf dem Rechner kann verschiedenartigste Software die produzierten Bilddaten interpretieren und so entsprechende Anwendungen realisieren. Die Abmessungen des Rechners gestatten nicht nur die Verwendung als mobiles System, sondern auch unauffälligen Einsatz oder den Betrieb in Umgebungen, in denen Platzmangel herrscht. Ein Beispiel für mögliche Anwendungen ist die Überwachung schneller Produktionsabläufe. Konkret etwa die Erkennung von Verunreinigungen bei Fertigungsprozessen aller Art und eine mögliche damit verbundene Auslese der auf diese Weise detektierten Objekte. Weiter wäre denkbar, die erzeugten Bildinformationen für verschiedenste Navigationszwecke, beispielsweise auf dem Gebiet der Robotik, einzusetzen oder auch die gewonnenen Daten für Dokumentationen zu verwenden, man denke etwa an Luftaufnahmen, an Zählungen für statistische Zwecke oder an Texterkennung.

Anhang A

Schaltpläne

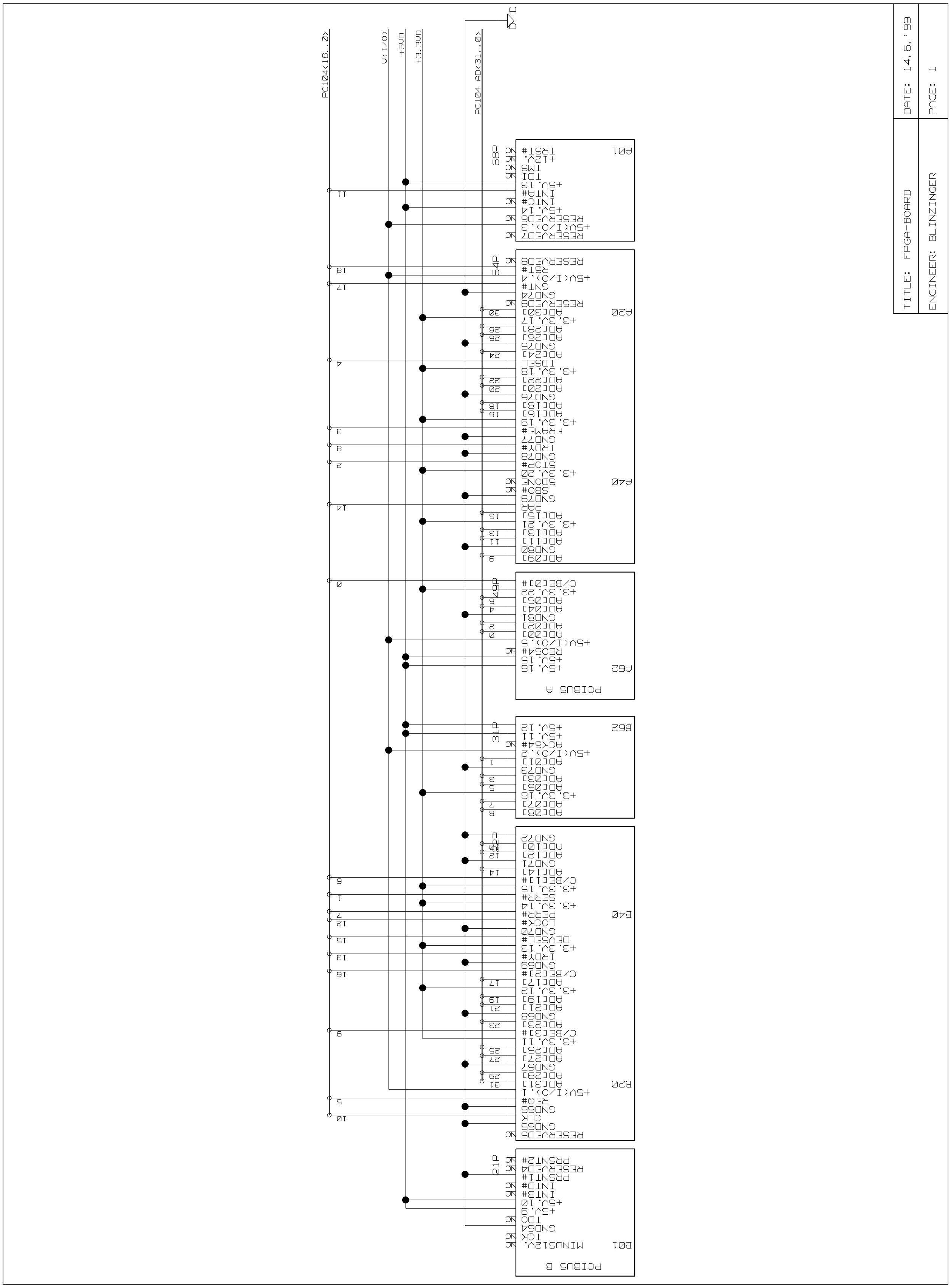

Abbildung A.1: Schaltplan 1: der PCI Bus

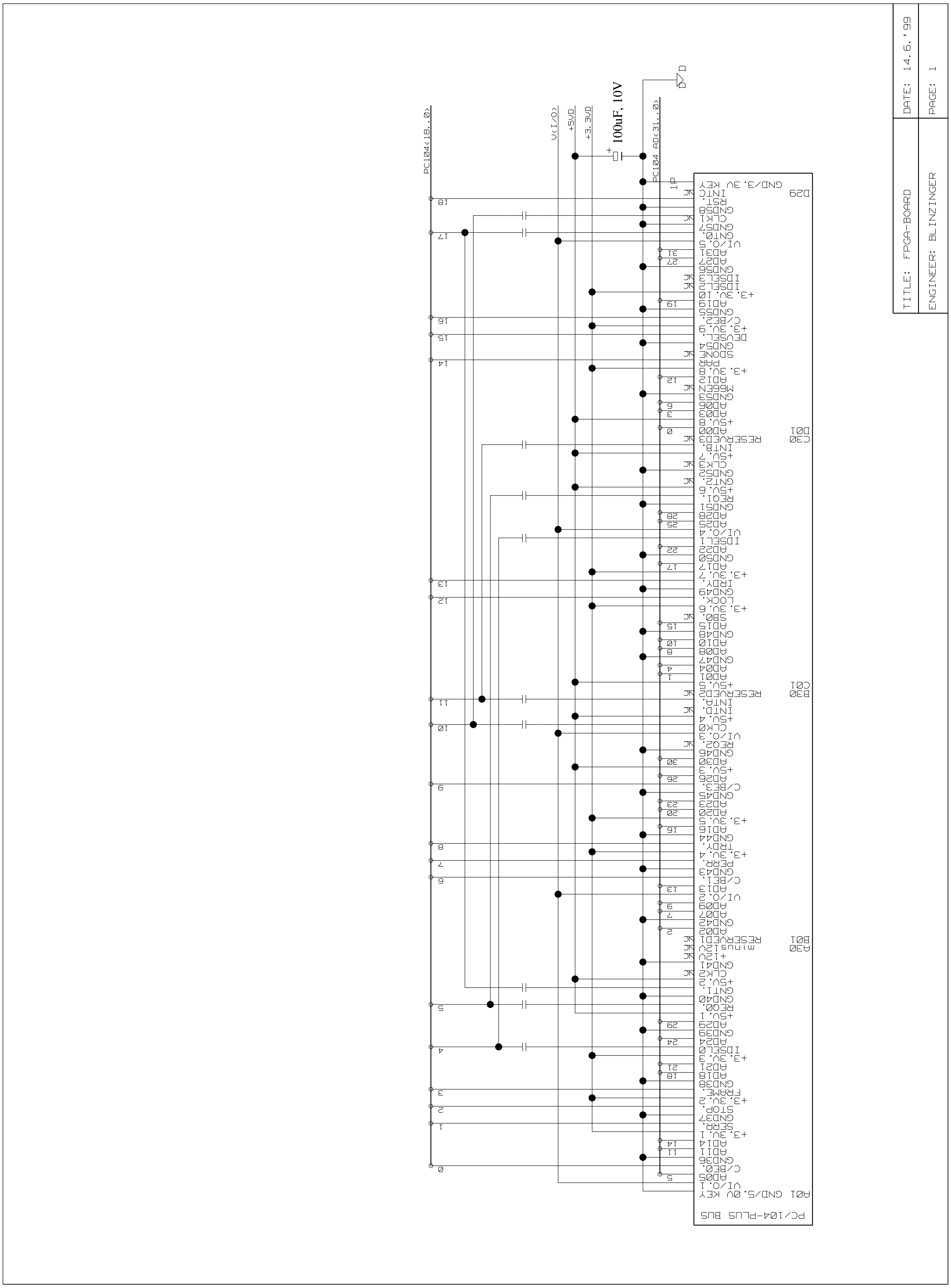

Abbildung A.2: Schaltplan 2: der PC/104plus Bus

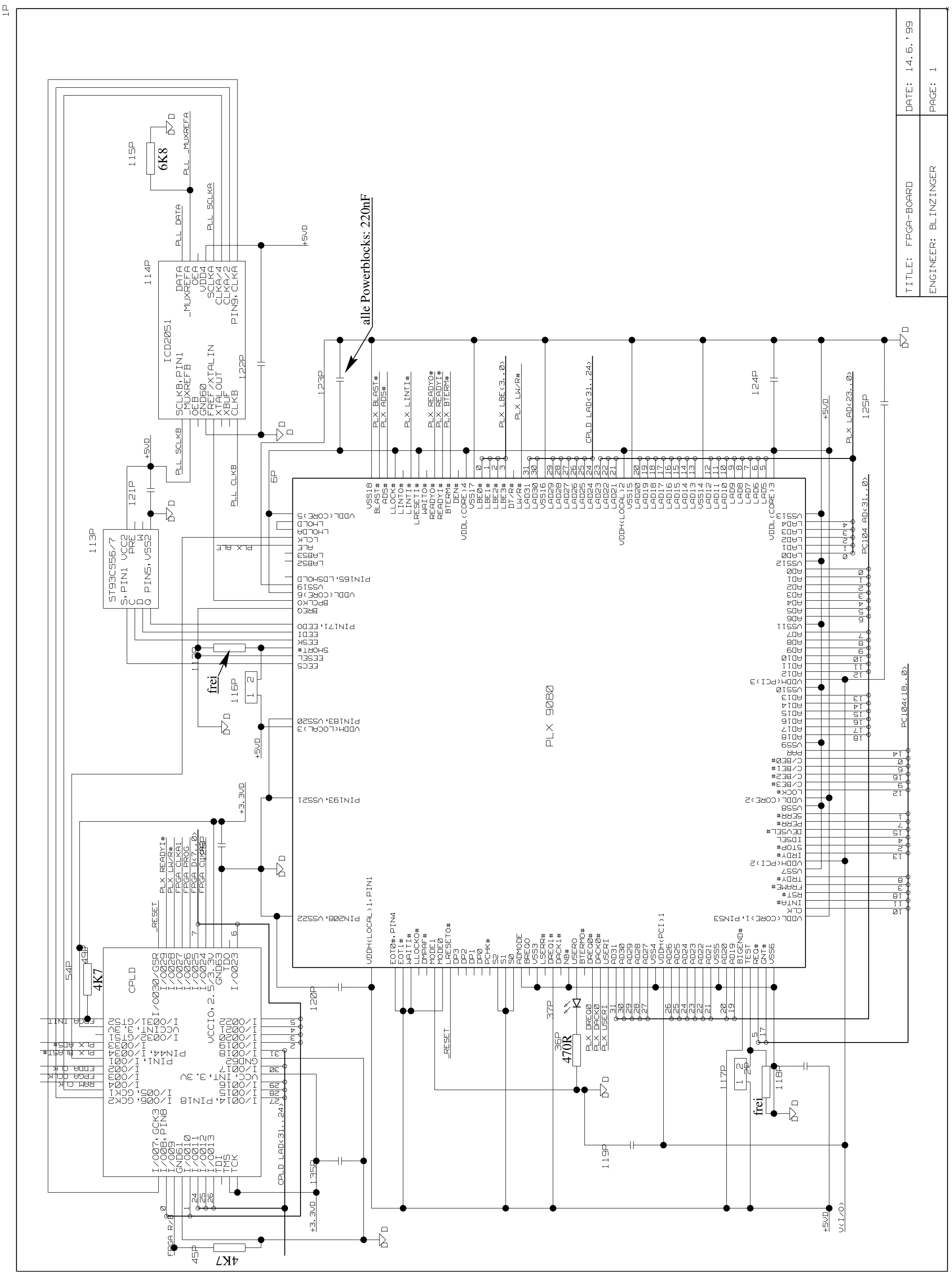

Abbildung A.3: Schaltplan 3: der Interface Chip mit EEPROM, CPLD und Frequenzgenerator

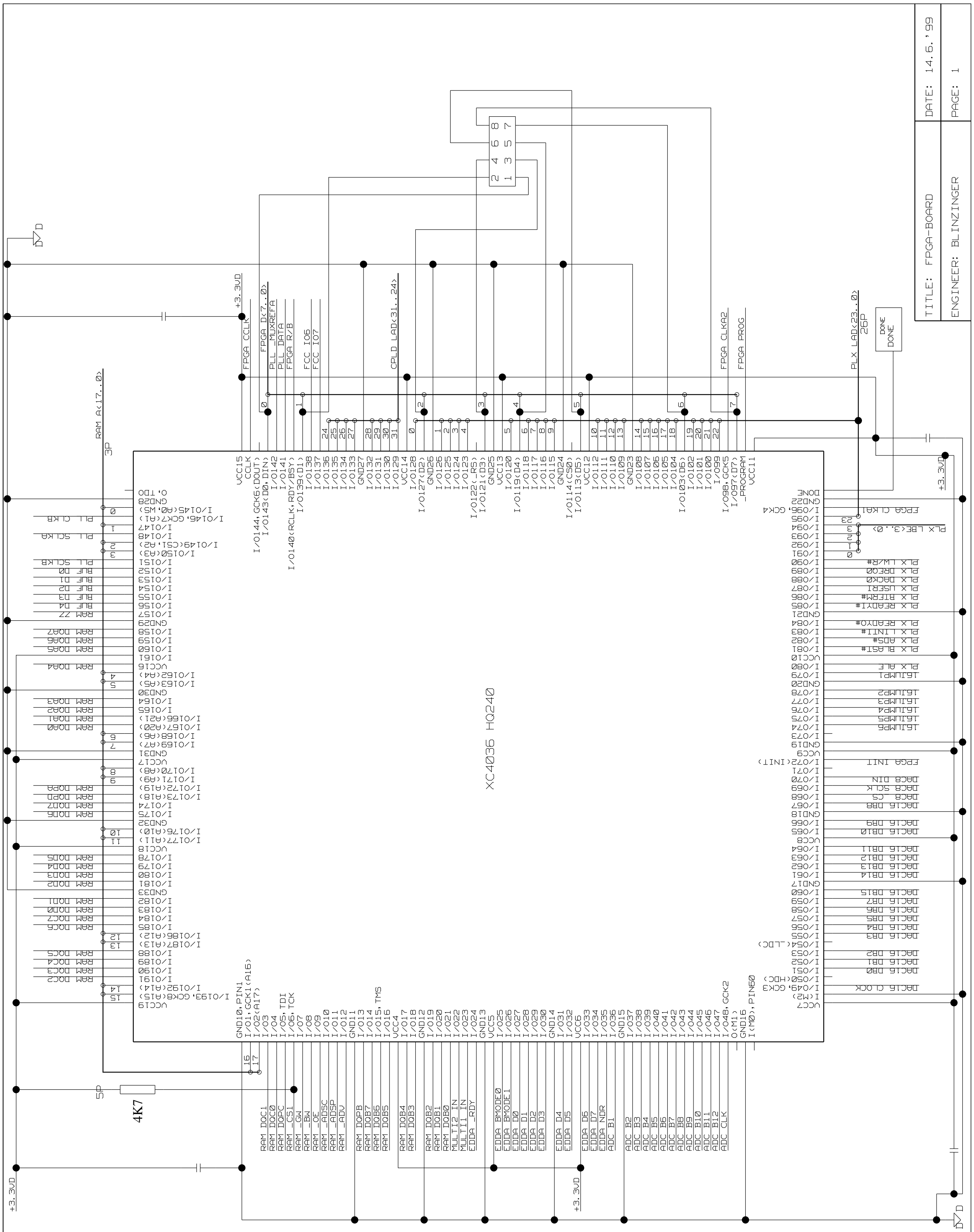

Abbildung A.4: Schaltplan 4: das FPGA

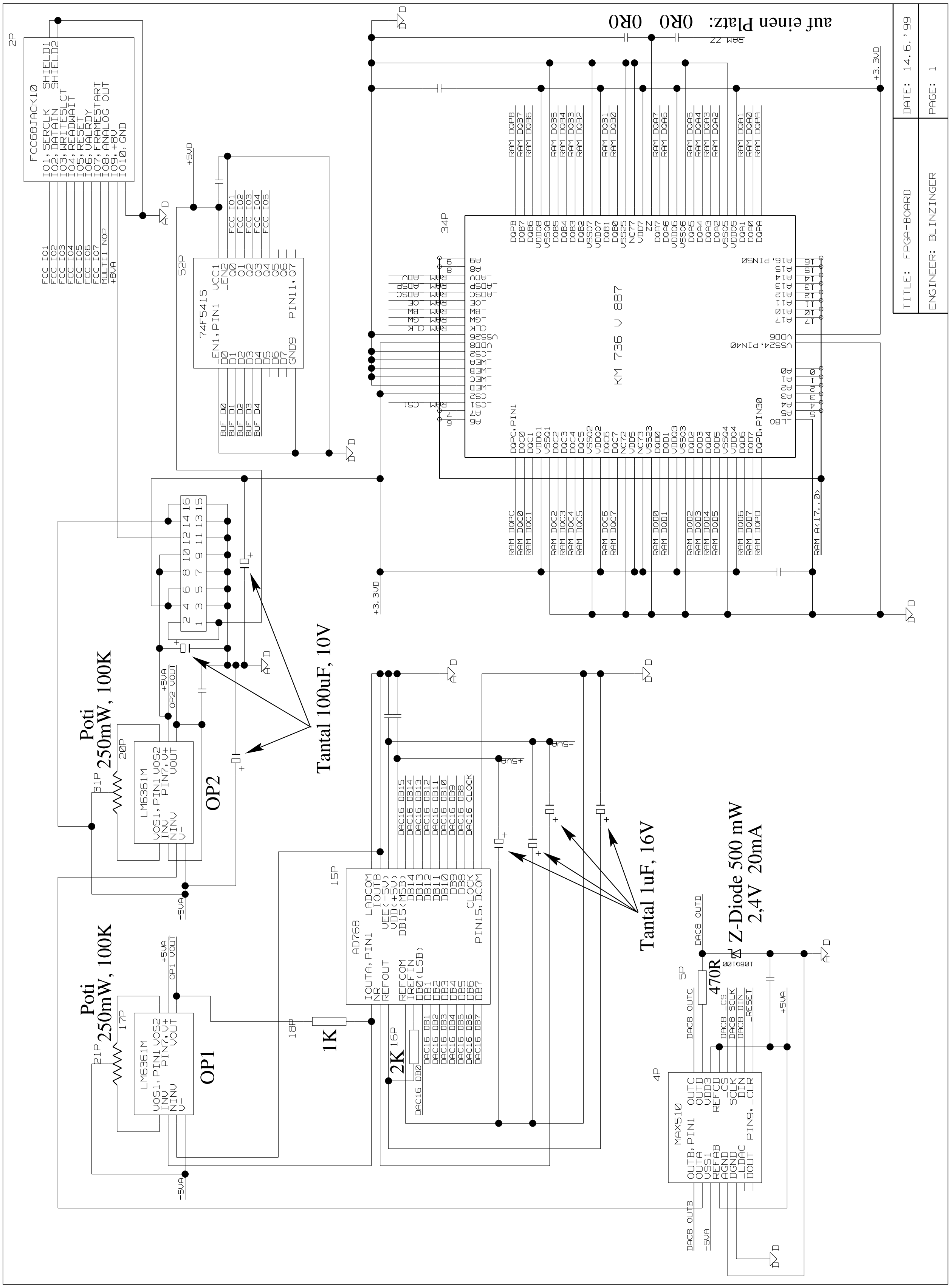

Abbildung A.5: Schaltplan 5: Das RAM, die DACs und OPs, sowie Konverter und Kamerastecker

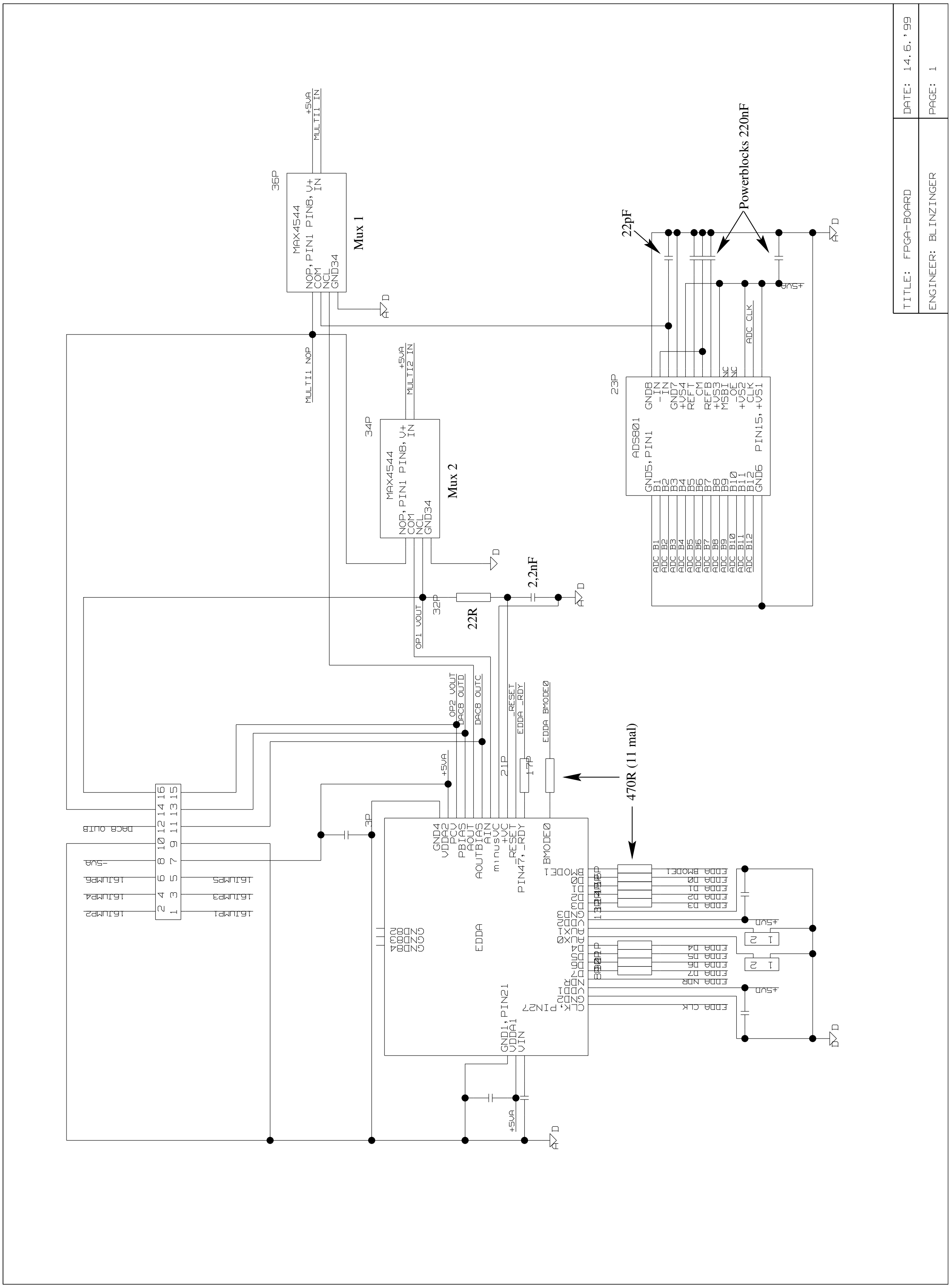

Abbildung A.6: Schaltplan 6: EDDA, der ADC und die zwei Multiplexer

Anhang B

Layout und Platinenlagen

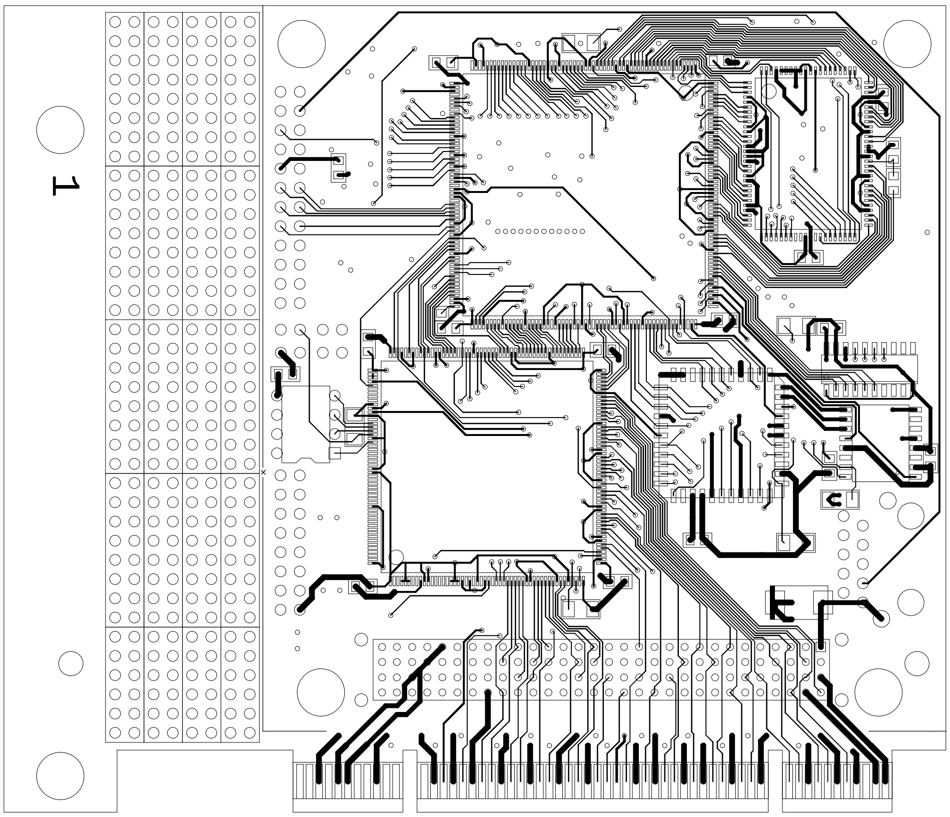

Abbildung B.1: Das Layout der Digitalseite mit Leiterverbindungen

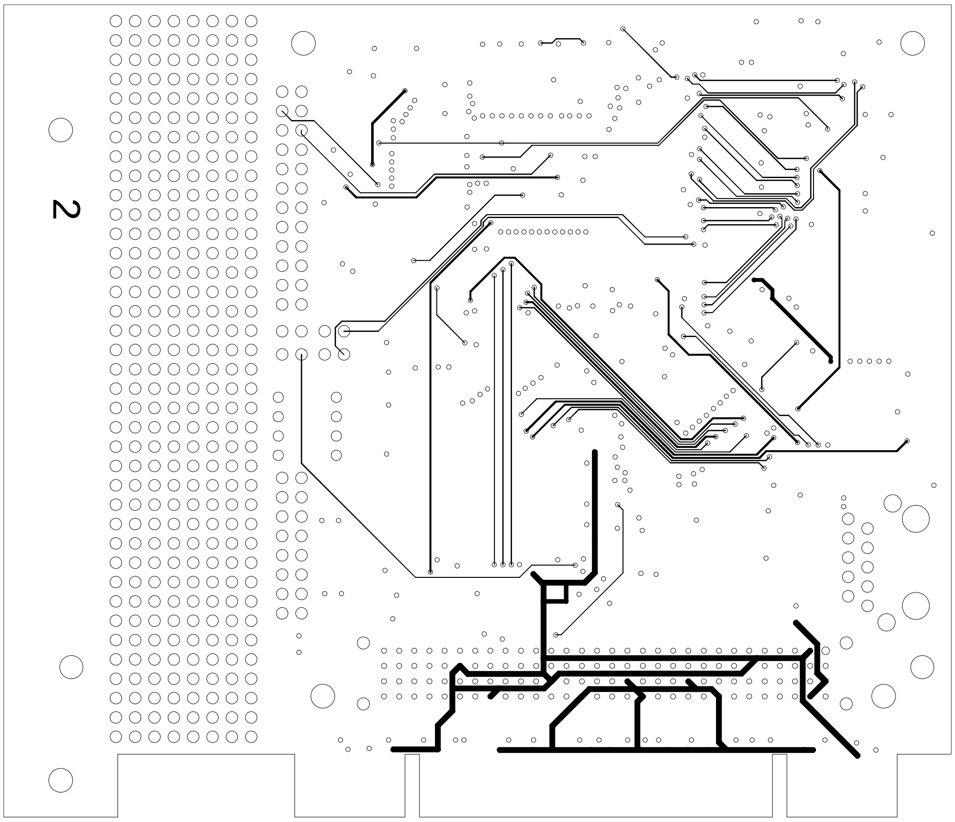

Abbildung B.2: Die zweite Lage

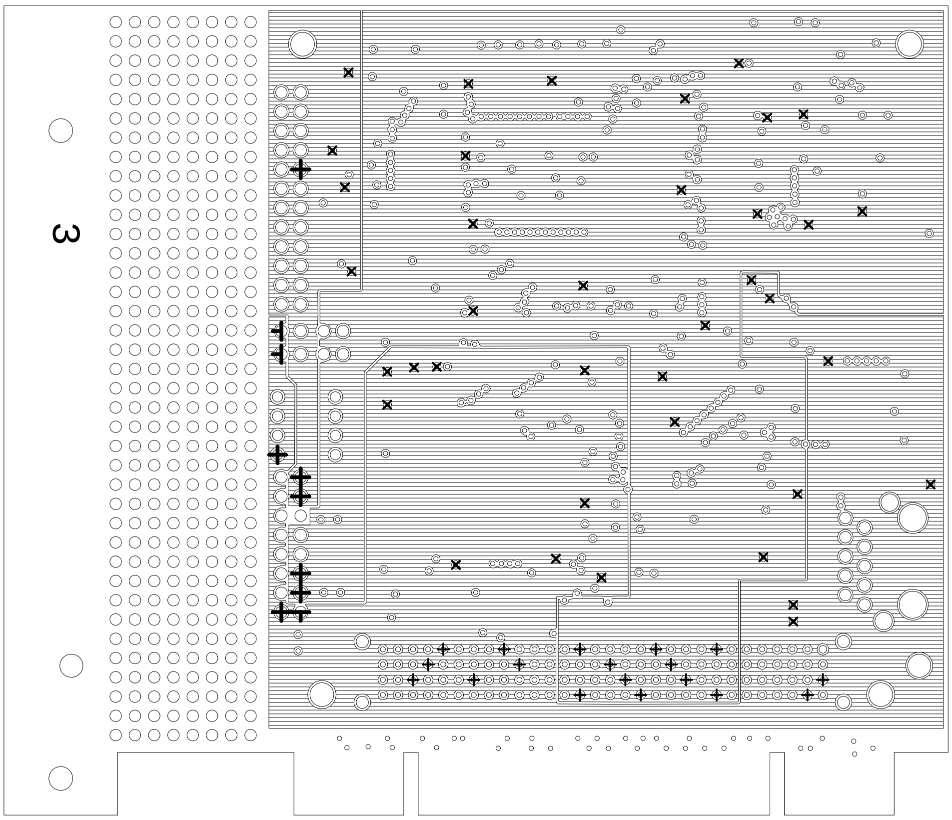

Abbildung B.3: Die dritte Lage mit den Powerflächen für +5VD, +3,3VD und -5VA

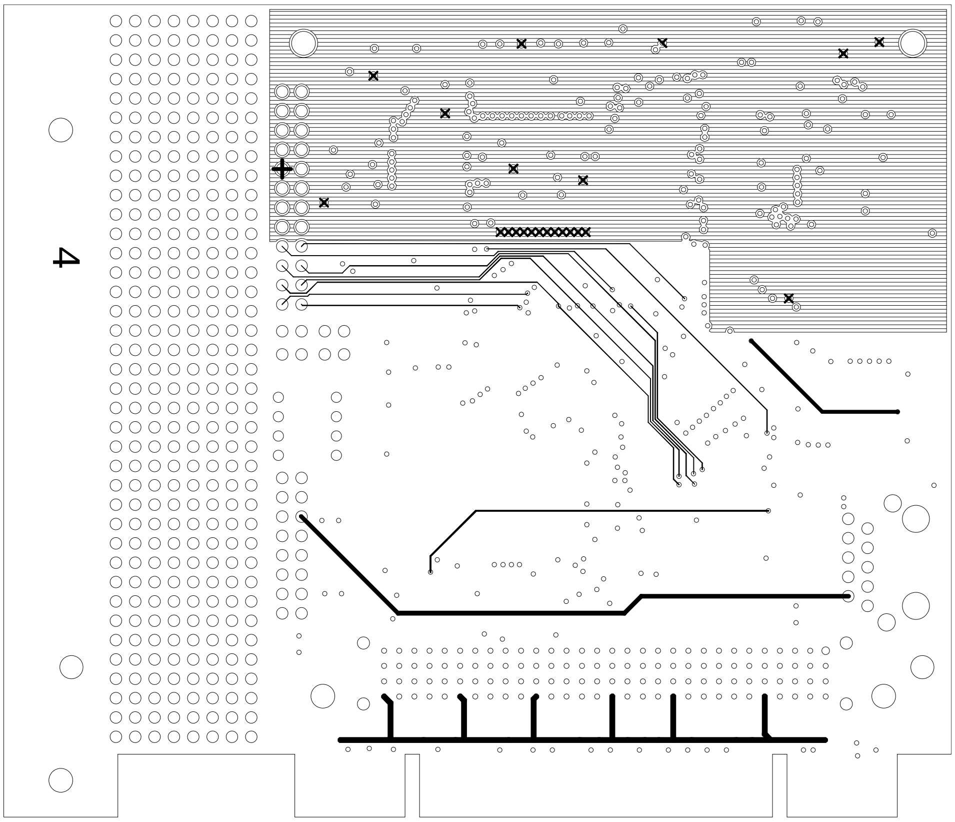

Abbildung B.4: Die vierte Lage mit der Powerfläche +5VA

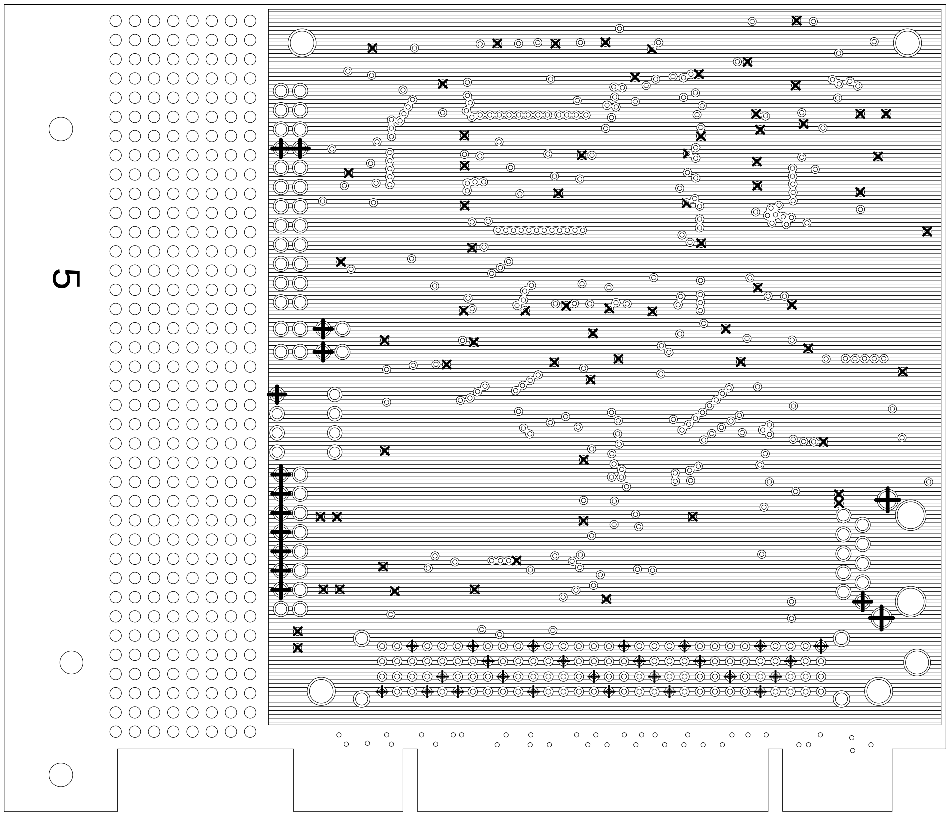

Abbildung B.5: Die Massefläche

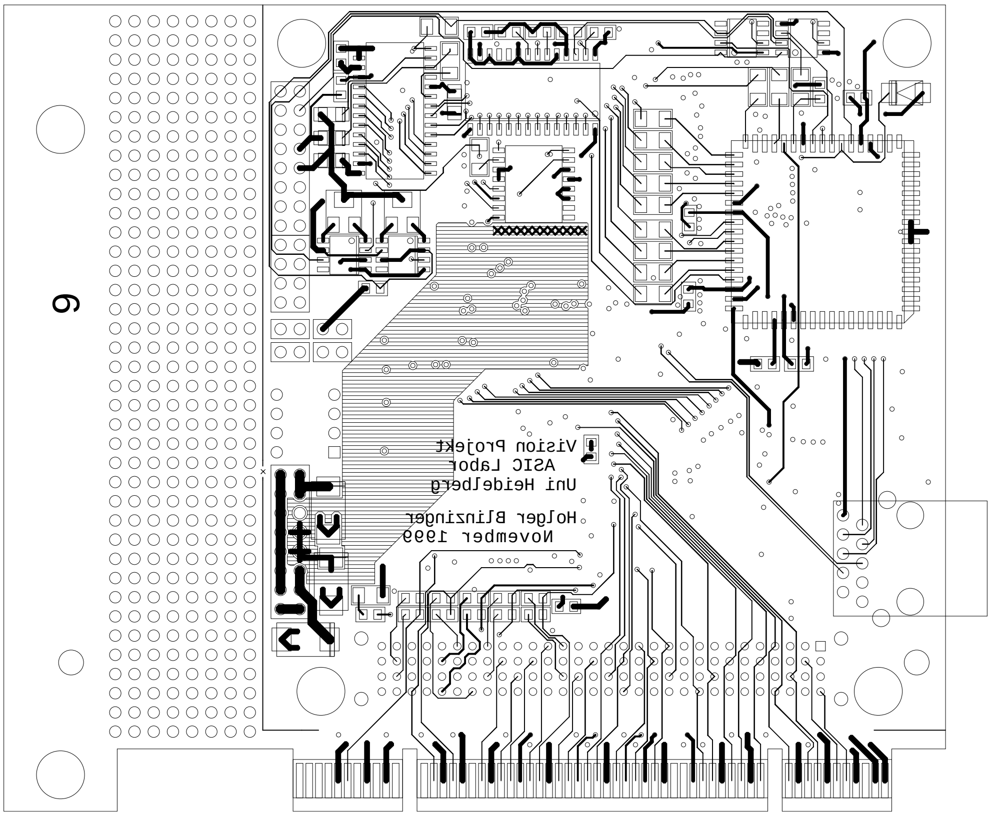

Abbildung B.6: Das Layout der Unterseite mit Leiterbahnen

Anhang C

Statistik zur Platine

```
|-----------------------------------------------------------------------------|
|                          DRAWING SUMMARY REPORT                             |
|                                                                  Page   1   |
|-----------------------------------------------------------------------------|
|  /cad4/caduser/hblinzin/CONCEPT/PCBWORK/BOARD1/board1.brd                   |
|-----------------------------------------------------------------------------|
    Drawing Extents XL 0  YL 0  XU 11000  YU 8500
                Dimensions in mils with 0 decimal places
   - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - -
    Package Symbols:    141 Total     76 Mirrored   1581  Pins
   - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - -
    Mechanical Symbols:   0 Total                     0  Pins
   - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - -
    Format Symbols:       0
   - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - -
    Padstacks:           32 Definitions
   - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - -
    Functions:  Assigned 129  Unassigned 0  Total 129
   - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - -

   Layout Statistics:
   -----------------
       Components:  Placed 129  Unplaced 0  Total 129
       Nets:  W/Rats 318  No/Rats 0  Total 318
       Pins:  W/Rats 1104  No/Rats 0  Unused 477  Unplaced 0  Total 1581
       Equivalent ICs (1 pin = 1/14 EIC)  112
       RatTs                 0

   Connection Statistics:        W/Rats      No/Rats      Total
   ----------------------        ------      -------      -----
       Connections                786          0          786
       Already Connected          786          0          786
       Missing Connections          0          0            0
       Connection Completion      100.00%      0.00%      100.00%
       Manh Distance (inches)     464.09
       Etch Length (inches)       466.20       0.00       466.20
       Number of vias             381          0          381
       Vias per Connection          0.48       0.00         0.48
       Smd pins with attached clines                      933
   - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - -
    Etch:                  #connect   #shapes  #rect-  #non-connect
                          lines/arcs  (voids)  angles   lines/arcs   #text
     TOP                      609       0(0)      0         0          1
     LAYER2                    99       0(0)      0         0          1
     LAYER3                   132     1(123)      0         0          1
     POWER                    261     3(413)      0         0          1
     GND                      430     1(437)      0         0          1
     BOTTOM                   376      1(27)      0         0          6
   -------------------------------------------------------------------------
     etch totals             1907   6(1000)       0         0         11
|-------------------------    End  Summary  Report   --------------------------|
```

Abbildung C.1: Statistikausgabe des Layoutprogramms 'Allegro'

Anhang D

Bestückungsplan

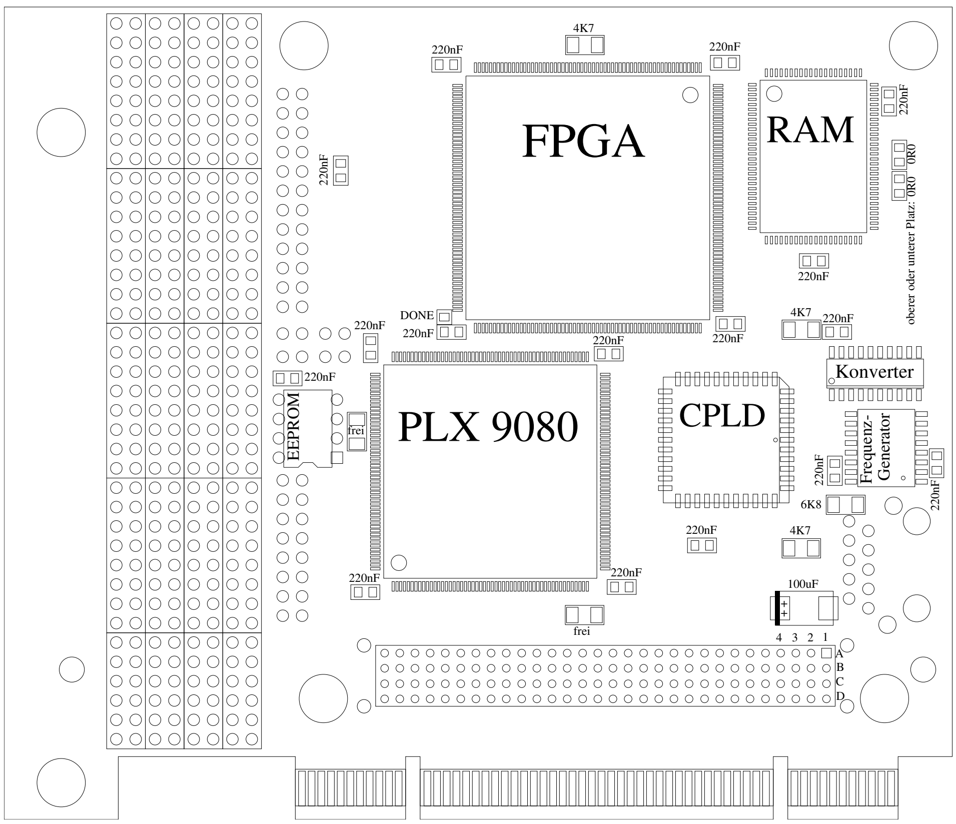

Abbildung D.1: Bestückungsinformation für die Digitalseite

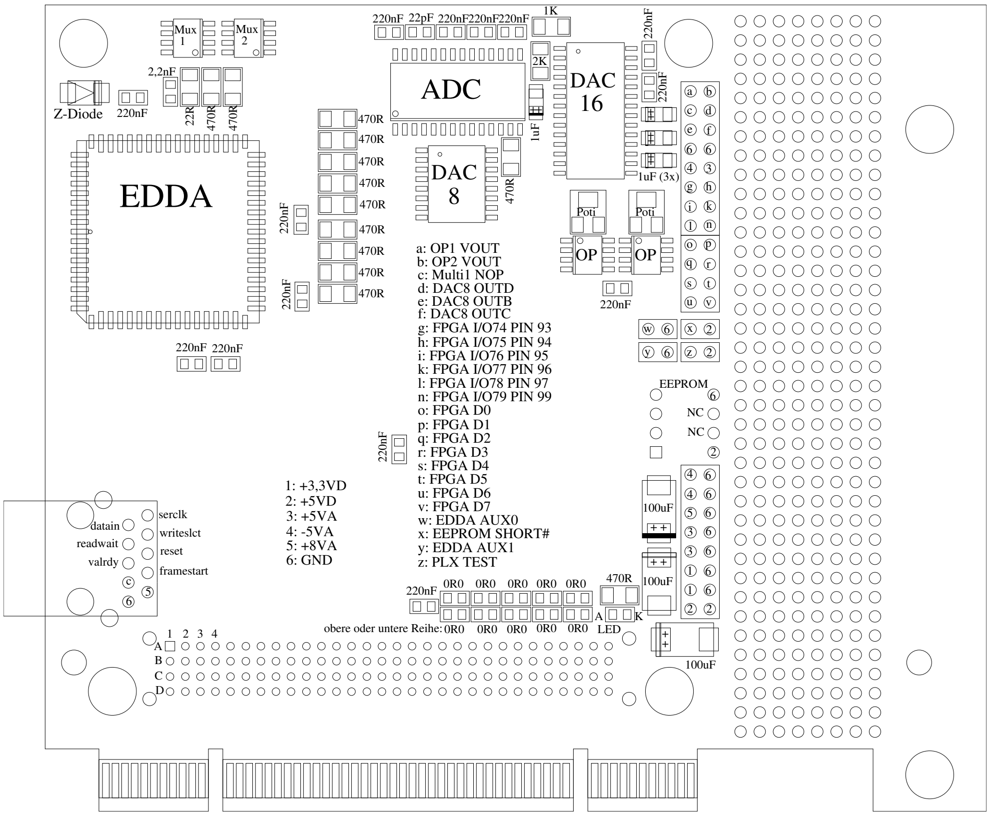

Abbildung D.2: Dokumentation der Analogseite

Anhang E

Bauteilinformationen

Komponentenbezeichnung	Bezugsquelle	Best.Nr.	Preis	Bedarf
PC/104plus-Module und Zubehör:				
PC/104+ CPU Board 266 MHz Intel Tillamook Rev.1.1	EEPD Electronic Equipment, Gewerbering3, 85258 Weichs z.Hd. Frau Ostermeier, Fax 08136-6910	MT266/1.1	1099,-	
Knopfzelle CR 1620 (3V)	RS Katalog 1-6	597-223	4.28	
64 MB SO-DIMM/Modul/10ns SDRAM	EEPD Electronic Equipment, Gewerbering3, 85258 Weichs	64MB144SDR	162,50	
Profive Ethernet-100 inkl. RJ-45 Adapter	EEPD Electronic Equipment, Gewerbering3, 85258 Weichs	PC108/1	383,-	
Profive Grafik-65555 PC104+ Grafik Rev.2	EEPD Electronic Equipment, Gewerbering3, 85258 Weichs	PC2075/2	600,-	
PC/104plus-Steckverbinder, 4x30 mit 'Tail Shroud f. PC104+4x30'	EEPD Electronic Equipment, Gewerbering3, 85258 Weichs	ESQT-130-02-G-Q-368	21,50	1
PCI-Steckkarte (Rohplatine)	Wuerth Elektronik GmbH, Postfach 65, 74674 Niedernhall z.Hd. Herrn G. Baumann Fax 07940/946-272, Fon 07940/946-123	Kd-Nr. 200515 Auftr.Nr. 303414	2.351,20 (5)	1
Bauteile für die Bildverarbeitungsplatine:				
Keramik-Kondensatoren:				
KEMET 0805 0,22uF (SMD)	RS Katalog 1-591	264-4438	5,00 (25)	30
0805 2,2nF (SMD)	Lager			1
0805 22pF (SMD)	Lager			1
Tantal-Kondensatoren:				
TAJ 100uF 10V	RS Katalog 1-577	238-9175	3,71	4
T491 1uF 16V	RS Katalog 1-578	262-4327	3,97 (10)	4
Widerstände SMD1206:				
6K8	Lager			1
4K7	Lager			3
2K5	Lager			1
1K	Lager			1
470R	Lager			12
22R	Lager			1
0R0 (SMD 0805)	RS Katalog 1-1260 Farnell 2-2184	RS 223-0146 Fa 109-299	RS 2.91 (50) Fa 1,20 (20)	6

Tabelle E.1: Bezeichnungen und Bestellinformationen für die verwendeten Komponenten mit Preis ohne MwSt. und Bedarf in Stück pro Platine

Komponentenbezeichnung	Bezugsquelle	Best.Nr.	Preis	Bedarf
Bauteile für die Bildverarbeitungsplatine:				
Analogseite:				
ADC ADS 801 U	RS Katalog 1-338	218-8152	126,60	1
8-bit DAC MAX 510 BCWE (0 Grad) oder MAX 510 AEWE (-40 Grad) oder MAX 510 ACWE (0 Grad, calibrated offset +-1)	Spezial Elektronik: http://www.spezial.de/ oder Maxim: http://dbserv.maxim-ic.com/		kostenlose Muster	1
16-bit DAC AD 768 AR	Farnell Katalog 340-E oder Spoerle Electronic, Postfach 102140, 63267 Dreieich, Kundennr.: 240012	Farnell: 789-446 Spoerle: 144365	129,00 (Spoerle 64,92)	1
EDDA-SMD-Sockel PLCC 68				1
SMD-LED 0805				1
Multiplexer MAX 4544 CSA (0 Grad) oder MAX 4544 ESA (-40 Grad)	Spezial Elektronik: http://www.spezial.de/ oder Maxim: http://dbserv.maxim-ic.com/		kostenlose Muster	2
Operationsverstärker LM 6361 M (SO8)	RS Katalog 1-437	856-796	6,91	2
SMD-Potentiometer 3214 W, 250mW, 100K	RS Katalog 1-1272	240-1607	17,45 (5)	2
FCC-68-Buchse, 10/10 flach abgewinkelt	RS Katalog 2-1609	442-735	5,80	1
Z-Diode MMSZ 52 21 B, 500mW, 2.4V, 20mA, SOD123	RS Katalog 1-264	234-2722	1,60	1
Digitalseite:				
Logik-IC 74 HCT 541 (SOIC 20)				1
CPLD-Sockel SMD PLCC 44	RS Katalog 1-1139	194-0864	1,41	1
CPLD XC 9536 XL (-5)	Metronik			1
EEPROM (ST) M 93 C 56 BN 6 (2Kbit, DIL-8)	Farnell Katalog 1-447	111-314	1,27	1
EEPROM-DIL-Sockel PIN .75 (DIL 8)				2x(4x1)
FPGA XC 4052 XLA-09 HQ 240 C	Metronik			1

Tabelle E.2: Bezeichnungen und Bestellinformationen für die verwendeten Komponenten mit Preis ohne MwSt. und Bedarf in Stück pro Platine

Komponentenbezeichnung	Bezugsquelle	Best.Nr.	Preis	Bedarf
Digitalseite:				
Frequenz-Generator Cypress ICD 2051 (SC1, SOIC 16)	Future Electronics, Münchner Strasse 18, 85774 Unterföhring Ansprechpartner: Herr Höneke, 089 95727-110, Fax 089 95727-140		8,50	1
PCI BUS Interface PLX 9080-3 Master Chip	Scantec GmbH, Postfach 2337, 82104 Germering, Fax 089/89914327, Herr Carsten Pfaff 089/89914318		94,-	1
SRAM Samsung KM736 V887 T-9 (TQFP100) neue Bezeichnung: Samsung SRAM K 7 B 803625 M (TQFP100)	MSC Vertriebs GmbH, Industriestrasse 16, 76297 Stutensee Fax 07249-910228 Herr Rüdiger Kuhn 07249/910-114		88,80	1

Tabelle E.3: Bezeichnungen und Bestellinformationen für die verwendeten Komponenten mit Preis ohne MwSt. und Bedarf in Stück pro Platine

Literaturverzeichnis

[Biesinger 00] A. Biesinger, *„Aufbau und Evaluierung eines taktilen Displays“*, Diplomarbeit, Institut für Hochenergiephysik 2000

[CPU-T5] EEPD Electronic Equipment Produktion & Distribution GmbH, *„Profive CPU-T5 User Manual Rev.1.2“*, Weichs, 9.8.99

[EEPD] EEPD Electronic Equipment Produktion & Distribution GmbH, Gewerbering 3, D-85258 Weichs, http://www.eepd.com

[KRFtech] KRFtech, Ltd, Natanya, Israel, http://www.krftech.com

[Loose 99] M. Loose, *„A Self-Calibrating CMOS Image Sensor with Logarithmic Response“*, Dissertation, Institut für Hochenergiephysik 1999

[Maucher 98] T. Maucher, *„Aufbau und Test eines taktilen Seh-Ersatzsystems“*, Diplomarbeit, Institut für Hochenergiephysik 1998

[MIC 99] Silicon Software GmbH, *„Benutzerhandbuch microEnable“*, 68161 Mannheim, 1999

[PCI SYS] T. Shanley and D. Anderson (MindShare, Inc.), *„PCI System Architecture, Third Edition“*, 1995

[PCI 2.1] PCI Special Interest Group, *„PCI Local Bus Specification, Revision 2.1s“*, Portland, OR, 1995

[PLXMon] PLX Technology, Inc., *„PLXMon User's Guide, Version 1.0“*, Sunnyvale, CA, 31.1.1997

[PLX 98] PLX Technology, Inc., *„PCI 9080 Data Book, Version 1.05“*, Sunnyvale, CA, 1.9.1998

[Schemmel 99] J. Schemmel, *„An Integrated Analog Network for Image Processing“*, Dissertation, Institut für Hochenergiephysik 1999

[Schmidt-Mende 99] L. Schmidt-Mende, *„Entwicklung eines optoelektronischen Sehhilfesystems“*, Diplomarbeit, Institut für Hochenergiephysik 1999

[SYN 98] Synopsys, Inc., *„Synopsys Online Documentation“*, Mountain View, CA, USA, v1998.08, 1998

[VHDL 97] Design Automation Standards Committee of the IEEE Computer Society, *„VHDL Language Reference Manual“*, Institute of Electrical and Electronics Engineers, Inc, New York, USA, 1997

[WÜRTH] Würth Elektronik GmbH & Co. KG, Salzstraße 21, D-74676 Niedernhall, http://www.wuerth-elektronik.de

[XILINX 99] Xilinx Inc., *„Datenbuch Xilinx XC4000-Serie Version 1.5“*, San Jose, CA, 29.1.1999

Abbildungsverzeichnis

Tabellenverzeichnis

Danksagung

An dieser Stelle möchte ich allen Menschen herzlich danken, die mich während meiner Diplomarbeit unterstützt haben, insbesondere folgenden Personen:

- Herrn Prof. Dr. K. Meier für die Möglichkeit zur Durchführung dieser Arbeit, die Betreuung und die Korrektur
- Herrn Dr. Jähne für die Zweitkorrektur
- Dr. Johannes Schemmel, der die entscheidende Denkarbeit für die Entwicklung der Platine geleistet hat, für sein Engagement, seine unermüdliche Erklärungs- und Hilfsbereitschaft und seine Korrekturen
- Dr. Markus Loose für seine wertvolle Hilfe in allen Software-, Hardware-, und sonstigen Fragen, sowie die Vervollständigung des Boards durch das Erstellen der Powerplatine
- Den Mitarbeitern der Elektronikwerkstatt, insbesondere Herrn Klaus Schmitt für seine Unterstützung bei Concept, Allegro, sowie all seine Hilfe in Sachen Halbleiterbauelemente
- Thorsten Maucher für viele Ratschläge und Hilfestellungen in Organisations- und Softwarefragen
- Alexander Biesinger für seine Hilfe in Sachen Concept, Allegro, Schnürle und LaTeX
- Jörg Langeheine für viele Tips und wichtige LaTeX-Hilfen
- Ralf Achenbach für seine Hilfe bei Concept und am Fräsbohrplotter
- Bernd Binder und Lothar Häberle für sorgfältiges Korrekturlesen
- Den Mitarbeitern der mechanischen Werkstatt für die Fertigung der Plexiglasbox für die CeBit-Ausstellung
- Den Mitarbeitern des Instituts für organisatorische Tätigkeiten und viel unsichtbare Unterstützung

Erklärung:

Ich versichere, daß ich diese Arbeit selbständig verfasst und keine anderen als die angegebenen Quellen und Hilfsmittel benutzt habe.

Heidelberg, den 14.03.2000 . . . .

Holger Blinzinger